本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」または「Spansion」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について
Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について
Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先
Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて
サイプレス (銘柄コード：CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM™、SRAM、Traveo™ マイクロコントローラー、業界唯一の PSoC®プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense®静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth® Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

FM0+ S6E1A1 シリーズ

32-bit ARM® Cortex®-M0+ based Microcontroller
S6E1A11B0A/S6E1A11C0A, S6E1A12B0A/S6E1A12C0A

Data Sheet (Full Production)

Notice to Readers: 本書には、弊社製品に関する最新の技術仕様が記載されています。Spansion Inc.は、本製品の量産体制に入っており、本書の次のバージョンでは大きな変更はない見込みです。ただし、誤字や仕様の訂正、あるいは提供中の有効な組み合わせに関する変更が生じる可能性はあります。

Publication Number S6E1A1_DS710-00001 Revision 1.0 Issue Date July 16, 2014

データシートの呼称に関するお知らせ

Spansion Inc.では、開発，認定，初期生産，量産といった製品のライフサイクルを通してお客様に製品情報や本来の仕様をお知らせすることを目的に、Advance Information あるいは Preliminary という呼称のデータシートを公開しております。ただし、いずれの場合においても、まずは最新の情報を入手していることを確認した上で設計を完成させてください。Spansion データシートの呼称は以下の通りです。それぞれの内容についてご確認をお願いします。

Advance Information

Advance Information という呼称は、Spansion Inc.が 1 つ以上の特定の製品を開発中であるが、まだ生産を開始していないことを意味しています。この呼称が付いた文書に記載されている情報は変更されることがあり、場合によっては、製品の開発が中止となることもあります。したがって、Spansion Inc.は、Advance Information に以下の条件を記載しています。

> 「本書には、Spansion Inc.が現在開発中の 1 つ以上の製品に関する情報が記載されており、お客様が本製品を評価するのに役立てていただくことを目的としています。本製品を使用して設計される際にはあらかじめ弊社までご連絡ください。Spansion Inc.は本製品に関する作業を予告なしに変更または中止する権利を留保します。」

Preliminary

Preliminary という呼称は、製品開発が進み、製造契約が発生したことを意味しています。この呼称は、製品認定，初期生産、それに続く、量産に至る前の製造工程における後続フェーズなど、製品のライフサイクルのいくつかの側面を網羅するものです。Preliminary のデータシートに記載されている技術仕様は、製造に関するこれらの側面を検討し、変更されることがあります。Spansion Inc.は、Preliminary に以下の条件を記載しています。

> 「本書には、弊社製品に関する、最新の技術仕様が記載されています。Preliminary とは、製品認定が完了し、初期生産を開始した状態であることを意味しています。効率および品質の維持が必要となる生産工程のフェーズを経た結果、技術仕様に変更がある場合は、本書の次のバージョンまたは修正版において改訂が行われることがあります。」

呼称の組み合わせ

データシートの中には、各種呼称 (Advance Information, Preliminary, Full Production) の製品の組み合わせで記載されているものがあります。このようなデータシートでは、必要に応じて、必ずこれらの製品やそれぞれの呼称を分かるように記載しています。通常は、先頭ページ，オーダ情報のページ，電気的特性表と交流消去およびプログラム表 (表の注釈内) を記載したページで分かります。先頭ページの免責事項で本通知について言及しています。

Full Production (呼称なし)

製品の生産開始後一定期間が経過し、わずかな変更のみで変更の必要がほぼない状態になると、Preliminary の呼称はデータシートから削除されます。わずかな変更としては、速度オプション、動作温度範囲、パッケージタイプ、VIO 電圧範囲の追加や削除など、入手可能な部品番号の注文数に影響を及ぼすものが挙げられます。変更とは、説明を分かりやすく書き替えたり、誤字や誤った仕様を訂正したりする必要のあるものです。Spansion Inc.は、この種の文書に以下の条件を適用しています。

> 「本書には、弊社製品に関する最新の技術仕様が記載されています。Spansion Inc.は、本製品の量産体制に入っており、本書の次のバージョンでは大きな変更はない見込みです。ただし、誤字や仕様の訂正、あるいは提供中の有効な組み合わせに関する変更が生じる可能性はあります。」

これらのデータシートの呼称に関してご不明な点がございましたら、最寄りの営業所までお問い合わせください。

FM0+ S6E1A1 シリーズ

32-bit ARM® Cortex®-M0+ based Microcontroller
S6E1A11B0A/S6E1A11C0A, S6E1A12B0A/S6E1A12C0A

Data Sheet (Full Production)

1. 概要

S6E1A1 シリーズは、低消費電力と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。

本シリーズは、CPU に ARM Cortex-M0+プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、各種タイマ、A/D コンバータ、各種通信インタフェース(UART, CSIO, I^2C, LIN)などにより構成されます。

『FM0+ファミリ ペリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE1-M0+製品に分類されます。

(注意事項)

- *ARM and Cortex are the registered trademark of ARM Limited in the EU and other countries.*

Publication Number S6E1A1_DS710-00001 Revision 1.0 Issue Date July 16, 2014

本書には、弊社製品に関する最新の技術仕様が記載されています。Spansion Inc.は、本製品の量産体制に入っており、本書の次のバージョンでは大きな変更はない見込みです。ただし、誤字や仕様の訂正、あるいは提供中の有効な組み合わせに関する変更が生じる可能性はあります。

Table of Contents

1. 概要 3
2. 特長 5
3. 品種構成 9
4. パッケージと品種対応 10
5. 端子配列図 11
6. 端子機能一覧 16
7. 入出力回路形式 27
8. 取扱上のご注意 32
   8.1 設計上の注意事項 32
   8.2 パッケージ実装上の注意事項 33
   8.3 使用環境に関する注意事項 35
9. デバイス使用上の注意 36
10. ブロックダイヤグラム 39
11. メモリサイズ 39
12. メモリマップ 40
13. 各 CPU ステートにおける端子状態 43
14. 電気的特性 46
   14.1 絶対最大定格 46
   14.2 推奨動作条件 47
   14.3 直流規格 48
      14.3.1 電流規格 48
      14.3.2 端子特性 51
   14.4 交流規格 52
      14.4.1 メインクロック入力規格 52
      14.4.2 サブクロック入力規格 53
      14.4.3 内蔵 CR 発振規格 54
      14.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用) 55
      14.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用) 55
      14.4.6 リセット入力規格 56
      14.4.7 パワーオンリセットタイミング 56
      14.4.8 ベースタイマ入力タイミング 57
      14.4.9 CSIO タイミング 58
      14.4.10 外部入力タイミング 75
      14.4.11 クアッドカウンタ タイミング 76
      14.4.12 I^2C タイミング 78
      14.4.13 SW-DP タイミング 79
   14.5 12 ビット A/D コンバータ 80
   14.6 低電圧検出特性 83
      14.6.1 低電圧検出リセット 83
      14.6.2 低電圧検出割込み 84
   14.7 フラッシュメモリ書込み/消去特性 85
   14.8 スタンバイ復帰時間 86
      14.8.1 復帰要因：割込み 86
      14.8.2 復帰要因：リセット 88
15. オーダ型格 90
16. パッケージ・外形寸法図 91
17. 本版での主な変更内容 96

2. 特長

32 ビット ARM Cortex-M0+コア

■ プロセッサ版数 : r0p1
■ 最大動作周波数 : 40MHz
■ ネスト型ベクタ割込みコントローラ(NVIC) : 1 チャネルの NMI (ノンマスカブル割込み)と 32 チャネルの周辺割込みに対応。4 の割込み優先度レベルを設定できます。
■ 24 ビットシステムタイマ(Sys Tick) : OS タスク管理用のシステムタイマです。

ビットバンド操作

Cortex-M3 と同等のビットバンド操作が可能です。

オンチップメモリ

■ フラッシュメモリ
- 最大 88K バイト
- リードサイクル : 0 ウェイトサイクル
- コード保護用セキュリティ機能

■ SRAM

本シリーズのオンチップ SRAM は、1 つの独立した SRAM により構成されます。

- SRAM: 6K バイト

マルチファンクションシリアルインタフェース(最大 3 チャネル)

■ すべてのチャネルに 128 バイト FIFO を搭載 (FIFO 段数は通信モード・ビット長の設定により可変)
■ チャネルごとに動作モードを次の中から選択できます。
- UART
- CSIO
- LIN
- I^2C

■ UART
- 全二重ダブルバッファ
- パリティあり/なし選択可能
- 専用ボーレートジェネレータ内蔵
- 外部クロックをシリアルクロックとして使用可能
- 豊富なエラー検出機能(パリティエラー、フレーミングエラー、オーバランエラー)

■ CSIO
- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能
- シリアルチップセレクト機能(ch.1 と ch.3 のみ)
- データ長: 5～16 ビット

■ LIN
- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモードに対応
- LIN break field 生成(13 ビット～16 ビット長に変更可能)
- LIN break デリミタ生成(1 ビット～4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

■ I^2C
- Standard-mode(最大 100kbps)/Fast-mode(最大 400kbps)に対応

DMA コントローラ(2 チャネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 2 つを独自に構成かつ動作可能なチャネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間：32 ビット(4G バイト)
- 転送モード：ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ：バイト/ ハーフワード/ ワード
- 転送ブロック数：1～16
- 転送回数：1～65536

A/D コンバータ(最大 8 チャネル)

- 12 ビット A/D コンバータ
  - 逐次比較型
  - 変換時間：0.8µs @ 5V(S6E1A1xC0A) / 2.0µs (S6E1A1xB0A)
  - 優先変換可能(2 レベルの優先度)
  - スキャン変換モード
  - 変換データ格納用 FIFO 搭載(スキャン変換用：16 段, 優先変換用：4 段)

ベースタイマ(最大 4 チャネル)

チャネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 1 サイクルでアクセス可能な Fast GPIO に全ポート対応
- 端子ごとにプルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 37 本の高速汎用 I/O ポート@48pin Package
- 一部のポートは、5V トレラントに対応
  該当する端子については「6. 端子機能一覧」と「7. 入出力回路形式」を参照してください。

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。各タイマチャネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

クアッドカウンタ(QPRC : Quadrature Position/Revolution Counter)

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2 つの 16 ビットコンペアレジスタ

多機能タイマ

多機能タイマは、次のブロックで構成されます。

- 16 ビットフリーランタイマ×3 チャネル
- インプットキャプチャ×4 チャネル
- アウトプットコンペア×6 チャネル
- A/D 起動コンペア×6 チャネル
- 波形ジェネレータ×3 チャネル
- 16 ビット PPG タイマ×3 チャネル
  IGBT モード搭載

モータ制御を実現するために次の機能を用意しています。

- PWM 信号出力機能
- DC チョッパ波形出力機能
- デッドタイマ機能
- インプットキャプチャ機能
- ADC 起動機能
- DTIF(モータ緊急停止)割込み機能

リアルタイムクロック(RTC : Real Time Clock)

01 年～99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定(年/月/日/時/分/秒/曜日)での割込み機能, 年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

時計カウンタ

マイクロコントローラを低消費電力モードからウェイクアップします。クロックソースをメインクロック、サブクロック、内蔵高速 CR クロックまたは内蔵低速 CR クロックから選択できます。

インターバルタイマ: 最長 64s (サブクロック: 32.768kHz)

外部割込み制御ユニット

- 外部割込み入力端子: 最大 8 本
- ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2 チャネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、"ハードウェア"ウォッチドッグと"ソフトウェア"ウォッチドッグの 2 つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマは内蔵低速 CR 発振で動作するため、RTC モード、ストップモード以外のすべての低消費電力モードで動作します。

クロック/リセット

■ クロック

5 種類のクロックソース(2 種類の外部発振、2 種類の内蔵 CR 発振、メイン PLL)から選択できます。

- メインクロック : 4MHz～40MHz
- サブクロック : 32.768kHz
- 内蔵高速 CR クロック : 4MHz
- 内蔵低速 CR クロック : 100kHz
- メイン PLL クロック

■ リセット

- INITX 端子からのリセット要求
- 電源投入リセット
- ソフトウェアリセット
- ウォッチドッグタイマリセット
- 低電圧検出リセット
- クロックスーパバイザリセット

クロック監視機能(CSV : Clock Supervisor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

■ 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
■ 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-voltage Detection)

本シリーズは、2 段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

■ LVD1 : 割込みによりエラーを報告
■ LVD2 : オートリセット動作

低消費電力モード

4 種類の低消費電力モードに対応します。

■ スリープ
■ タイマ
■ RTC
■ ストップ

周辺クロック停止機能

システム動作で使用しない周辺機能はその動作クロックを停止させることで、システム全体の消費電流を低減します。

デバッグ

■ シリアル・ワイヤデバッグ・ポート (SW-DP)
■ マイクロトレースバッファ (MTB)

ユニーク ID

41 ビットのデバイス固有の値を設定済み

電源

ワイドレンジ電圧対応: VCC = 2.7V～5.5V

3. 品種構成

メモリサイズ

品種名	S6E1A11B0A S6E1A11C0A	S6E1A12B0A S6E1A12C0A
オンチップフラッシュメモリ	56K バイト	88K バイト
オンチップ SRAM	6K バイト	6K バイト

ファンクション

品種名			S6E1A11B0A S6E1A12B0A	S6E1A11C0A S6E1A12C0A
端子数			32	48/52
CPU			Cortex-M0+	
	周波数		40MHz	
電源電圧範囲			2.7V～5.5V	
DMAC			2ch.	
マルチファンクションシリアル (UART/CSIO/LIN/I2C)			3ch. (最大) FIFO あり: ch.0/ch.1/ch.3	
ベースタイマ (PWC/リロードタイマ/PWM/PPG)			4ch. (最大)	
多機能タイマ	A/D 起動コンペア	6ch.	1 unit	
	インプットキャプチャ	4ch.		
	フリーランタイマ	3ch.		
	アウトプットコンペア	6ch.		
	波形ジェネレータ	3ch.		
	PPG	3ch.		
クアッドカウンタ			1ch.	
デュアルタイマ			1 unit	
リアルタイムクロック			1 unit	
時計カウンタ			1 unit	
ウォッチドッグタイマ			1ch. (SW) + 1ch. (HW)	
外部割込み			8 本(最大) + NMI × 1	
I/O ポート			23 本(最大)	37 本(最大)
12 ビット A/D コンバータ			5ch. (1 unit)	8ch. (1 unit)
クロック監視機能(CSV)			Yes	
低電圧検出機能(LVD)			2ch.	
内蔵(CR)	高速		4MHz	
	低速		100kHz	
デバッグ機能			SW-DP	
ユニーク ID			Yes	

(注意事項)

- *各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用になる機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。*
  内蔵 CR の精度については『14. 電気的特性 14.4 交流規格 14.4.3 内蔵 CR 発振規格』を参照してください。

4. パッケージと品種対応

パッケージ ＼ 品種名	S6E1A11B0A S6E1A12B0A	S6E1A11C0A S6E1A12C0A
LQFP: FPT-32P-M30 (0.80mm pitch)	❍	-
QFN: LCC-32P-M73 (0.50mm pitch)	❍	-
LQFP: FPT-48P-M49 (0.50mm pitch)	-	❍
QFN: LCC-48P-M74 (0.50mm pitch)	-	❍
LQFP: FPT-52P-M02 (0.65mm pitch)	-	❍

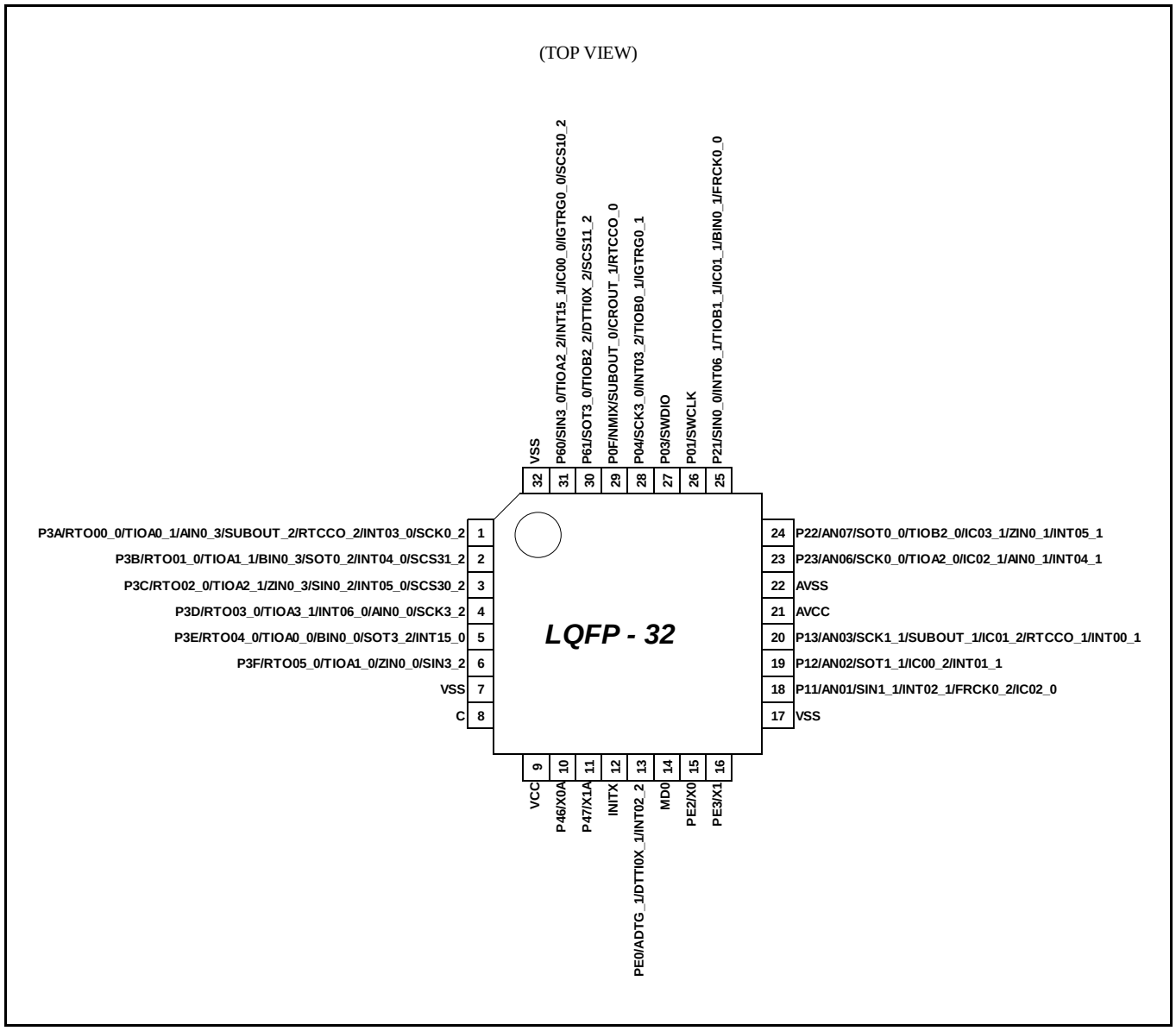
❍：使用可能

(注意事項)

- *各パッケージの詳細は「16. パッケージ・外形寸法図」を参照してください。*

5. 端子配列図

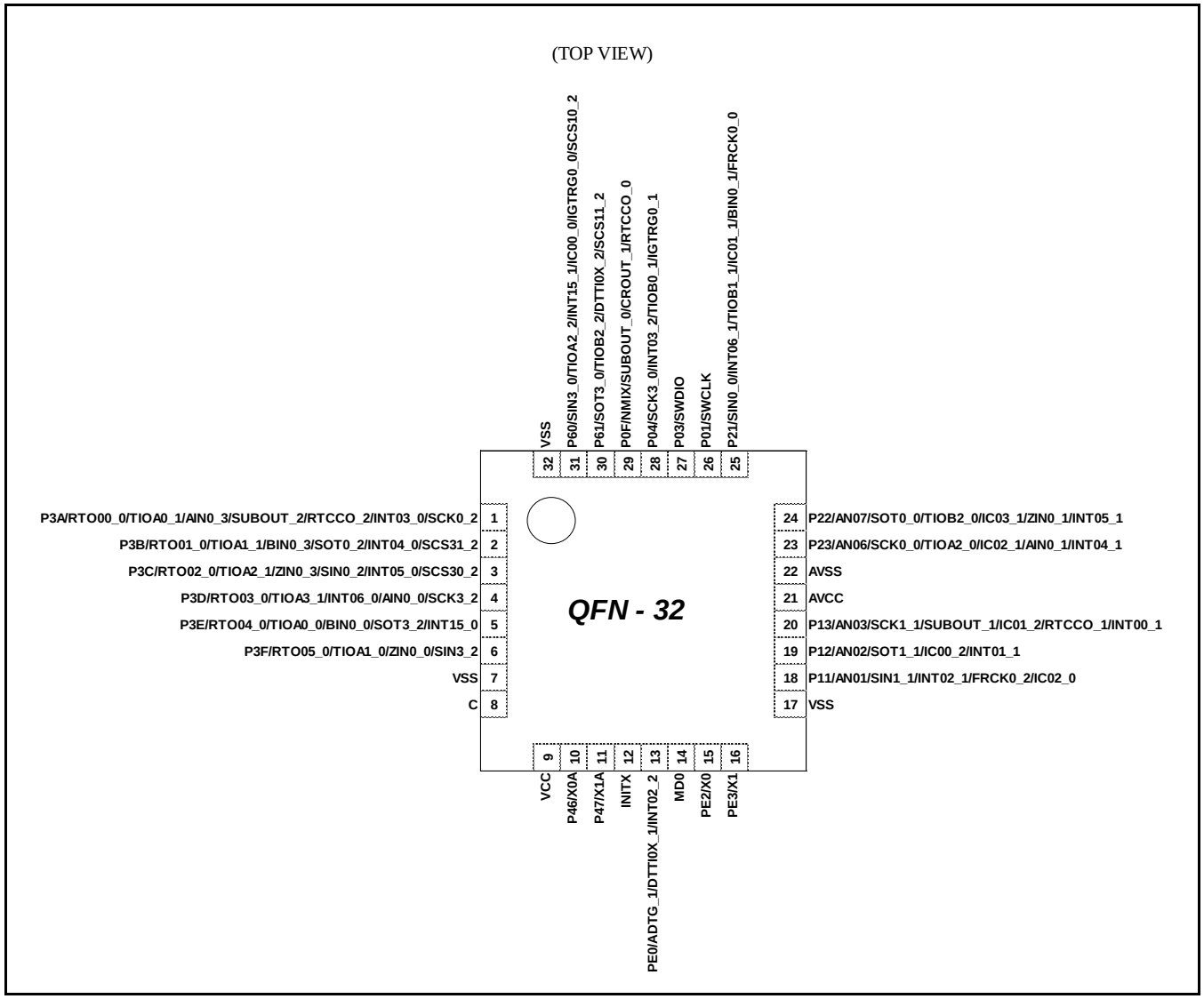
FPT-32P-M30



＜注意事項＞

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

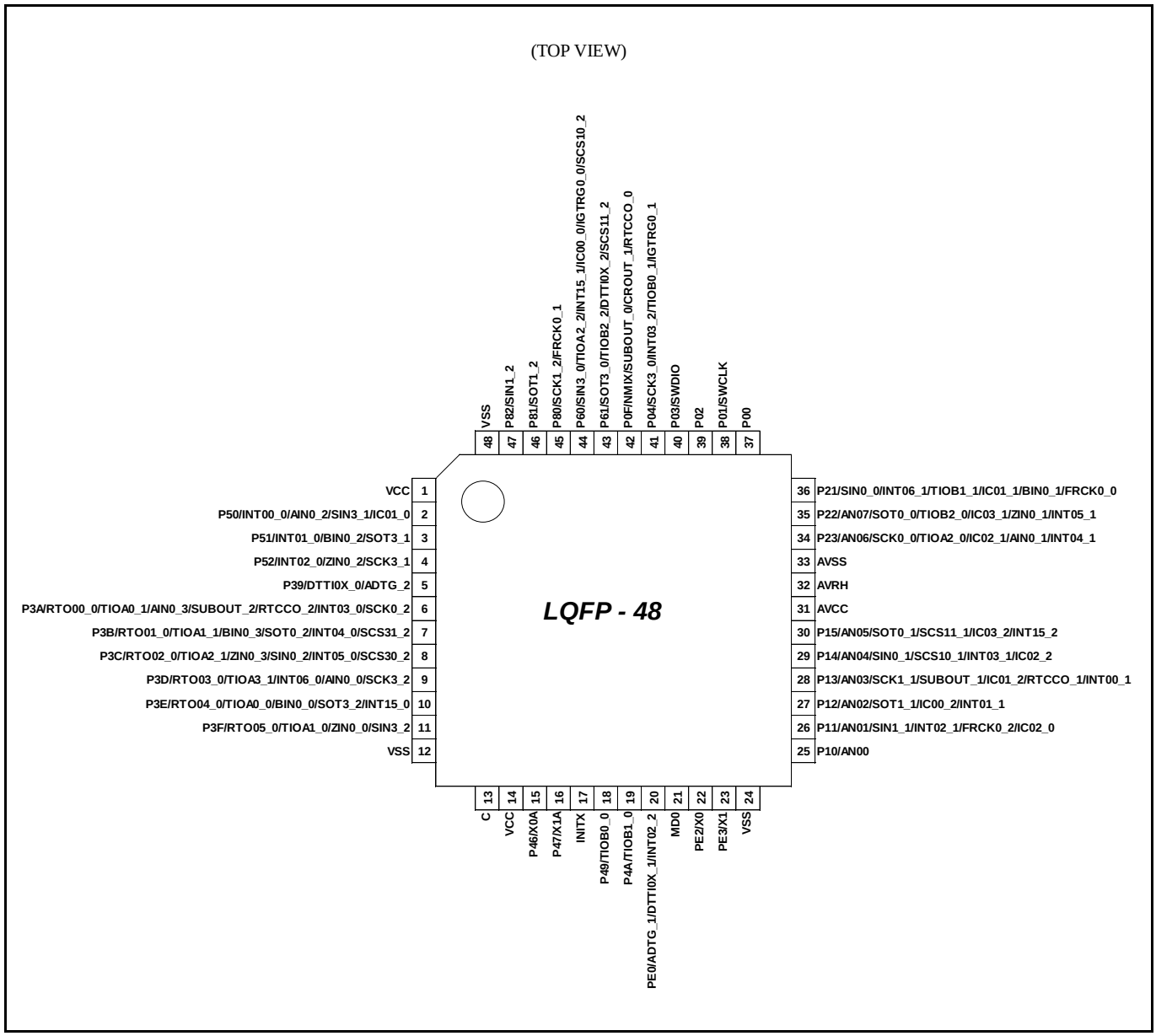
LCC-32P-M73



＜注意事項＞

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

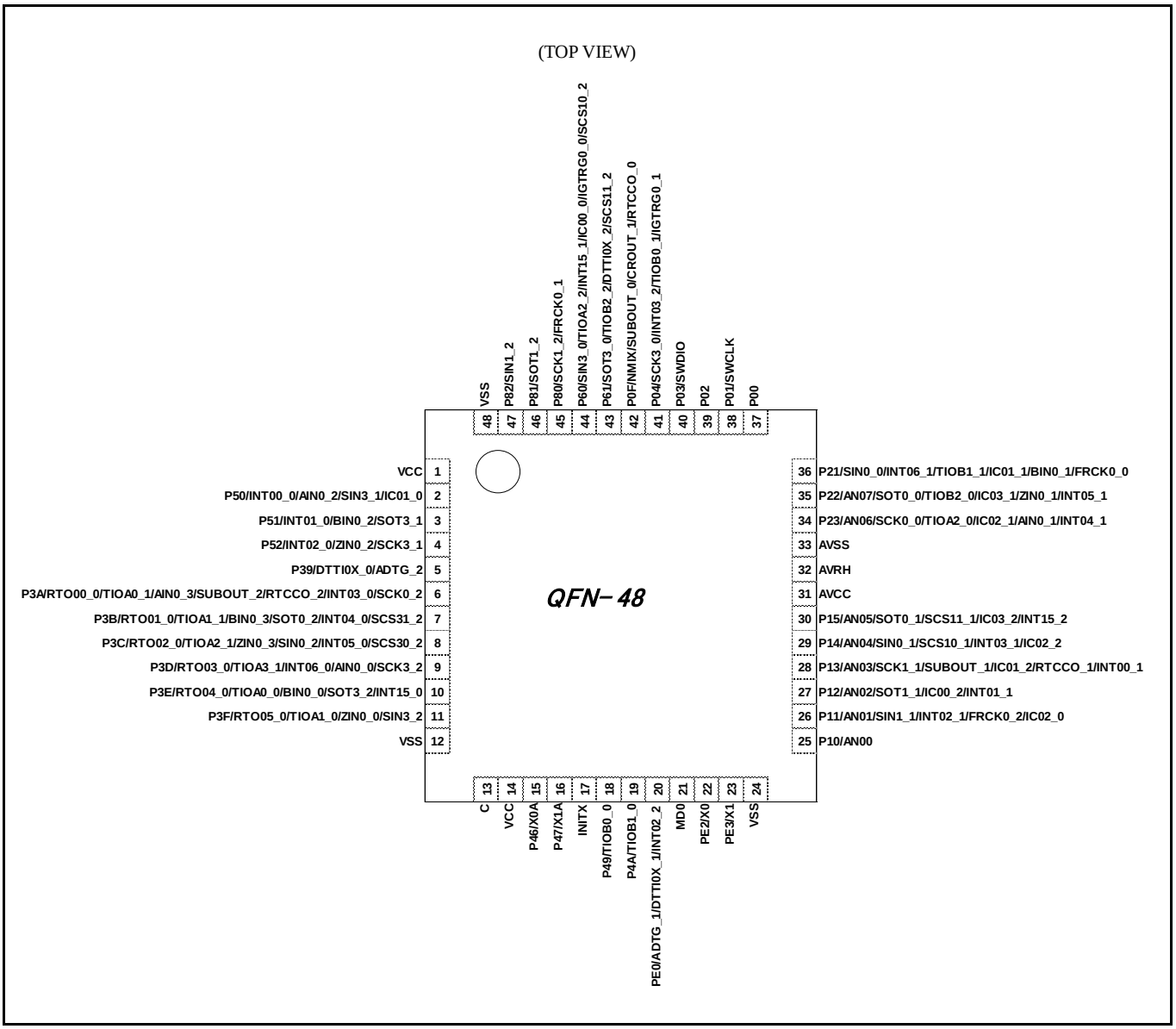
FPT-48P-M49



＜注意事項＞

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

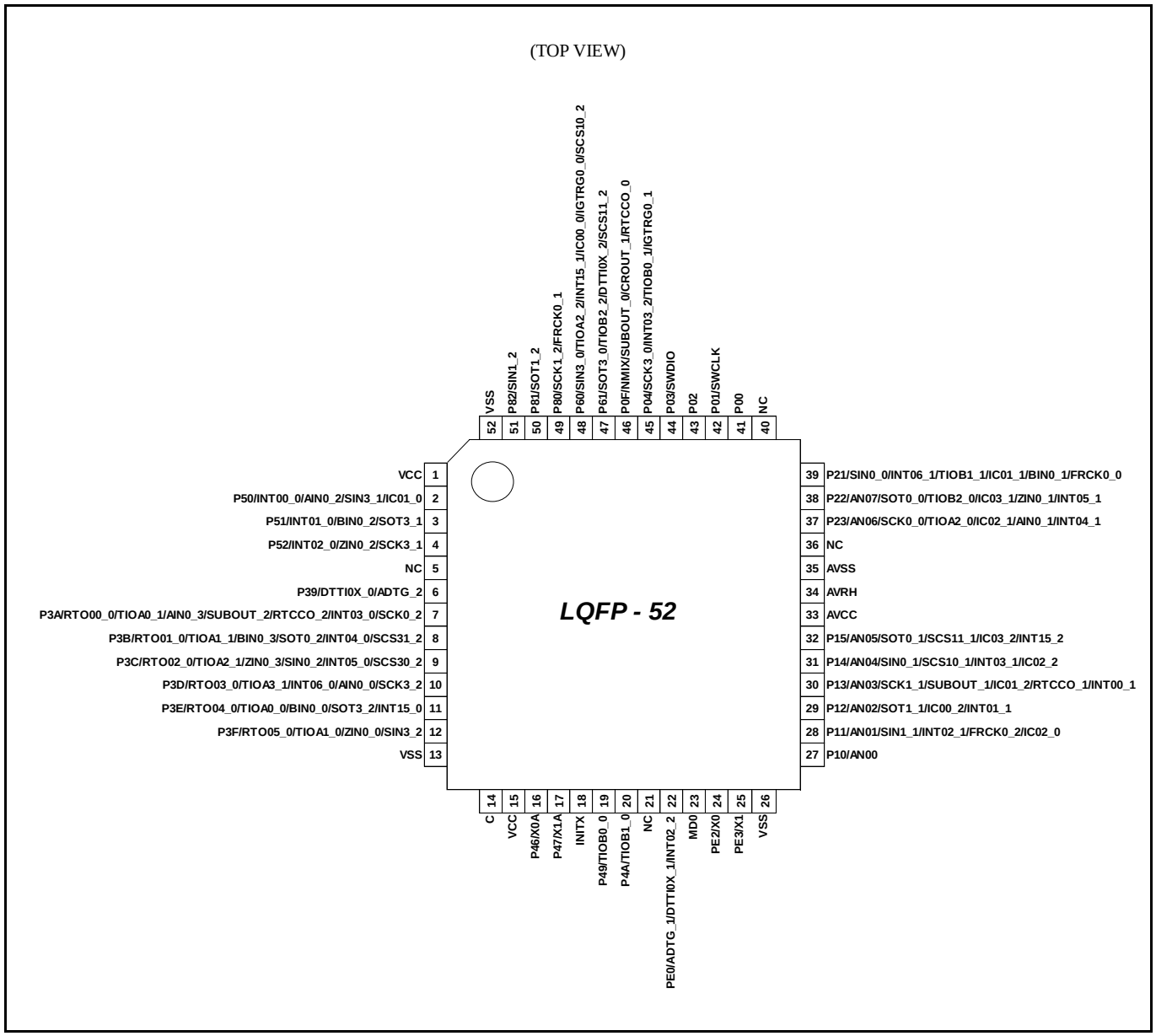
LCC-48P-M74



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

FPT-52P-M02



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。*
  これらの端子は1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
  拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

6. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32			
1	1	-	VCC	-	
2	2	-	P50	I*	J
			INT00_0		
			AIN0_2		
			SIN3_1		
			IC01_0		
3	3	-	P51	I*	J
			INT01_0		
			BIN0_2		
			SOT3_1		
4	4	-	P52	I*	J
			INT02_0		
			ZIN0_2		
			SCK3_1		
6	5	-	P39	E	I
			DTTI0X_0		
			ADTG_2		
7	6	1	P3A	F	J
			RTO00_0		
			TIOA0_1		
			AIN0_3		
			SUBOUT_2		
			RTCCO_2		
			INT03_0		
			SCK0_2		
8	7	2	P3B	F	J
			RTO01_0		
			TIOA1_1		
			BIN0_3		
			SOT0_2		
			INT04_0		
			SCS31_2		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32			
9	8	3	P3C	F	J
			RTO02_0		
			TIOA2_1		
			ZIN0_3		
			SIN0_2		
			INT05_0		
			SCS30_2		
10	9	4	P3D	F	J
			RTO03_0		
			TIOA3_1		
			INT06_0		
			AIN0_0		
			SCK3_2		
11	10	5	P3E	F	J
			RTO04_0		
			TIOA0_0		
			BIN0_0		
			SOT3_2		
			INT15_0		
12	11	6	P3F	F	I
			RTO05_0		
			TIOA1_0		
			ZIN0_0		
			SIN3_2		
13	12	7	VSS	-	
14	13	8	C	-	
15	14	9	VCC	-	
16	15	10	P46	D	E
			X0A		
17	16	11	P47	D	F
			X1A		
18	17	12	INITX	B	C
19	18	-	P49	E	I
			TIOB0_0		
20	19	-	P4A	E	I
			TIOB1_0		
22	20	13	PE0	C	J
			ADTG_1		
			DTTI0X_1		
			INT02_2		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32			
23	21	14	MD0	J	D
24	22	15	PE2	A	A
			X0		
25	23	16	PE3	A	B
			X1		
26	24	17	VSS	-	
27	25	-	P10	G	K
			AN00		
28	26	18	P11	H*	L
			AN01		
			SIN1_1		
			INT02_1		
			FRCK0_2		
			IC02_0		
29	27	19	P12	H*	L
			AN02		
			SOT1_1		
			IC00_2		
			INT01_1		
30	28	20	P13	H*	L
			AN03		
			SCK1_1		
			SUBOUT_1		
			IC01_2		
			RTCCO_1		
			INT00_1		
31	29	-	P14	H*	L
			AN04		
			SIN0_1		
			SCS10_1		
			INT03_1		
			IC02_2		
32	30	-	P15	H*	L
			AN05		
			SOT0_1		
			SCS11_1		
			IC03_2		
			INT15_2		
33	31	21	AVCC	-	
34	32	-	AVRH	-	

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32			
35	33	22	AVSS	-	
37	34	23	P23	G	L
			AN06		
			SCK0_0		
			TIOA2_0		
			IC02_1		
			AIN0_1		
			INT04_1		
38	35	24	P22	G	L
			AN07		
			SOT0_0		
			TIOB2_0		
			IC03_1		
			ZIN0_1		
			INT05_1		
39	36	25	P21	E	J
			SIN0_0		
			INT06_1		
			TIOB1_1		
			IC01_1		
			BIN0_1		
			FRCK0_0		
41	37	-	P00	E	I
42	38	26	P01	E	H
			SWCLK		
43	39	-	P02	E	I
44	40	27	P03	E	H
			SWDIO		
45	41	28	P04	I*	J
			SCK3_0		
			INT03_2		
			TIOB0_1		
			IGTRG0_1		
46	42	29	P0F	E	G
			NMIX		
			SUBOUT_0		
			CROUT_1		
			RTCCO_0		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32			
47	43	30	P61	I*	I
			SOT3_0		
			TIOB2_2		
			DTTI0X_2		
			SCS11_2		
48	44	31	P60	I*	J
			SIN3_0		
			TIOA2_2		
			INT15_1		
			IC00_0		
			IGTRG0_0		
			SCS10_2		
49	45	-	P80	K	I
			SCK1_2		
			FRCK0_1		
50	46	-	P81	K	I
			SOT1_2		
51	47	-	P82	K	I
			SIN1_2		
52	48	32	VSS	-	
5,21,36,40	-	-	NC	-	

*: 5V トレラント I/O

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
拡張ポート機能レジスタ(EPFR)によって利用する端子を選択してください。

端子機能	端子名	機能説明	端子番号		
			LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32
ADC	ADTG_1	A/D コンバータ 外部トリガ入力端子	22	20	13
	ADTG_2		6	5	-
	AN00	A/D コンバータアナログ入力端子 ANxx は ADC ch.xx を示す。	27	25	-
	AN01		28	26	18
	AN02		29	27	19
	AN03		30	28	20
	AN04		31	29	-
	AN05		32	30	-
	AN06		37	34	23
	AN07		38	35	24
ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	11	10	5
	TIOA0_1		7	6	1
	TIOB0_0	ベースタイマ ch.0 の TIOB 端子	19	18	-
	TIOB0_1		45	41	28
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	12	11	6
	TIOA1_1		8	7	2
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	20	19	-
	TIOB1_1		39	36	25
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	37	34	23
	TIOA2_1		9	8	3
	TIOA2_2		48	44	31
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	38	35	24
	TIOB2_2		47	43	30
ベース タイマ 3	TIOA3_1	ベースタイマ ch.3 の TIOA 端子	10	9	4
デバッガ	SWCLK	シリアルワイヤデバッグ インタフェース クロック入力端子	42	38	26
	SWDIO	シリアルワイヤデバッグ インタフェース データ入出力端子	44	40	27

端子機能	端子名	機能説明	端子番号		
			LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32
外部割込み	INT00_0	外部割込み要求 00 の入力端子	2	2	-
	INT00_1		30	28	20
	INT01_0	外部割込み要求 01 の入力端子	3	3	-
	INT01_1		29	27	19
	INT02_0	外部割込み要求 02 の入力端子	4	4	-
	INT02_1		28	26	18
	INT02_2		22	20	13
	INT03_0	外部割込み要求 03 の入力端子	7	6	1
	INT03_1		31	29	-
	INT03_2		45	41	28
	INT04_0	外部割込み要求 04 の入力端子	8	7	2
	INT04_1		37	34	23
	INT05_0	外部割込み要求 05 の入力端子	9	8	3
	INT05_1		38	35	24
	INT06_0	外部割込み要求 06 の入力端子	10	9	4
	INT06_1		39	36	25
	INT15_0	外部割込み要求 15 の入力端子	11	10	5
	INT15_1		48	44	31
	INT15_2		32	30	-
	NMIX	ノンマスカブル割込み入力端子	46	42	29
GPIO	P00	汎用入出力ポート 0	41	37	-
	P01		42	38	26
	P02		43	39	-
	P03		44	40	27
	P04		45	41	28
	P0F		46	42	29
	P10	汎用入出力ポート 1	27	25	-
	P11		28	26	18
	P12		29	27	19
	P13		30	28	20
	P14		31	29	-
	P15		32	30	-
	P21	汎用入出力ポート 2	39	36	25
	P22		38	35	24
	P23		37	34	23
	P39	汎用入出力ポート 3	6	5	-
	P3A		7	6	1
	P3B		8	7	2
	P3C		9	8	3
	P3D		10	9	4
	P3E		11	10	5
	P3F		12	11	6

端子機能	端子名	機能説明	端子番号		
			LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32
GPIO	P46	汎用入出力ポート 4	16	15	10
	P47		17	16	11
	P49		19	18	-
	P4A		20	19	-
	P50	汎用入出力ポート 5	2	2	-
	P51		3	3	-
	P52		4	4	-
	P60	汎用入出力ポート 6	48	44	31
	P61		47	43	30
	P80	汎用入出力ポート 8	49	45	-
	P81		50	46	-
	P82		51	47	-
	PE0*	汎用入出力ポート E	22	20	13
	PE2		24	22	15
	PE3		25	23	16
マルチファンクションシリアル 0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	39	36	25
	SIN0_1		31	29	-
	SIN0_2		9	8	3
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。 UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT0 として、I^2C 端子(動作モード 4)として使用するときは SDA0 として機能します。	38	35	24
	SOT0_1 (SDA0_1)		32	30	-
	SOT0_2 (SDA0_2)		8	7	2
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときは SCK0 として、I^2C 端子(動作モード 4)として使用するときは SCL0 として機能します。	37	34	23
	SCK0_2 (SCL0_2)		7	6	1

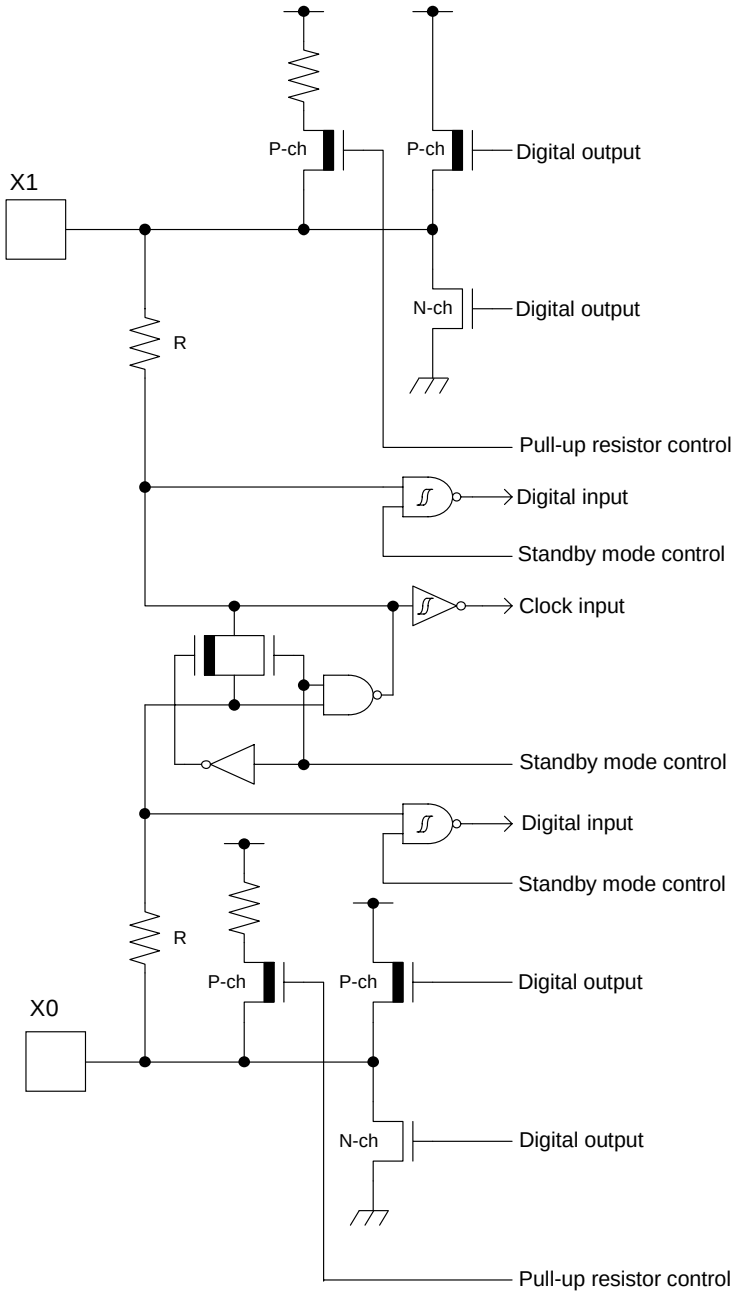
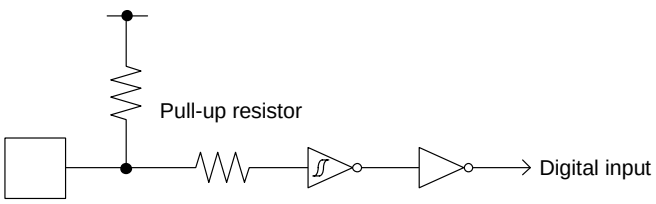
端子機能	端子名	機能説明	端子番号		
			LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32
マルチファンクションシリアル1	SIN1_1	マルチファンクションシリアルインタフェース ch.1 の入力端子	28	26	18
	SIN1_2		51	47	-
	SOT1_1 (SDA1_1)	マルチファンクションシリアルインタフェース ch.1 の出力端子。 UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT1 として、I^2C 端子(動作モード 4)として使用するときは SDA1 として機能します。	29	27	19
	SOT1_2 (SDA1_2)		50	46	-
	SCK1_1 (SCL1_1)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときは SCK1 として、I^2C 端子(動作モード 4)として使用するときは SCL1 として機能します。	30	28	20
	SCK1_2 (SCL1_2)		49	45	-
	SCS10_1	マルチファンクションシリアルインタフェース ch.1 のチップセレクト 0 入出力端子	31	29	-
	SCS10_2		48	44	31
	SCS11_1	マルチファンクションシリアルインタフェース ch.1 のチップセレクト 1 出力端子	32	30	-
	SCS11_2		47	43	30
マルチファンクションシリアル3	SIN3_0	マルチファンクションシリアルインタフェース ch.3 の入力端子	48	44	31
	SIN3_1		2	2	-
	SIN3_2		12	11	6
	SOT3_0 (SDA3_0)	マルチファンクションシリアルインタフェース ch.3 の出力端子。 UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT3 として、I^2C 端子(動作モード 4)として使用するときは SDA3 として機能します。	47	43	30
	SOT3_1 (SDA3_1)		3	3	-
	SOT3_2 (SDA3_2)		11	10	5
	SCK3_0 (SCL3_0)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときは SCK1 として、I^2C 端子(動作モード 4)として使用するときは SCL3 として機能します。	45	41	28
	SCK3_1 (SCL3_1)		4	4	-
	SCK3_2 (SCL3_2)		10	9	4
	SCS30_2	マルチファンクションシリアルインタフェース ch.3 のチップセレクト 0 入出力端子	9	8	3
	SCS31_2	マルチファンクションシリアルインタフェース ch.3 のチップセレクト 1 出力端子	8	7	2

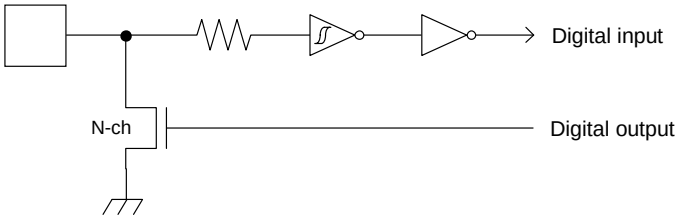
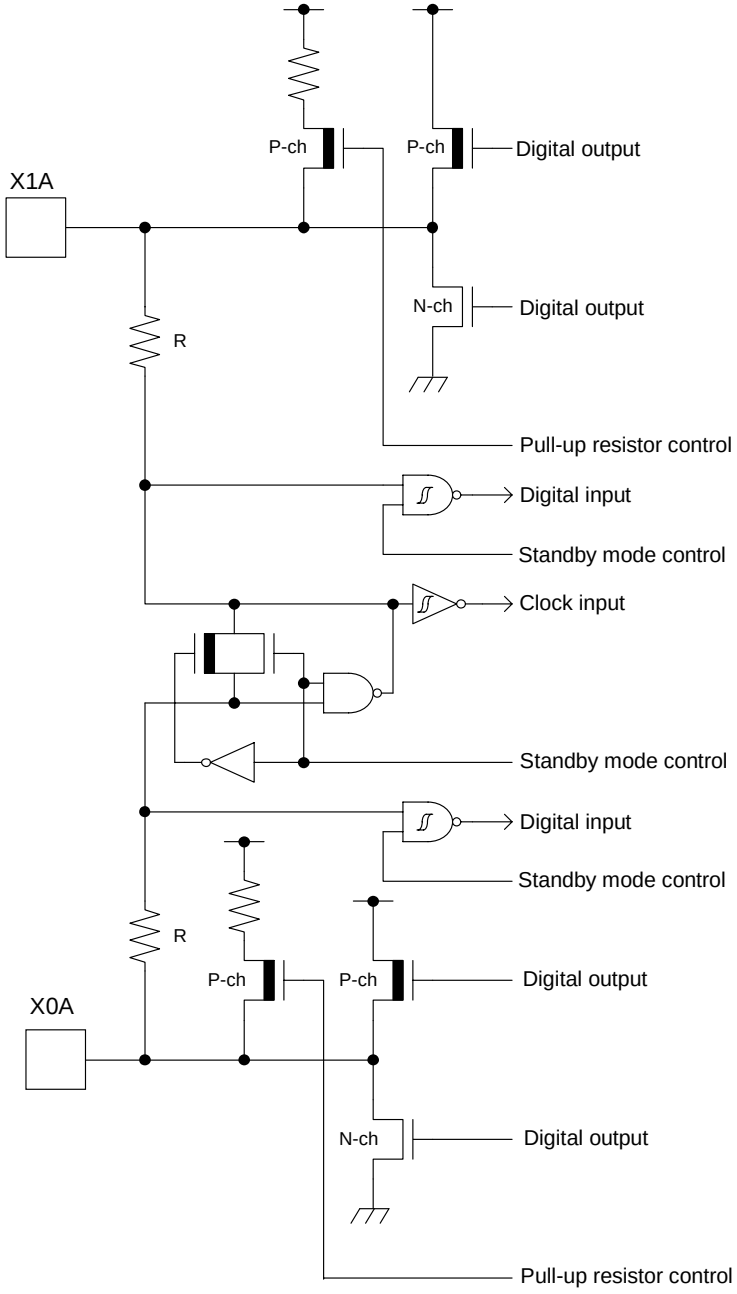
端子機能	端子名	機能説明	端子番号		
			LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32
多機能 タイマ 0	DTTI0X_0	多機能タイマ 0 の RTO00～RTO05 出力を制御する波形ジェネレータの入力信号	6	5	-
	DTTI0X_1		22	20	13
	DTTI0X_2		47	43	30
	FRCK0_0	16 ビットフリーランタイマ ch.0 の外部クロック入力端子	39	36	25
	FRCK0_1		49	45	-
	FRCK0_2		28	26	18
	IC00_0	多機能タイマ 0 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャネル数を示します。	48	44	31
	IC00_2		29	27	19
	IC01_0		2	2	-
	IC01_1		39	36	25
	IC01_2		30	28	20
	IC02_0		28	26	18
	IC02_1		37	34	23
	IC02_2		31	29	-
	IC03_1		38	35	24
	IC03_2		32	30	-
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	7	6	1
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	8	7	2
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	9	8	3
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	10	9	4
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	11	10	5
	RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	12	11	6
	IGTRG0_0	PPG IGBT モード外部トリガ入力端子	48	44	31
	IGTRG0_1		45	41	28

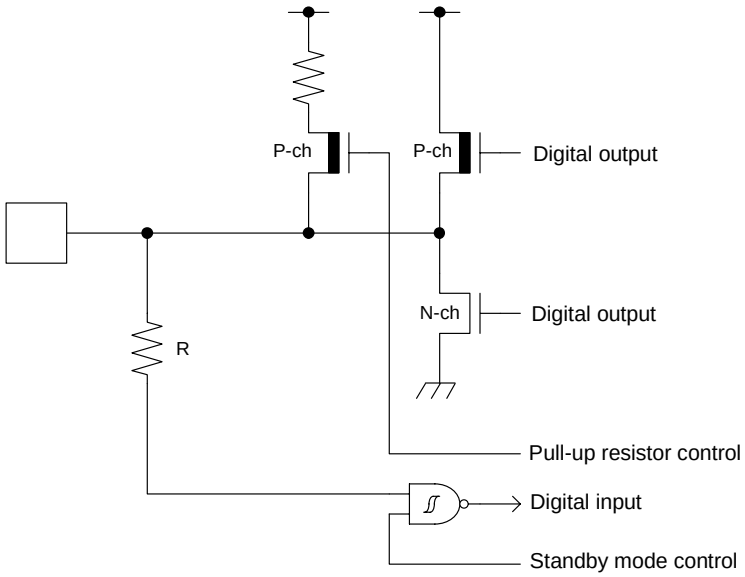
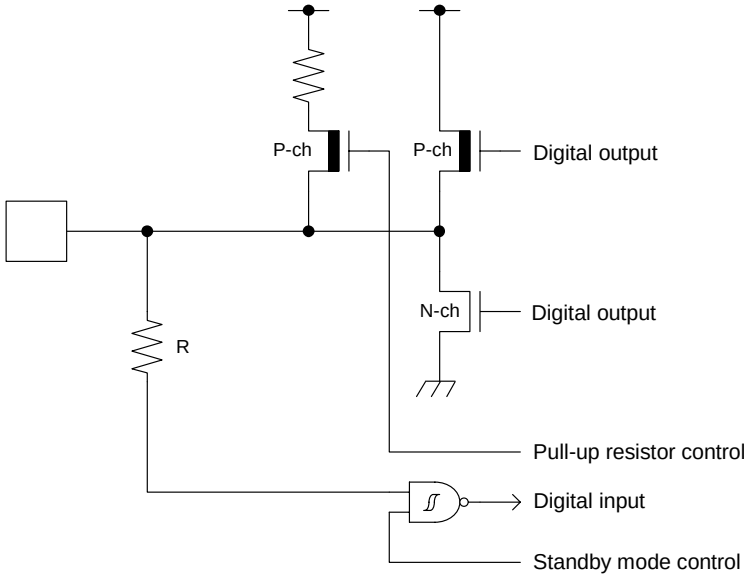
端子機能	端子名	機能説明	端子番号		
			LQFP-52	LQFP-48 QFN-48	LQFP-32 QFN-32
クアッドカウンタ	AIN0_0	QPRC ch.0 の AIN 入力端子	10	9	4
	AIN0_1		37	34	23
	AIN0_2		2	2	-
	AIN0_3		7	6	1
	BIN0_0	QPRC ch.0 の BIN 入力端子	11	10	5
	BIN0_1		39	36	25
	BIN0_2		3	3	-
	BIN0_3		8	7	2
	ZIN0_0	QPRC ch.0 の ZIN 入力端子	12	11	6
	ZIN0_1		38	35	24
	ZIN0_2		4	4	-
	ZIN0_3		9	8	3
リアルタイムクロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	46	42	29
	RTCCO_1		30	28	20
	RTCCO_2		7	6	1
	SUBOUT_0	サブクロック出力端子	46	42	29
	SUBOUT_1		30	28	20
	SUBOUT_2		7	6	1
RESET	INITX	外部リセット入力端子。 INITX="L"のとき、リセットが有効。	18	17	12
Mode	MD0	モード 0 端子。 通常動作時は、MD0="L"を入力してください。 フラッシュメモリのシリアル書込み時は、MD0="H"を入力してください。	23	21	14
POWER	VCC	電源端子	1	1	-
	VCC	電源端子	15	14	9
GND	VSS	GND 端子	13	12	7
	VSS	GND 端子	26	24	17
	VSS	GND 端子	52	48	32
CLOCK	X0	メインクロック(発振)入力端子	24	22	15
	X0A	サブクロック(発振)入力端子	16	15	10
	X1	メインクロック(発振)I/O 端子	25	23	16
	X1A	サブクロック(発振)I/O 端子	17	16	11
	CROUT_1	高速内蔵 CR 発振クロック出力ポート	46	42	29
Analog POWER	AVCC	A/D コンバータのアナログ電源端子	33	31	21
	AVRH	A/D コンバータのアナログ基準電圧入力端子	34	32	-
Analog GND	AVSS	A/D コンバータの GND 端子	35	33	22
C 端子	C	電源安定化容量端子	14	13	8

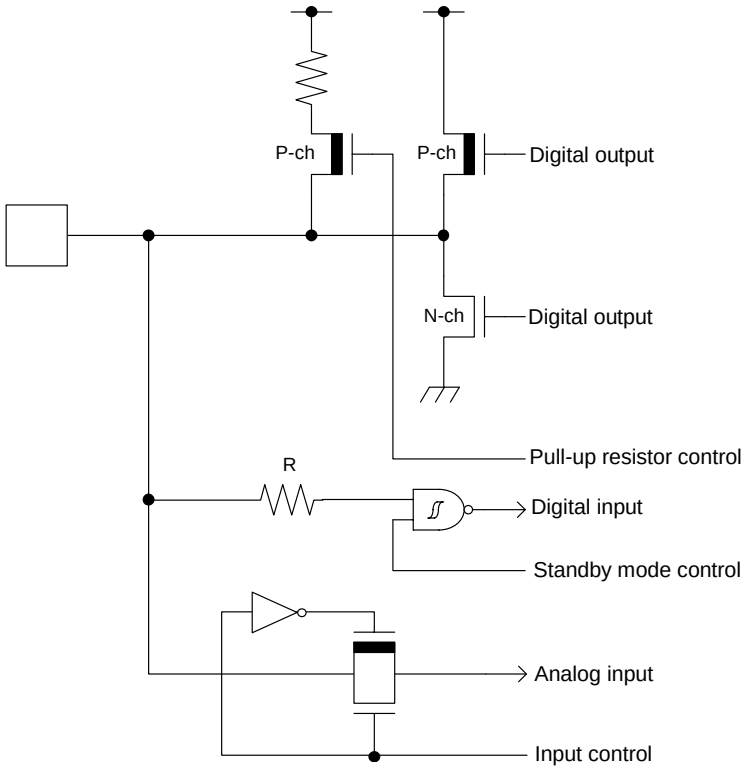
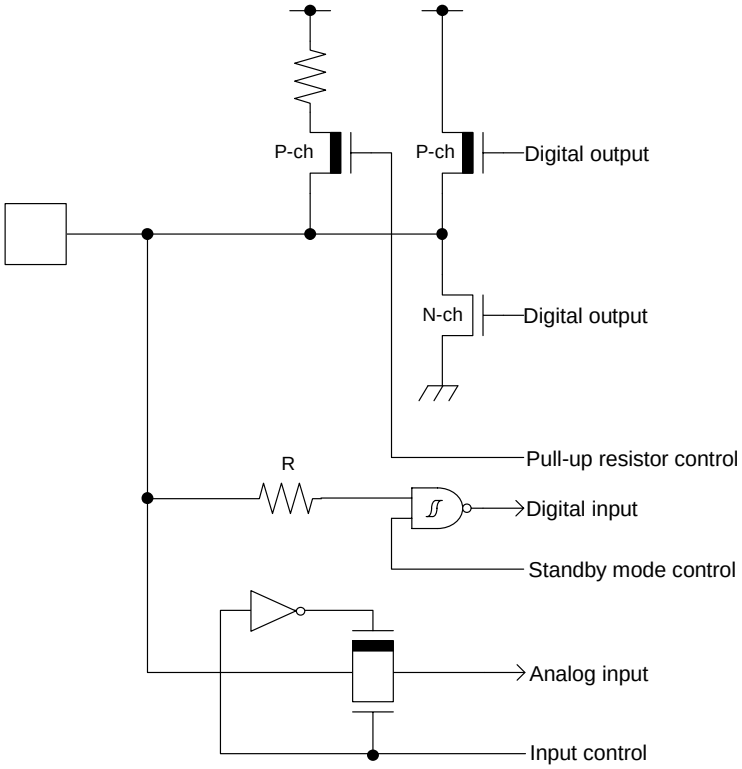
*: PE0 はオープンドレイン端子です。”High”出力はできません。

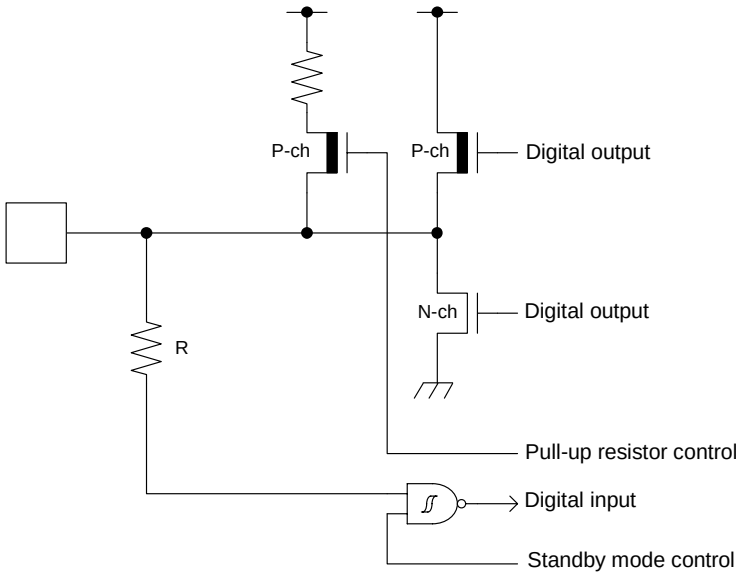
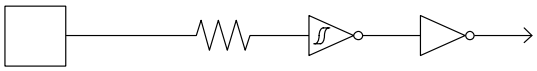
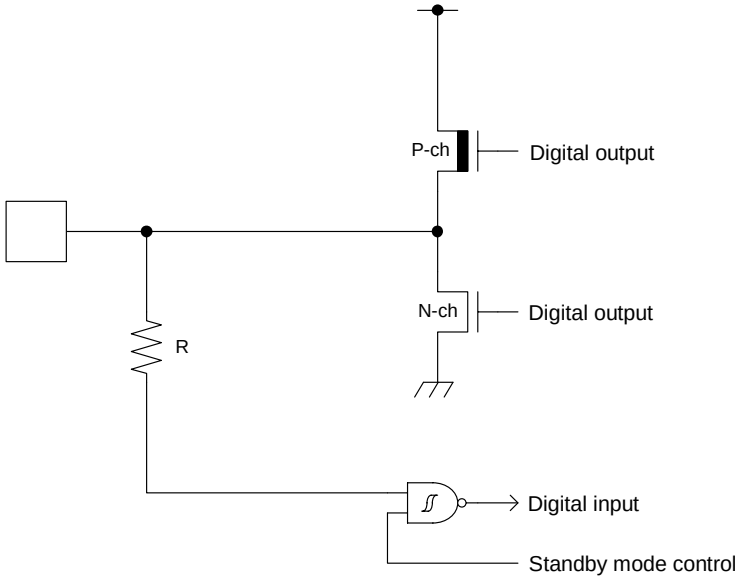
7. 入出力回路形式

分類	回路	備考
A		メイン発振/GPIO 切換え可能 メイン発振機能選択時 – 発振帰還抵抗: 約 1MΩ – スタンバイ制御あり GPIO 機能選択時 – CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50kΩ – I_{OH} = -4mA, I_{OL} = 4mA
B		– CMOS レベルヒステリシス入力 – プルアップ抵抗: 約 50kΩ

分類	回路	備考
C		- オープンドレイン出力 - CMOS レベルヒステリシス入力
D		サブ発振/GPIO 切換え可能 サブ発振機能選択時 - 発振帰還抵抗: 約 5MΩ - スタンバイ制御あり GPIO 機能選択時 - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50kΩ - I_{OH} = -4mA, I_{OL} = 4mA

分類	回路	備考
E		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50kΩ – I_{OH} = -4mA, I_{OL} = 4mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
F		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50kΩ – I_{OH} = -12mA, I_{OL} = 12mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
G		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 入力制御あり – アナログ入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50kΩ – I_{OH} = -4mA, I_{OL} = 4mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
H		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 入力制御あり – アナログ入力 – 5V トレラント – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50kΩ – I_{OH} = -4mA, I_{OL} = 4mA – PZR レジスタ制御可能 – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
I		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 5V トレラント – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50kΩ – I_{OH} = -4mA, I_{OL} = 4mA – PZR レジスタ制御可能 – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
J		CMOS レベルヒステリシス入力
K		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – スタンバイ制御あり – I_{OH} = -4mA, I_{OL} = 4mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

8. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件，環境条件など)によっても大きく左右されます。
以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

8.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧，電流，温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目，使用条件，論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止

   各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

2. 出力端子の保護

   出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

3. 未使用入力端子の処理

   インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNPN 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ，サージ等にも注意してください。
2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

管理番号: DS00-00004-3

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故，火災事故，社会的な損害を生じさせないよう、お客様は、装置の冗長設計，延焼対策設計，過電流防止設計，誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用，一般事務用，パーソナル用，家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御，航空機自動飛行制御,航空交通管制，大量輸送システムにおける運行制御，生命維持のための医療機器，兵器システムにおけるミサイル発射制御をいう)，ならびに極めて高い信頼性が要求される用途 (海底中継器，宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

8.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は,当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法 (ウェーブソルダリング法) が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下，温度 5℃～30℃ で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。
ベーキングは、当社の推奨する条件で実施してください。

条件:125℃/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40 %～70%RH にしてください。
   除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア，半田槽，半田ゴテ，および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具，計器類は，接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

8.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

1. 湿度環境

   高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

2. 静電気放電

   半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。
   このような場合、帯電の防止または放電の防止の処置をお願いします。

3. 腐食性ガス，塵埃，油

   腐食性ガス雰囲気中や、塵埃，油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

4. 放射線・宇宙線

   一般のデバイスは、設計上、放射線，宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

5. 発煙・発火

   樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

最新の取扱上のご注意については、下記の URL にてご確認ください。
http://www.spansion.com/fjdocuments/jp/datasheet/j-ds/DS00-00004.pdf

9. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間に 0.1µF 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz～60 Hz) におけるリプル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切換えによる瞬間変動の過渡変動率は 0.1V/µs 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶振動子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板アートワークは安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■ 表面実装タイプ

サイズ: 3.2mm × 1.5mm 以上
負荷容量: 6pF～7pF 程度

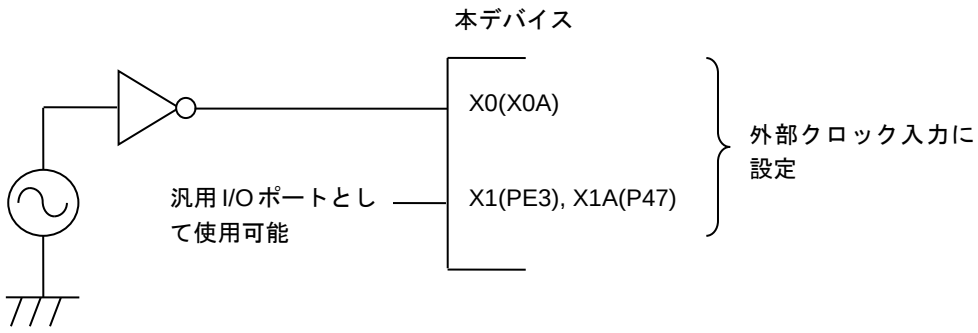
■ リードタイプ

負荷容量: 6pF～7pF 程度

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。
同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。

・外部クロック使用例

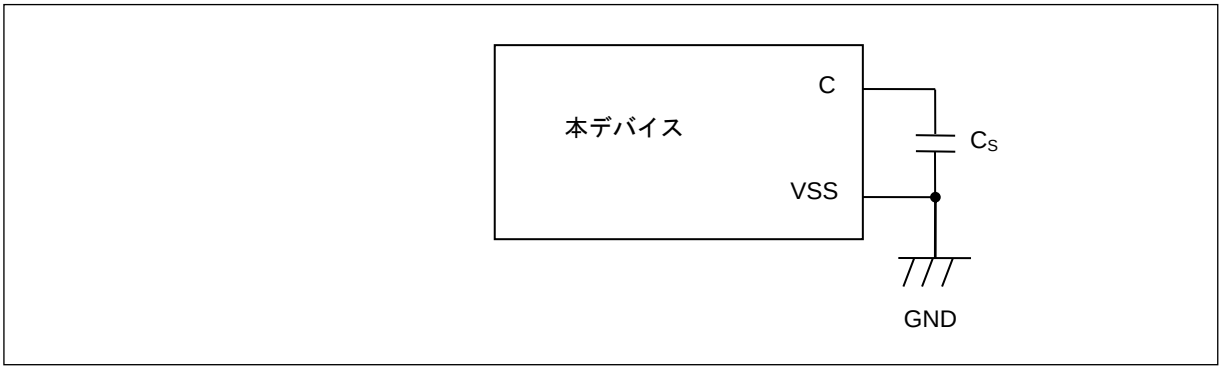


マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続してはいけません。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(CS)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。
なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性，Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。
本シリーズでは 4.7µF 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。

投入時 : VCC → AVCC → AVRH

切断時 : AVRH → AVCC → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

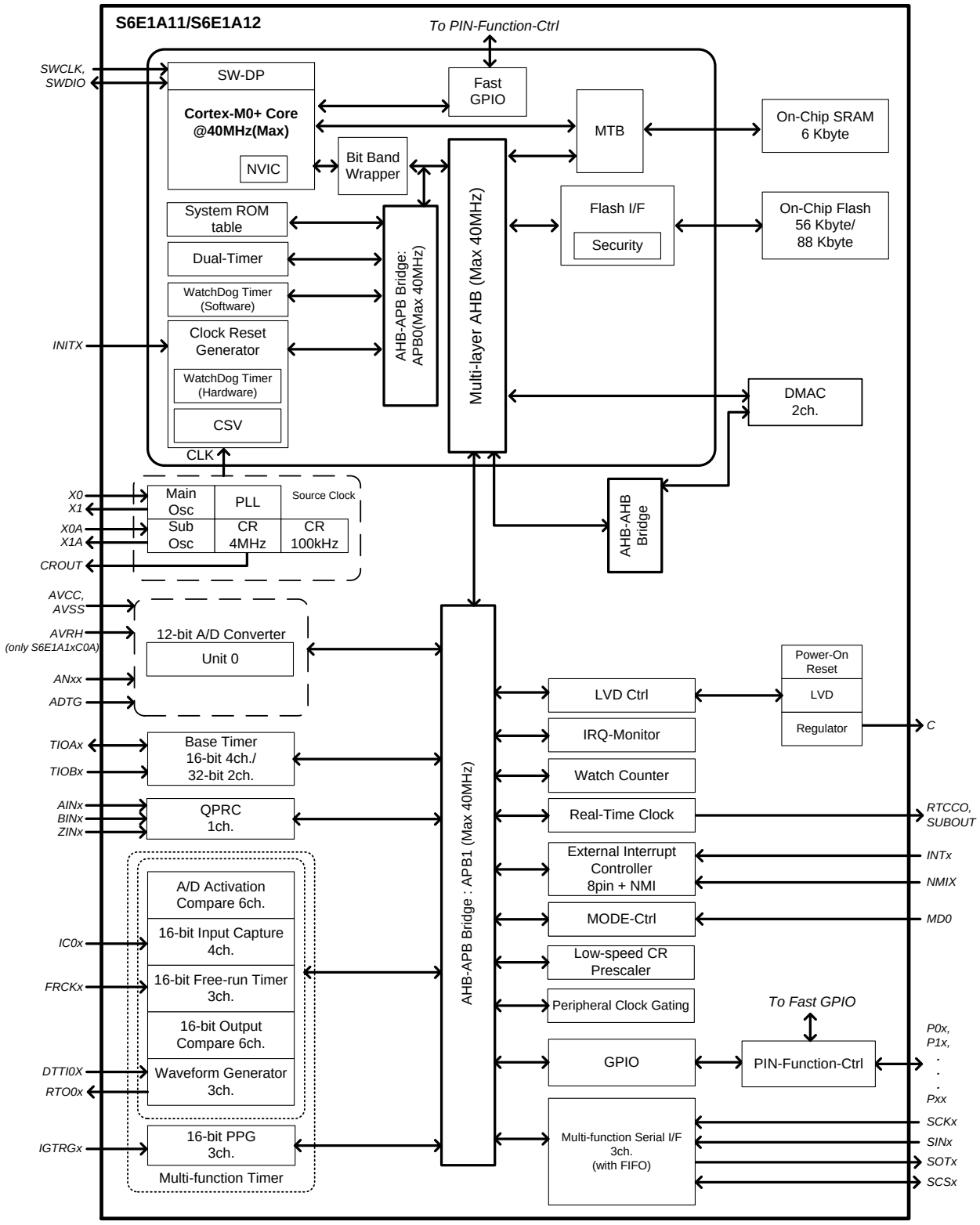
5V トレラント I/O のプルアップ機能について

5V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力してはいけません。

デバッグ機能を兼用している端子について

SWDIO/SWCLK と兼用している端子は出力のみで使用してください。入力として使用してはいけません。

10. ブロックダイヤグラム

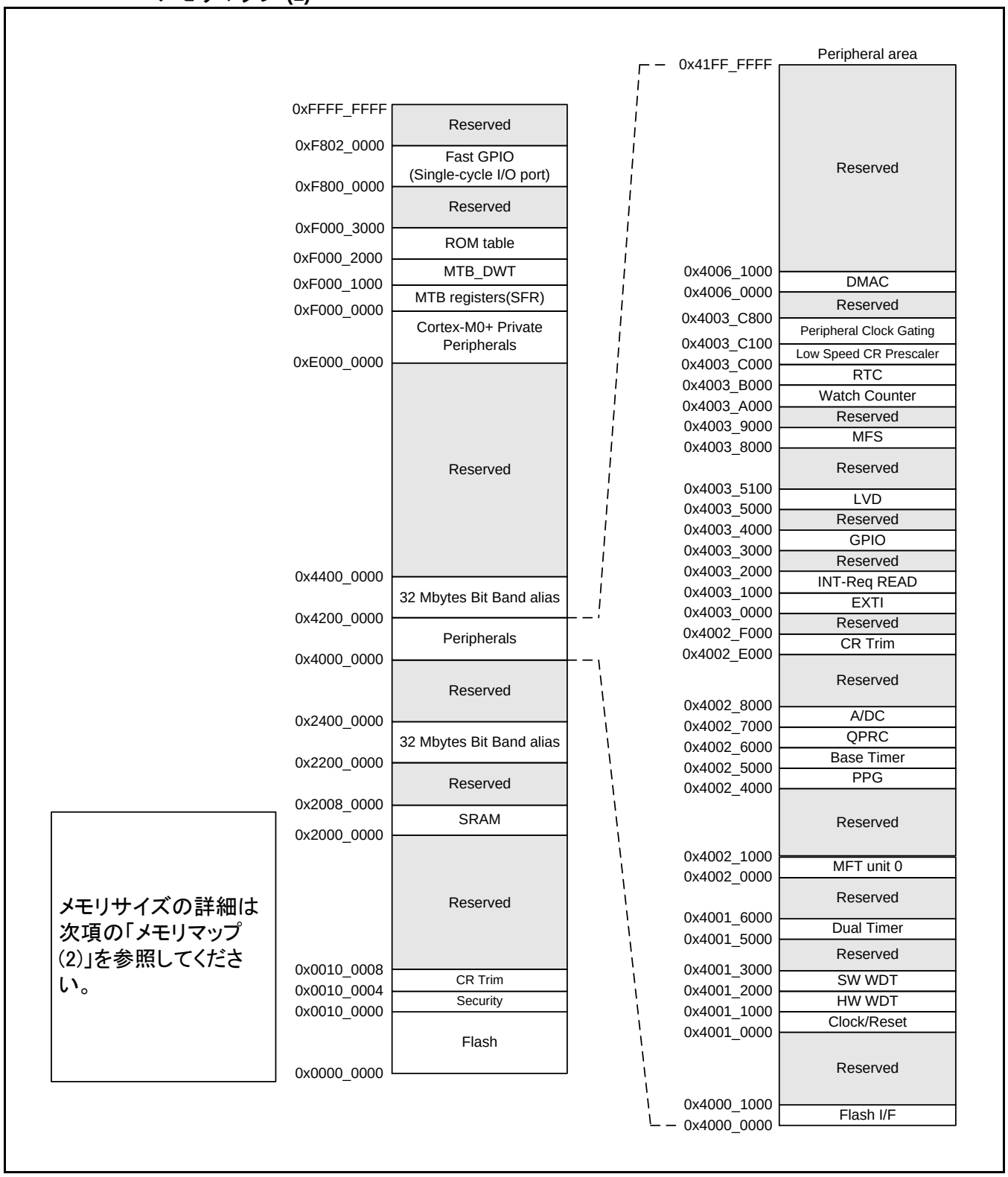


11. メモリサイズ

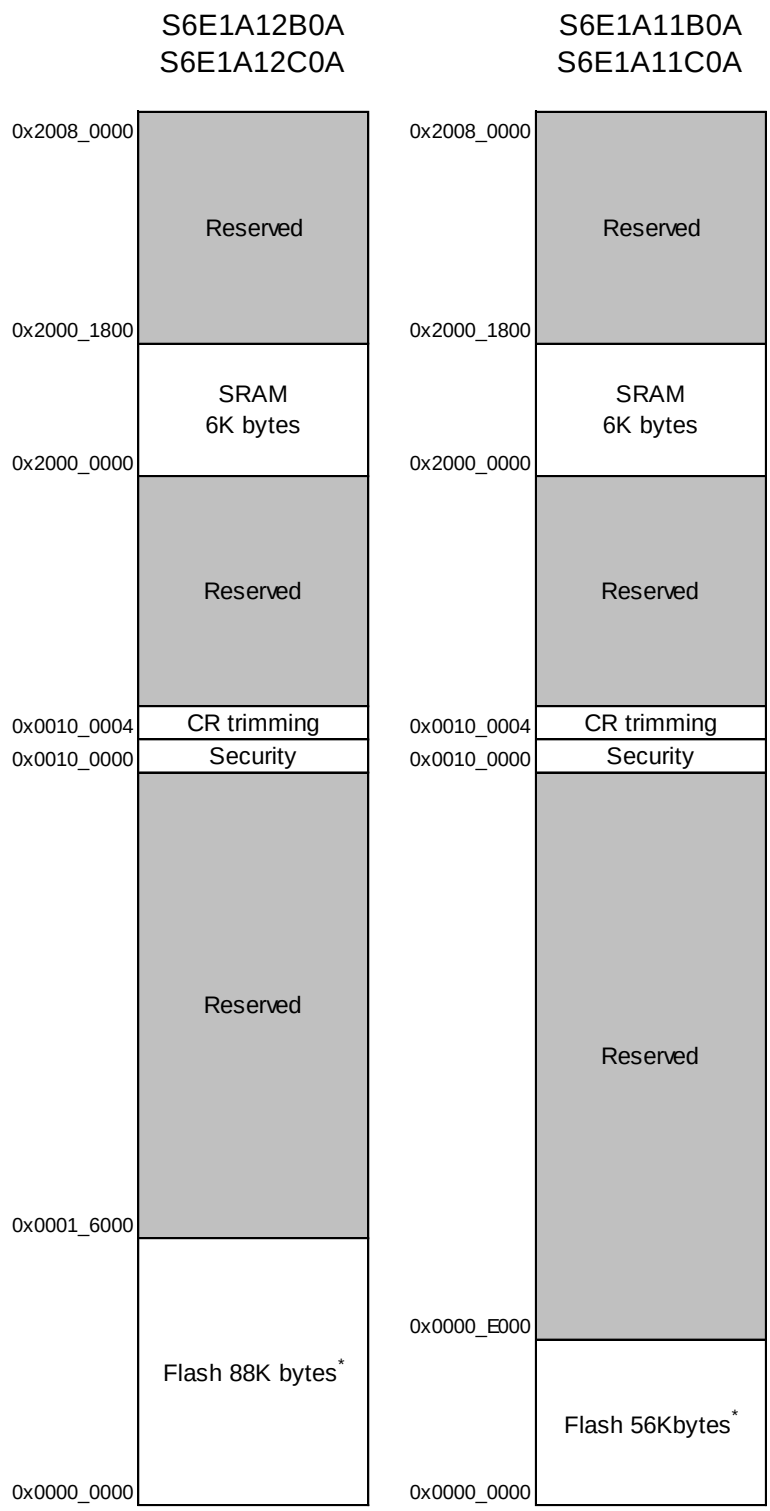
メモリサイズについては、「3. 品種構成」の「メモリサイズ」を参照してください。

12. メモリマップ

メモリマップ (1)



メモリマップ (2)



*: フラッシュメモリの詳細は『S6E1A1 シリーズ フラッシュプログラミングマニュアル』を参照してください。

ペリフェラル・アドレスマップ

スタートアドレス	エンドアドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	メインフラッシュメモリ I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		デュアルタイマ
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF	APB1	多機能タイマ 0
0x4002_1000	0x4002_3FFF		予約
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		ベースタイマ
0x4002_6000	0x4002_6FFF		クアッドカウンタ(QPRC)
0x4002_7000	0x4002_7FFF		A/D コンバータ
0x4002_8000	0x4002_DFFF		予約
0x4002_E000	0x4002_EFFF		内蔵 CR トリミング
0x4002_F000	0x4002_FFFF		予約
0x4003_0000	0x4003_0FFF		外部割込み制御部
0x4003_1000	0x4003_1FFF		割込み要求一括読出し機能
0x4003_2000	0x4003_2FFF		予約
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		予約
0x4003_5000	0x4003_57FF		低電圧検出
0x4003_5800	0x4003_7FFF		予約
0x4003_8000	0x4003_8FFF		マルチファンクションシリアルインタフェース
0x4003_9000	0x4003_9FFF		予約
0x4003_A000	0x4003_AFFF		時計カウンタ
0x4003_B000	0x4003_BFFF		RTC
0x4003_C000	0x4003_C0FF		低速 CR 補正
0x4003_C100	0x4003_C7FF		周辺クロック停止
0x4003_C800	0x4003_FFFF		予約
0x4004_0000	0x4005_FFFF	AHB	予約
0x4006_0000	0x4006_0FFF		DMAC レジスタ
0x4006_1000	0x41FF_FFFF		予約

13. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

- INITX=0
  INITX 端子が"L"レベルの期間です。
- INITX=1
  INITX 端子が"H"レベルの期間です。
- SPL=0
  スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。
- SPL=1
  スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。
- 入力可
  入力機能が使用可能な状態です。
- 内部入力"0"固定
  入力機能が使用できない状態です。内部入力は"L"に固定されます。
- Hi-Z
  端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。
- 設定不可
  設定できません。
- 直前状態保持
  本モードに遷移する直前の状態を保持します。
  内蔵されている周辺機能が動作中であれば、その周辺機能に従います。
  ポートとして使用している場合は、その状態を保持します。
- アナログ入力可
  アナログ入力が許可されています。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	メイン水晶 発振入力端子/ 外部メインクロック 入力選択時	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	外部メインクロック 入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	メイン水晶 発振出力端子	Hi-Z/ 内部入力"0" 固定/入力可	Hi-Z/ 内部入力"0" 固定	Hi-Z/ 内部入力"0" 固定	直前状態保持/ 発振停止時[*1]は Hi-Z/ 内部入力"0"固定	直前状態保持/ 発振停止時[*1]は Hi-Z/ 内部入力"0"固定	直前状態保持/ 発振停止時[*1]は Hi-Z/ 内部入力"0"固定
C	INITX 入力端子	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可
D	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可
E	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	サブ水晶 発振入力端子/ 外部サブクロック 入力選択時	入力可	入力可	入力可	入力可	入力可	入力可
F	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	外部サブクロック 入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	サブ水晶 発振出力端子	Hi-Z/ 内部入力"0" 固定/入力可	Hi-Z/ 内部入力"0" 固定	Hi-Z/ 内部入力"0" 固定	直前状態保持	直前状態保持/ 発振停止時[*2]は Hi-Z/ 内部入力"0"固定	直前状態保持/ 発振停止時[*2]は Hi-Z/ 内部入力"0"固定
G	NMIX 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	上記以外の リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力"0"固定
	GPIO 選択時						

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
H	シリアルワイヤデバッグ選択時	Hi-Z	プルアップ/入力可	プルアップ/入力可	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/内部入力"0"固定
I	リソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定
	GPIO 選択時						
J	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定
	GPIO 選択時						
K	アナログ入力選択時	Hi-Z	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可
	上記以外のリソース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定
	GPIO 選択時						
L	アナログ入力選択時	Hi-Z	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可
	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	上記以外のリソース選択時						Hi-Z/内部入力"0"固定
	GPIO 選択時						

*1: サブタイマモード、低速 CR タイマモード、ストップモード、RTC モードは発振が停止します。

*2: ストップモードは発振が停止します。

14. 電気的特性

14.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1,*2	V_{CC}	V_{SS} - 0.5	V_{SS} + 6.5	V	
アナログ電源電圧*1,*3	AV_{CC}	V_{SS} - 0.5	V_{SS} + 6.5	V	
アナログ基準電圧*1,*3	AVRH	V_{SS} - 0.5	V_{SS} + 6.5	V	S6E1A1xC0A のみ
入力電圧*1	V_I	V_{SS} - 0.5	V_{CC} + 0.5 (≦6.5V)	V	
		V_{SS} - 0.5	V_{SS} + 6.5	V	5V トレラント
アナログ端子入力電圧*1	V_{IA}	V_{SS} - 0.5	AV_{CC} + 0.5 (≦6.5V)	V	
出力電圧*1	V_O	V_{SS} - 0.5	V_{CC} + 0.5 (≦6.5V)	V	
"L"レベル最大出力電流*4	I_{OL}	-	10	mA	4mA タイプ
			20	mA	12mA タイプ
"L"レベル平均出力電流*5	I_{OLAV}	-	4	mA	4mA タイプ
			12	mA	12mA タイプ
"L"レベル最大総出力電流	$\sum I_{OL}$	-	100	mA	
"L"レベル平均総出力電流*6	$\sum I_{OLAV}$	-	50	mA	
"H"レベル最大出力電流*4	I_{OH}	-	- 10	mA	4mA タイプ
			- 20	mA	12mA タイプ
"H"レベル平均出力電流*5	I_{OHAV}	-	- 4	mA	4mA タイプ
			- 12	mA	12mA タイプ
"H"レベル最大総出力電流	$\sum I_{OH}$	-	- 100	mA	
"H"レベル平均総出力電流*6	$\sum I_{OHAV}$	-	- 50	mA	
消費電力	P_D	-	200	mW	
保存温度	T_{STG}	- 55	+ 150	°C	

*1: $V_{SS} = AV_{SS}$ =0V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5V より低くなってはいけません。

*3: 電源投入時 V_{CC} + 0.5V を超えてはいけません。

*4: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*5: 平均出力電流は、該当する端子 1 本に流れる電流の 100ms の期間内での平均電流を規定します。

*6: 平均総出力電流は、該当する端子すべてに流れる電流の 100ms の期間内での平均電流を規定します。

<注意事項>

1. 絶対最大定格を超えるストレス（電圧，電流，温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

14.2 推奨動作条件

(V_{SS} = AV_{SS} = 0.0V)

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源電圧	V_{CC}	-	2.7*2	5.5	V	
アナログ電源電圧	AV_{CC}	-	2.7	5.5	V	AV_{CC} = V_{CC}
アナログ基準電圧	AVRH	-	2.7	AV_{CC}	V	S6E1A1xC0A のみ
平滑コンデンサ容量	C_S	-	1	10	µF	レギュレータ用*1
動作温度	Ta	-	- 40	+ 105	℃	

*1: 平滑コンデンサの接続方法は、「9. デバイス使用上の注意」の「C 端子について」を参照してください。

*2: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

<注意事項>

1. *推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。*
2. *この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。*
3. *データシートに記載されていない項目，使用条件，論理の組合せでの使用は、保証していません。*
4. *記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。*

14.3 直流規格

14.3.1 電流規格

記号 (端子名)	条件		HCLK 周波数*4	規格値 標準*1	規格値 最大*2	単位	備考
I_{CC} (VCC)	ランモード Flash 実行	4MHz 外部クロック入力、PLL 使用*8 NOP 命令実行 内蔵高速 CR 停止 CKENx で全ての周辺クロックを停止	4MHz	0.7	1.5	mA	*3
			8MHz	1.3	2.3		
			20MHz	2.8	4.0		
			40MHz	5.7	7.3		
		4MHz 外部クロック入力、PLL 使用*8 ベンチマーク実行 内蔵高速 CR 停止 PCLK1 停止	4MHz	0.6	1.4	mA	*3
			8MHz	1.2	2.1		
			20MHz	2.6	3.7		
			40MHz	4.8	6.3		
		4MHz 水晶発振、PLL 使用*8 NOP 命令実行 内蔵高速 CR 停止 CKENx で全ての周辺クロックを停止	4MHz	1.0	2.9	mA	*3
			8MHz	1.7	3.6		
			20MHz	3.4	5.6		
			40MHz	5.7	8.2		
	ランモード RAM 実行	4MHz 外部クロック入力、PLL 使用*8 NOP 命令実行 内蔵高速 CR 停止 CKENx で全ての周辺クロックを停止	4MHz	0.5	1.2	mA	*3
			8MHz	0.9	1.8		
			20MHz	2.0	2.9		
			40MHz	3.7	4.8		
	ランモード Flash 実行	4MHz 外部クロック入力、PLL 使用 NOP 命令実行 内蔵高速 CR 停止 PCLK1 停止	40MHz	2.8	3.7	mA	*3,*6,*7
	ランモード Flash 実行	内蔵高速 CR*5 NOP 命令実行 CKENx で全ての周辺クロックを停止	4MHz	0.8	1.5	mA	*3
		32kHz 水晶発振 NOP 命令実行 CKENx で全ての周辺クロックを停止	32kHz	65	900	µA	*3
		内蔵低速 CR NOP 命令実行 CKENx で全ての周辺クロックを停止	100kHz	73	920	µA	*3
Iccs (VCC)	スリープ モード	4MHz 外部クロック入力、PLL 使用*8 CKENx で全ての周辺クロックを停止	4MHz	0.4	1.2		*3
			8MHz	0.7	1.6		
			20MHz	1.5	2.4		
			40MHz	2.7	3.7		
		内蔵高速 CR CKENx で全ての周辺クロックを停止	4MHz	0.5	1.2	mA	*3
		32kHz 水晶発振 CKENx で全ての周辺クロックを停止	32kHz	63	880	µA	*3
		内蔵低速 CR CKENx で全ての周辺クロックを停止	100kHz	66	890	µA	*3

*1 : Ta=+25°C, V_{CC}=3.0V
*2 : Ta=+105°C, V_{CC}=5.5V
*3 : 全ポート固定時
*4 : PCLK0=HCLK/8
*5 : トリミングにて 4MHz 設定時
*6 : Flash シンクダウン設定時(FRWTR.RWT = 11 , FSYNDN.SD = 1111)
*7 : V_{CC}=2.7V
*8 : HCLK=4MHz 時は PLL OFF

記号 (端子名)	条件		規格値		単位	備考
			標準	最大		
I_{CCH} (VCC)	ストップモード	Ta=25℃ Vcc=3.0V LVD off 時	5.6	28	μA	*1
		Ta=25℃ Vcc=5.0V LVD off 時	6.7	30	μA	*1
		Ta=105℃ Vcc=5.5V LVD off 時	-	540	μA	*1
I_{CCT} (VCC)	サブタイマモード	Ta=25℃ Vcc=3.0V 32kHz 水晶発振 LVD off 時	12	42	μA	*1
		Ta=25℃ Vcc=5.0V 32kHz 水晶発振 LVD off 時	13	44	μA	*1
		Ta=105℃ Vcc=5.5V 32kHz 水晶発振 LVD off 時	-	730	μA	*1
I_{CCR} (VCC)	RTC モード	Ta=25℃ Vcc=3.0V 32kHz 水晶発振 LVD off 時	9	36	μA	*1
		Ta=25℃ Vcc=5.0V 32kHz 水晶発振 LVD off 時	10	38	μA	*1
		Ta=105℃ Vcc=5.5V 32kHz 水晶発振 LVD off 時	-	570	μA	*1

*1： 全ポート固定時

LVD 電流

(V_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
低電圧検出回路 (LVD) 電源電流	I_{CCLVD}	VCC	動作時	0.13	0.3	µA	リセット発生用
				0.13	0.3	µA	割込み発生用

フラッシュメモリ電流

(V_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
フラッシュメモリ 書込み/消去電流	$I_{CCFLASH}$	VCC	書込み/消去時	9.5	11.2	mA	

A/D コンバータ電流(S6E1A1xC0A)

(V_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I_{CCAD}	AVCC	A/D 動作時	0.7	0.9	mA	
			A/D 停止時	0.13	13	µA	
基準電源電流 (AVRH)	I_{CCAVRH}	AVRH	A/D 動作時	1.1	1.97	mA	AVRH=5.5V
			A/D 停止時	0.1	1.7	µA	

A/D コンバータ電流(S6E1A1xB0A)

(V_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I_{CCAD}	AVCC	A/D 動作時	1.8	2.87	mA	
			A/D 停止時	0.23	14.7	µA	

ペリフェラル消費電流

クロック系列	ペリフェラル	条件	周波数(MHz)				単位	備考
			4	8	20	40		
HCLK	GPIO	全ポート動作時	0.11	0.22	0.55	1.10	mA	-
	DMAC	2ch.動作時	0.05	0.11	0.25	0.51		
PCLK1	ベースタイマ	4ch.動作時	0.03	0.05	0.15	0.30	mA	-
	多機能タイマ/PPG	1unit/4ch.動作時	0.14	0.28	0.68	1.38		
	クアッドカウンタ	1unit 動作時	0.02	0.04	0.11	0.22		
	A/DC	1unit 動作時	0.07	0.14	0.37	0.73		
	マルチファンクションシリアル	1ch.動作時	0.15	0.31	0.77	1.54		

14.3.2 端子特性

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル入力電圧 (ヒステリシス入力)	V_{IHS}	CMOS ヒステリシス入力端子, MD0, PE0	-	V_{CC}×0.8	-	V_{CC} + 0.3	V	
		5V トレラント入力端子	-	V_{CC}×0.8	-	V_{SS} + 5.5	V	
"L"レベル入力電圧 (ヒステリシス入力)	V_{ILS}	CMOS ヒステリシス入力端子, MD0, PE0	-	V_{SS} - 0.3	-	V_{CC}×0.2	V	
		5V トレラント入力端子	-	V_{SS} - 0.3	-	V_{CC}×0.2	V	
"H"レベル出力電圧	V_{OH}	4mA タイプ	V_{CC} ≧ 4.5 V, I_{OH} = - 4mA	V_{CC} - 0.5	-	V_{CC}	V	
			V_{CC} < 4.5 V, I_{OH} = - 2mA					
		12mA タイプ	V_{CC} ≧ 4.5 V, I_{OH} = - 12mA	V_{CC} - 0.5	-	V_{CC}	V	
			V_{CC} < 4.5 V, I_{OH} = - 8mA					
"L"レベル出力電圧	V_{OL}	4mA タイプ	V_{CC} ≧ 4.5 V, I_{OL} = 4mA	V_{SS}	-	0.4	V	
			V_{CC} < 4.5 V, I_{OL} = 2mA					
		12mA タイプ	V_{CC} ≧ 4.5 V, I_{OL} = 12mA	V_{SS}	-	0.4	V	
			V_{CC} < 4.5 V, I_{OL} = 8mA					
入力リーク電流	I_{IL}	-	-	- 5	-	+ 5	µA	
プルアップ抵抗値	R_{PU}	プルアップ端子	V_{CC} ≧ 4.5 V	33	50	90	kΩ	
			V_{CC} < 4.5 V	-	-	180		
入力容量	C_{IN}	VCC, VSS, AVCC, AVSS, AVRH 以外	-	-	5	15	pF	

14.4 交流規格

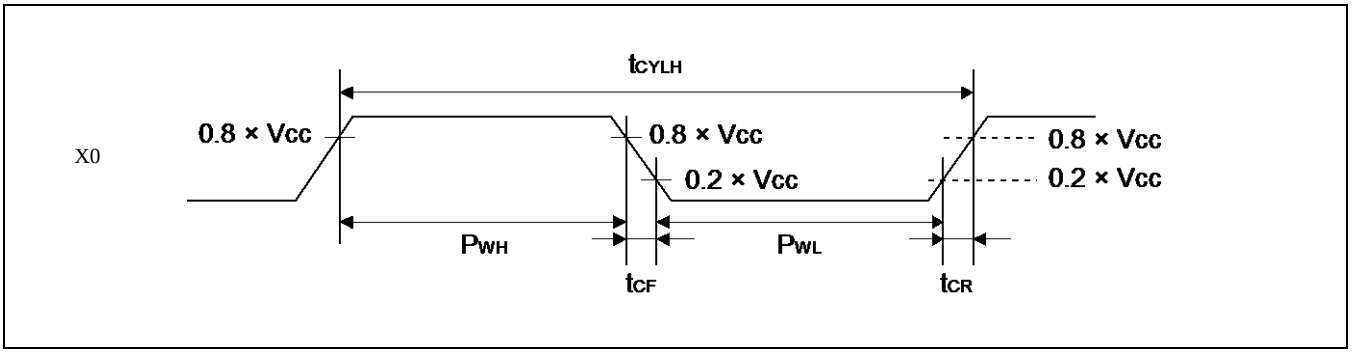
14.4.1 メインクロック入力規格

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	F_{CH}	X0, X1	V_{CC}≧4.5V	4	40	MHz	水晶振動子接続時
			V_{CC} < 4.5V	4	20		
			-	4	40	MHz	外部クロック使用時
入力クロック周期	t_{CYLH}			25	250	ns	外部クロック使用時
入力クロック パルス幅	-		P_{WH}/t_{CYLH}, P_{WL}/t_{CYLH}	45	55	%	外部クロック使用時
入力クロック 立上り，立下り時間	t_{CF}, t_{CR}		-	-	5	ns	外部クロック使用時
内部動作クロック*1 周波数	F_{CM}	-	-	-	41.2	MHz	マスタクロック
	F_{CC}	-	-	-	41.2	MHz	ベースクロック(HCLK/FCLK)
	F_{CP0}	-	-	-	41.2	MHz	APB0 バスクロック*2
	F_{CP1}	-	-	-	41.2	MHz	APB1 バスクロック*2
内部動作クロック*1 サイクル時間	t_{CYCC}	-	-	24.27	-	ns	ベースクロック(HCLK/FCLK)
	t_{CYCP0}	-	-	24.27	-	ns	APB0 バスクロック*2
	t_{CYCP1}	-	-	24.27	-	ns	APB1 バスクロック*2

*1: 各内部動作クロックの詳細については、『FM0+ファミリ ペリフェラルマニュアル』の『CHAPTER:クロック』を参照してください。

*2: 各ペリフェラルが接続されている APB バスについては「10. ブロックダイヤグラム」を参照してください。

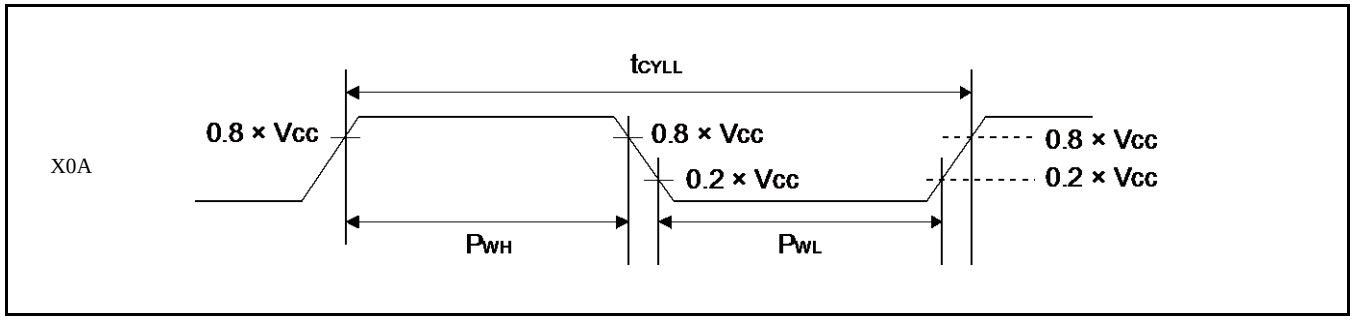


14.4.2 サブクロック入力規格

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	$1/t_{CYLL}$	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時*
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t_{CYLL}		-	10	-	31.25	µs	外部クロック時
入力クロックパルス幅	-		P_{WH}/t_{CYLL}, P_{WL}/t_{CYLL}	45	-	55	%	外部クロック時

*: ご使用する水晶振動子については、「9. デバイス使用上の注意」の「サブクロック用水晶振動子について」を参照してください。



14.4.3 内蔵 CR 発振規格

・内蔵高速 CR

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	F_{CRH}	Ta = + 25°C, 3.6V < VCC ≦ 5.5V	3.92	4	4.08	MHz	トリミング時*1
		Ta =0°C～+ 85°C, 3.6V < VCC ≦ 5.5V	3.9	4	4.1		
		Ta = - 40°C～+ 105°C, 3.6V < VCC ≦5.5V	3.88	4	4.12		
		Ta = + 25°C, 2.7V ≦ VCC ≦ 3.6V	3.94	4	4.06		
		Ta = - 20°C～+ 85°C, 2.7V ≦ VCC ≦ 3.6V	3.92	4	4.08		
		Ta = - 20°C～+ 105°C, 2.7V ≦ VCC ≦ 3.6V	3.9	4	4.1		
		Ta = - 40°C～+ 105°C, 2.7V ≦ VCC ≦ 3.6V	3.88	4	4.12		
		Ta = - 40°C～+ 105°C	2.8	4	5.2		非トリミング時
周波数安定時間	t_{CRWT}	-	-	-	30	µs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値として設定した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なおトリミング値設定後、周波数安定時間が経過する期間も高速 CR クロックをソースクロックとして使用できます。

・内蔵低速 CR

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	F_{CRL}	-	50	100	150	kHz	

14.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間[*1] (LOCK UP 時間)	t_{LOCK}	100	-	-	µs	
PLL 入力クロック周波数	F_{PLLI}	4	-	16	MHz	
PLL 逓倍率	-	5	-	37	逓倍	
PLL マクロ発振クロック周波数	F_{PLLO}	75	-	150	MHz	
メイン PLL クロック周波数[*2]	F_{CLKPLL}	-	-	40	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM0+ ファミリ ペリフェラルマニュアル』の『CHAPTER:クロック』を参照してください。

14.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間[*1] (LOCK UP 時間)	t_{LOCK}	100	-	-	µs	
PLL 入力クロック周波数	F_{PLLI}	3.88	4	4.12	MHz	
PLL 逓倍率	-	19	-	35	逓倍	
PLL マクロ発振クロック周波数	F_{PLLO}	72	-	150	MHz	
メイン PLL クロック周波数[*2]	F_{CLKPLL}	-	-	41.2	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM0+ ファミリ ペリフェラルマニュアル』の『CHAPTER:クロック』を参照してください。

(注意事項)

- *メイン PLL のソースクロックには、必ず周波数トリミングを行った高速 CR クロック(CLKHC)を入力してください。*

14.4.6 リセット入力規格

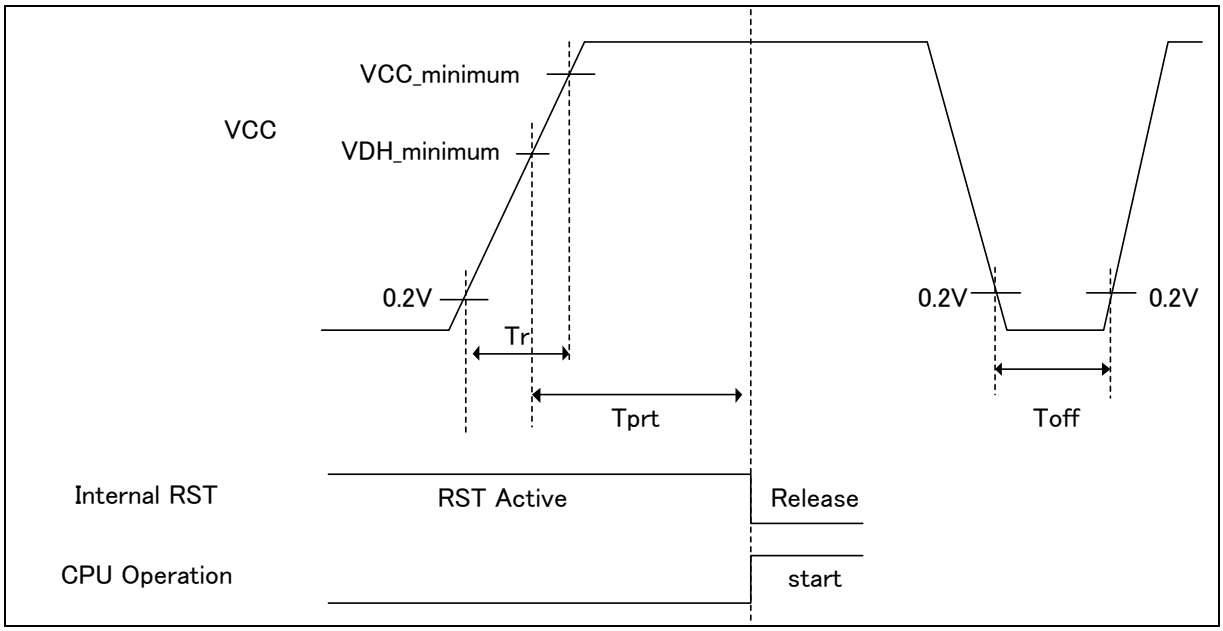
(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

14.4.7 パワーオンリセットタイミング

(V_{CC} = 2.7V～5.5V, V_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	規格値		単位	備考
			最小	最大		
電源立上り時間	Tr	VCC	0	-	ms	
電源断時間	Toff		1	-	ms	
パワーオンリセット解除までの時間	Tprt		0.43	3.4	ms	



用語解説

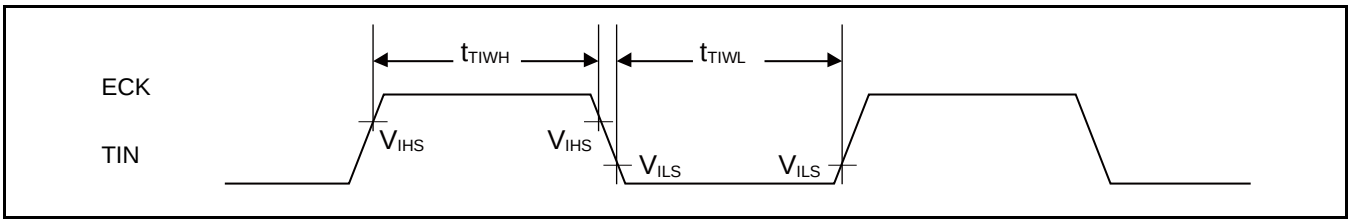
- VCC_minimum: 推奨動作条件(V_{CC})の下限電圧
- VDH_minimum: 低電圧検出リセット解除電圧(SVHR=00000 時)。
  「14.6 低電圧検出特性」を参照してください。

14.4.8 ベースタイマ入力タイミング

タイマ入力タイミング

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

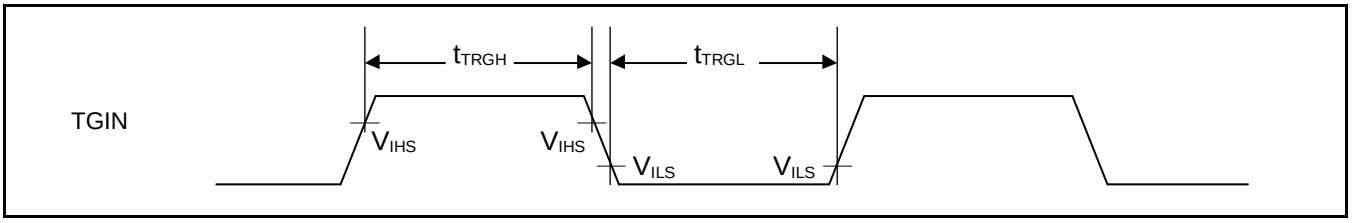
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH}, t_{TIWL}	TIOAn/TIOBn (ECK, TIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH}, t_{TRGL}	TIOAn/TIOBn (TGIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



(注意事項)

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  ベースタイマが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。

14.4.9 CSIO タイミング

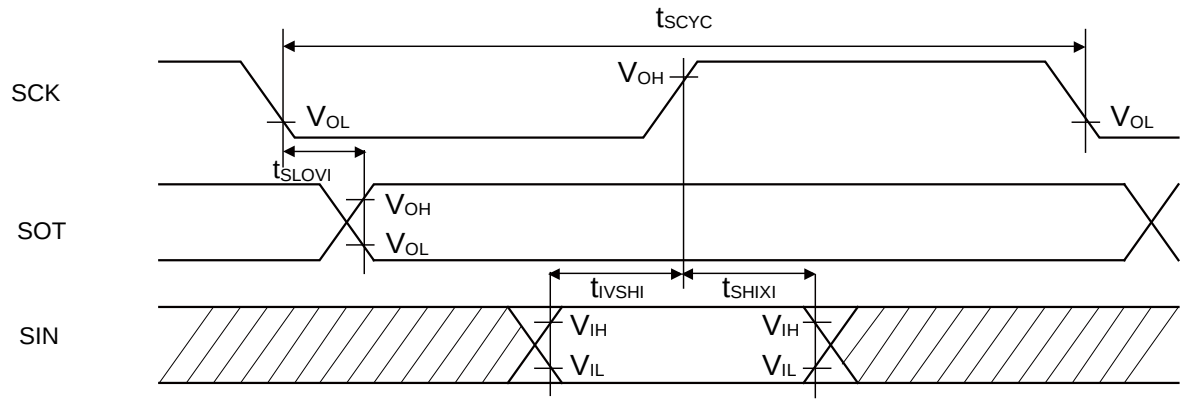
同期シリアル(SPI = 0, SCINV = 0)

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

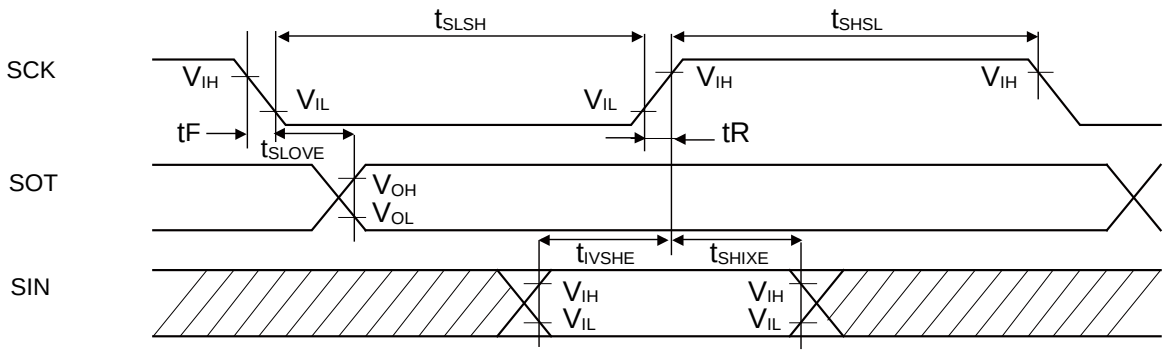
項目	記号	端子名	条件	V_{CC} < 4.5V		V_{CC}≧4.5V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフトクロック動作	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx, SINx		50	-	30	-	ns
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx, SINx		0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	外部シフトクロック動作	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

(注意事項)

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCLKx_0 と SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30pF*



MS ビット = 0



MS ビット = 1

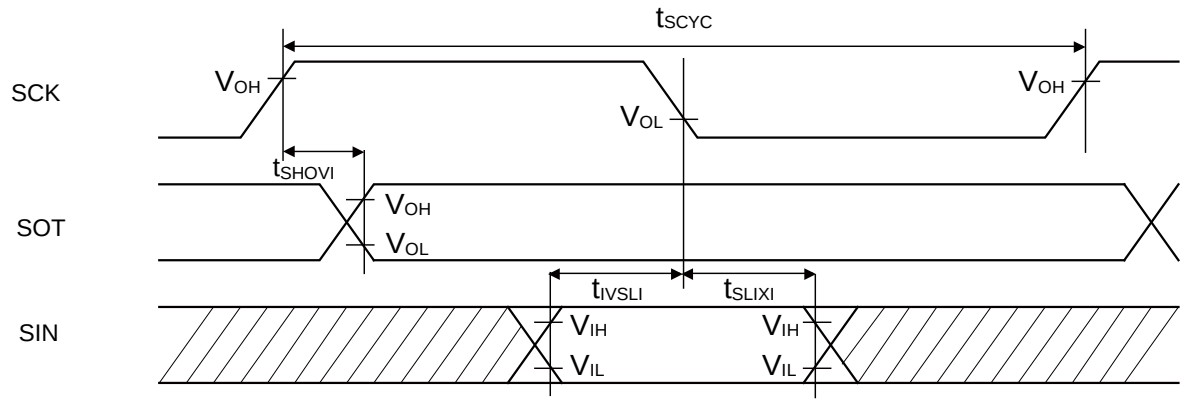
同期シリアル(SPI = 0, SCINV = 1)

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

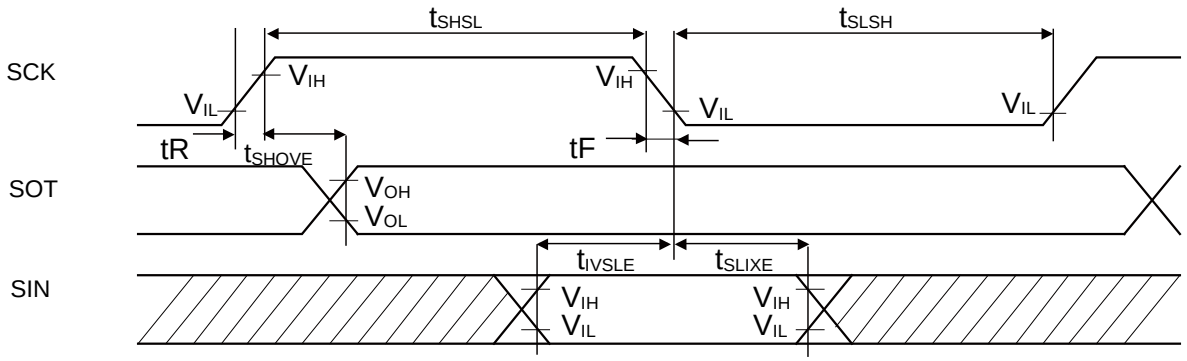
項目	記号	端子名	条件	V_{CC} < 4.5V		V_{CC}≧4.5V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフトクロック動作	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx, SINx		0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	外部シフトクロック動作	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

(注意事項)

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCLKx_0 と SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30pF*



MS ビット = 0



MS ビット = 1

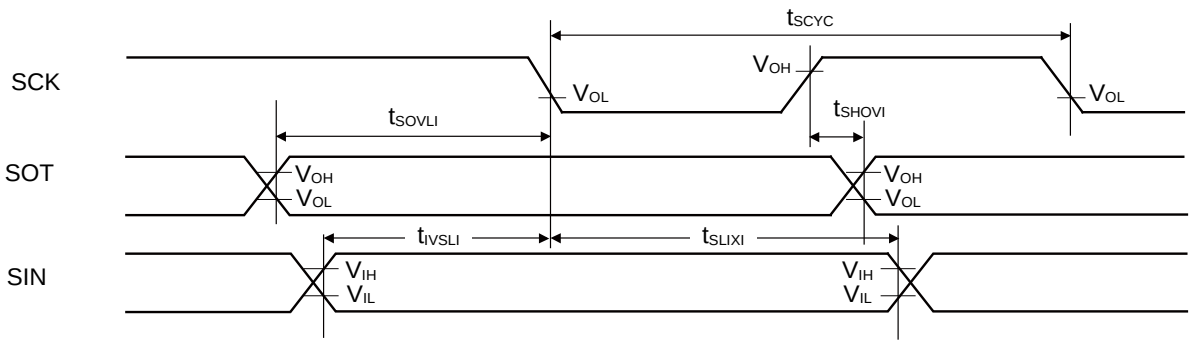
同期シリアル(SPI = 1, SCINV = 0)

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

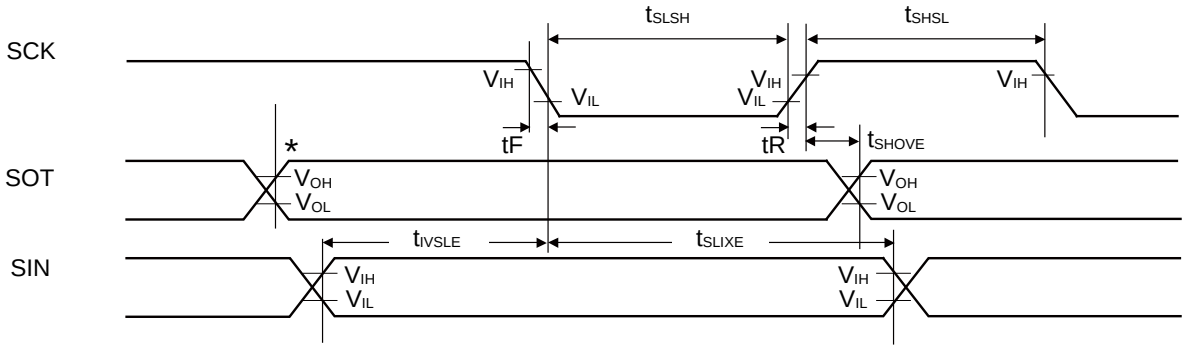
項目	記号	端子名	条件	V_{CC} < 4.5V		V_{CC}≧4.5V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフトクロック動作	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx, SINx		0	-	0	-	ns
SOT→SCK↓遅延時間	t_{SOVLI}	SCKx, SOTx		$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	外部シフトクロック動作	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

(注意事項)

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCLKx_0 と SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30pF*



MS ビット = 0



MS ビット = 1

* : TDR レジスタにデータをライトすると変化

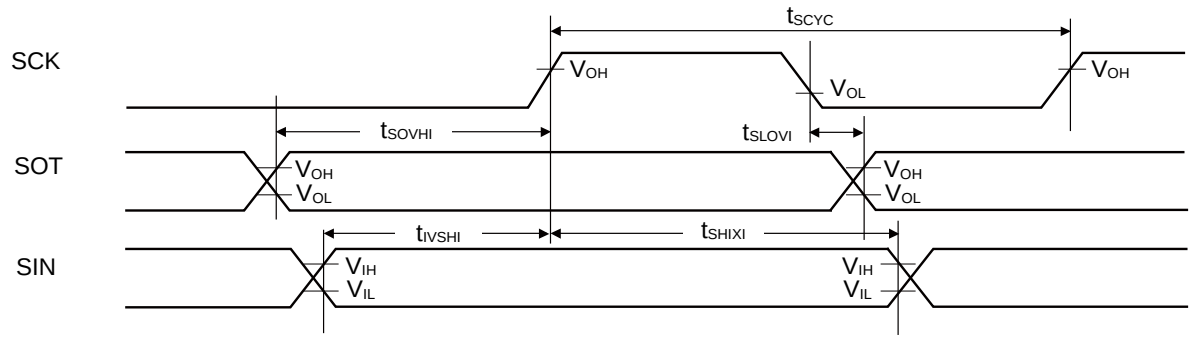
同期シリアル(SPI = 1, SCINV = 1)

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

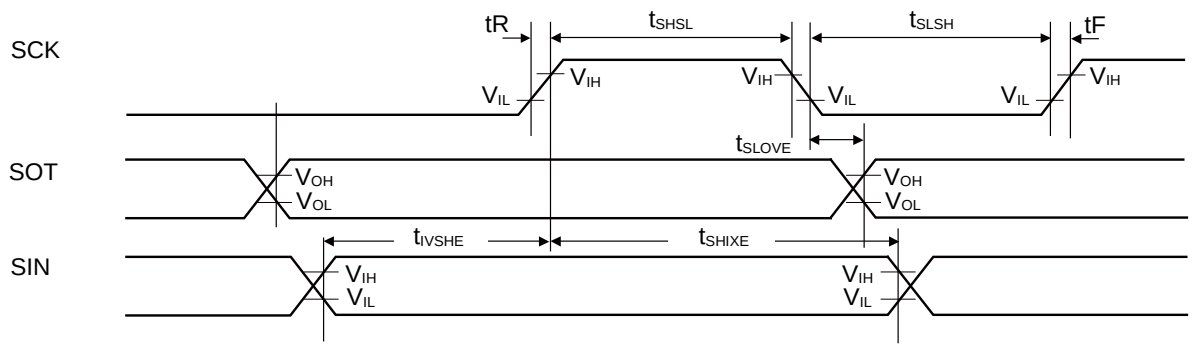
項目	記号	端子名	条件	V_{CC} < 4.5V		V_{CC}≧4.5V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフト クロック動作	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx, SINx		50	-	30	-	ns
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx, SINx		0	-	0	-	ns
SOT→SCK↑遅延時間	t_{SOVHI}	SCKx, SOTx		$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	外部シフト クロック動作	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

(注意事項)

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCLKx_0 と SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30pF*



MS ビット = 0



MS ビット = 1

同期シリアル　チップセレクト使用時(SPI = 1, SCINV = 0, MS=0, CSLVL=1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V_{CC} < 4.5V		V_{CC}≧4.5V		単位
			最小	最大	最小	最大	
SCS↓→SCK↓セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↑→SCS↑ホールド時間	t_{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	ns
SCS↓→SCK↓セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCK↑→SCS↑ホールド時間	t_{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCS↓→SOT 遅延時間	t_{DSE}		-	40	-	40	ns
SCS↑→SOT 遅延時間	t_{DEE}		0	-	0	-	ns

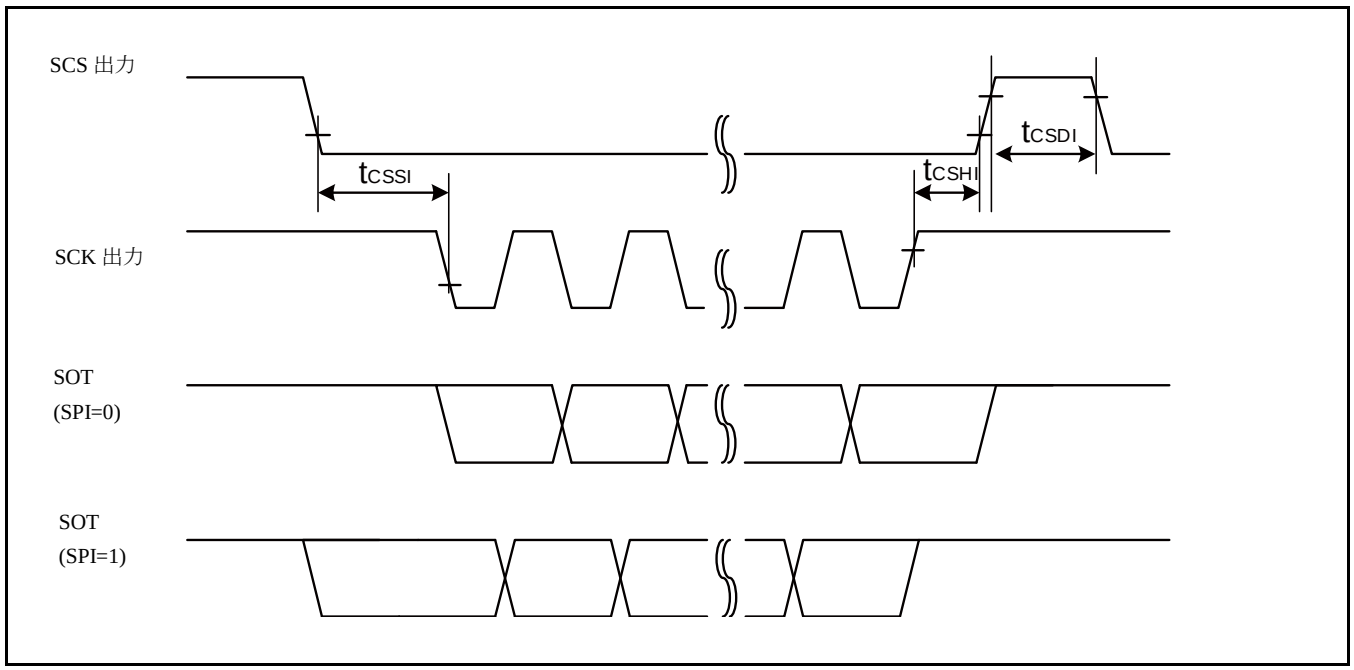
(*1) : CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

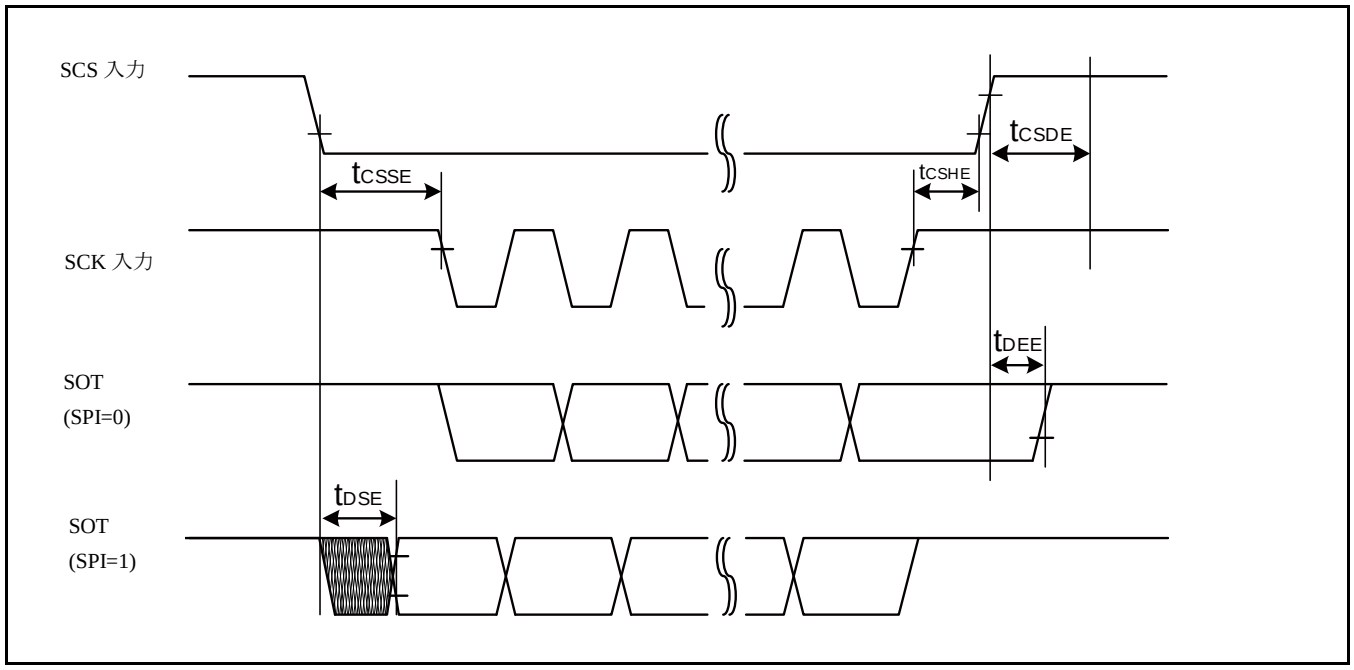
(*2) : CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3) : CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(注意事項)

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM0+ ファミリ ペリフェラルマニュアル』を参照してください。*
- *外部負荷容量 C_L = 30pF*


SCS 出力
tCSSI
tCSDI
tCSHI
SCK 出力
SOT
(SPI=0)
SOT
(SPI=1)


SCS 入力
tCSSE
tCSDE
tCSHE
SCK 入力
tDEE
SOT
(SPI=0)
tDSE
SOT
(SPI=1)

同期シリアル　チップセレクト使用時(SPI = 1, SCINV = 1, MS=0, CSLVL=1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V_{CC} < 4.5V		V_{CC}≧4.5V		単位
			最小	最大	最小	最大	
SCS↓→SCK↑セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↓→SCS↑ホールド時間	t_{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	ns
SCS↓→SCK↑セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCK↓→SCS↑ホールド時間	t_{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCS↓→SOT 遅延時間	t_{DSE}		-	40	-	40	ns
SCS↑→SOT 遅延時間	t_{DEE}		0	-	0	-	ns

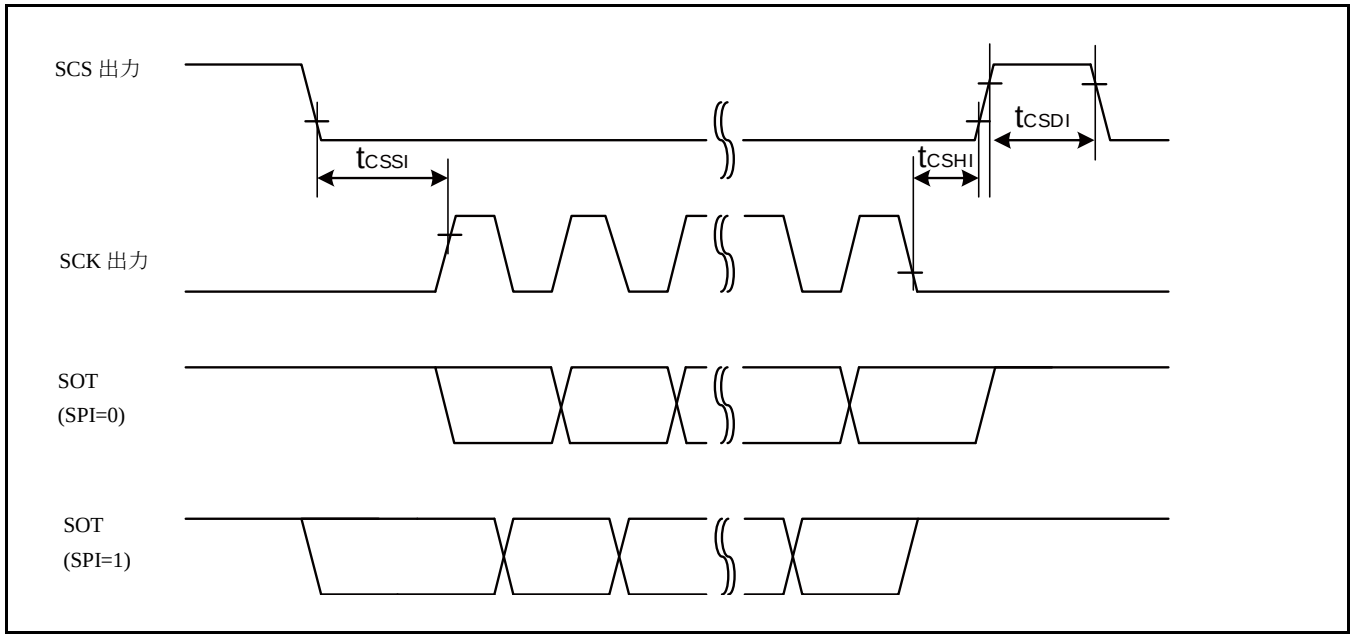
(*1) : CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

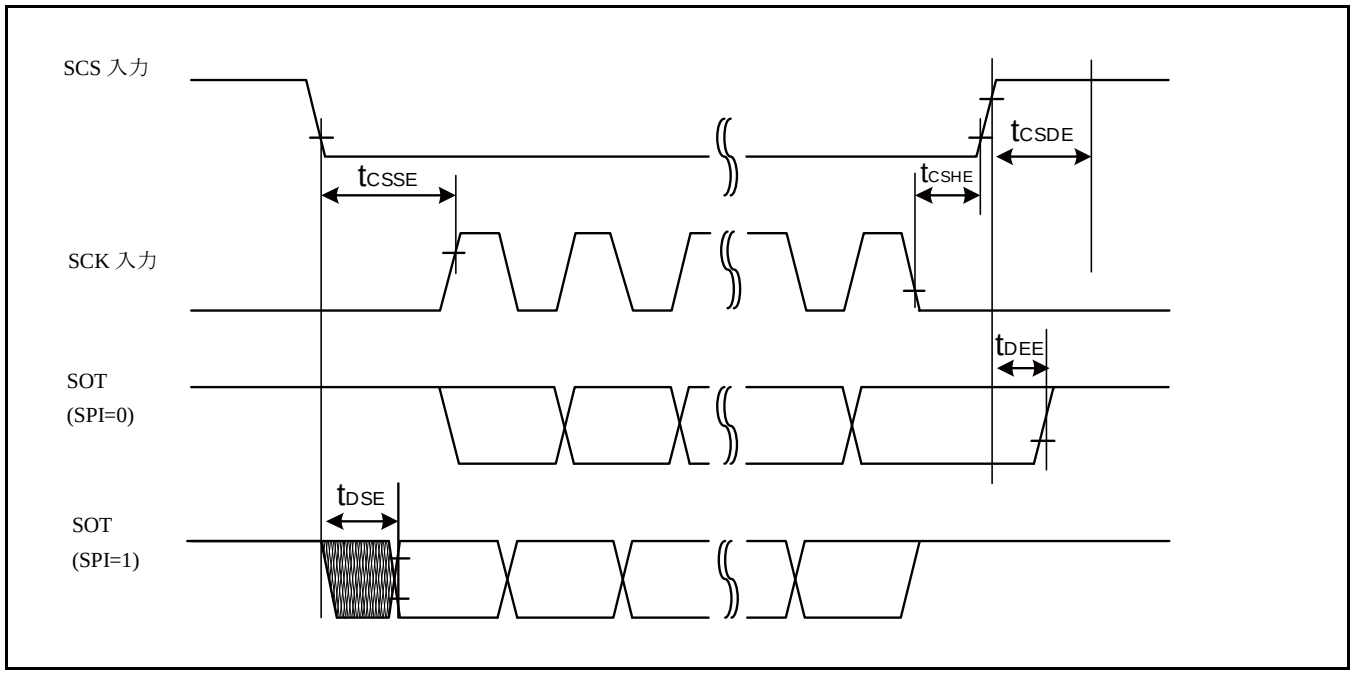
(*2) : CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3) : CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(注意事項)

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM0+ ファミリ ペリフェラルマニュアル』を参照してください。*
- *外部負荷容量 C_L = 30pF*


SCS 出力
tCSSI
tCSDI
tCSHI
SCK 出力
SOT
(SPI=0)
SOT
(SPI=1)


SCS 入力
tCSSE
tCSDE
tCSHE
SCK 入力
tDEE
SOT
(SPI=0)
tDSE
SOT
(SPI=1)

同期シリアル　チップセレクト使用時(SPI = 1, SCINV = 0, MS=0, CSLVL=0)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V_{CC} < 4.5V		V_{CC}≧4.5V		単位
			最小	最大	最小	最大	
SCS↑→SCK↓セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↑→SCS↓ホールド時間	t_{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	ns
SCS↑→SCK↓セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCK↑→SCS↓ホールド時間	t_{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCS↑→SOT 遅延時間	t_{DSE}		-	40	-	40	ns
SCS↓→SOT 遅延時間	t_{DEE}		0	-	0	-	ns

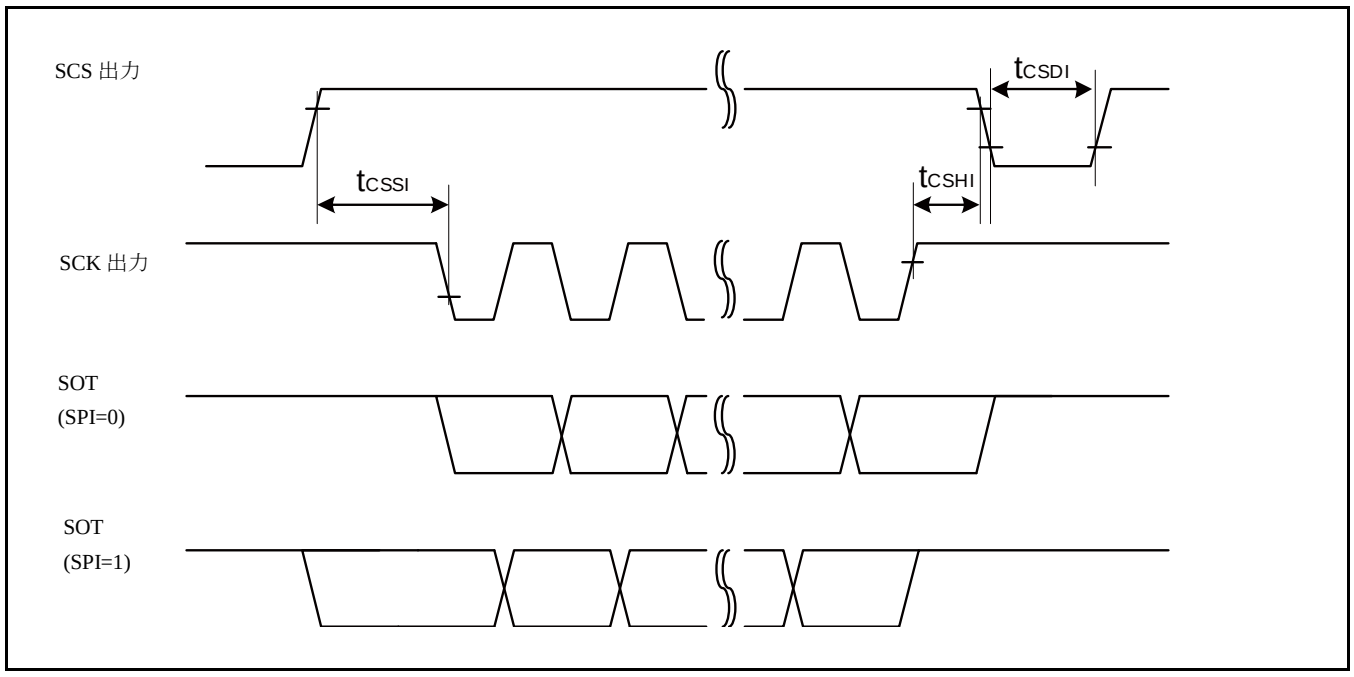
(*1) : CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

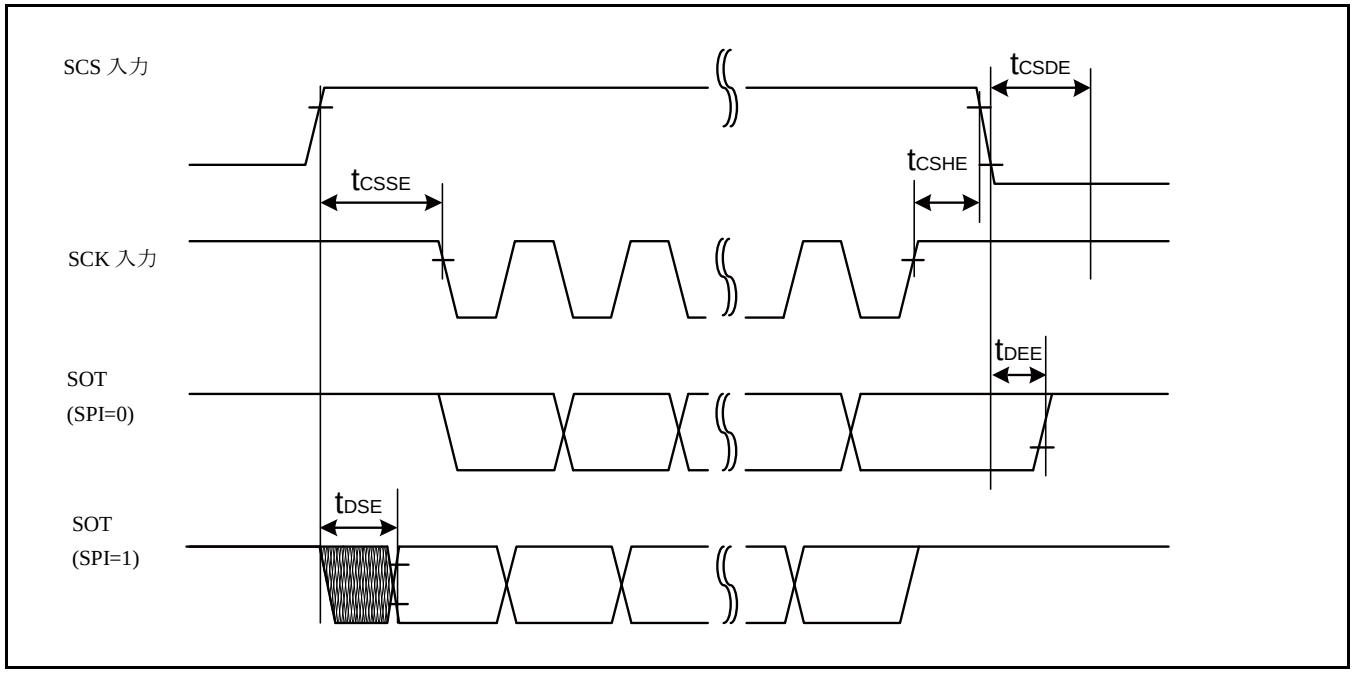
(*2) : CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3) : CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(注意事項)

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM0+ ファミリ ペリフェラルマニュアル』を参照してください。*
- *外部負荷容量 C_L = 30pF*


SCS 出力
tCSDI
tCSSI
tCSHI
SCK 出力
SOT
(SPI=0)
SOT
(SPI=1)


SCS 入力
tCSDE
tCSSE
tCSHE
SCK 入力
tDEE
SOT
(SPI=0)
tDSE
SOT
(SPI=1)

同期シリアル　チップセレクト使用時(SPI = 1, SCINV = 1, MS=0, CSLVL=0)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V_{CC} < 4.5V		V_{CC}≧4.5V		単位
			最小	最大	最小	最大	
SCS↑→SCK↑セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↓→SCS↓ホールド時間	t_{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	ns
SCS↑→SCK↑セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCK↓→SCS↓ホールド時間	t_{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCS↑→SOT 遅延時間	t_{DSE}		-	40	-	40	ns
SCS↓→SOT 遅延時間	t_{DEE}		0	-	0	-	ns

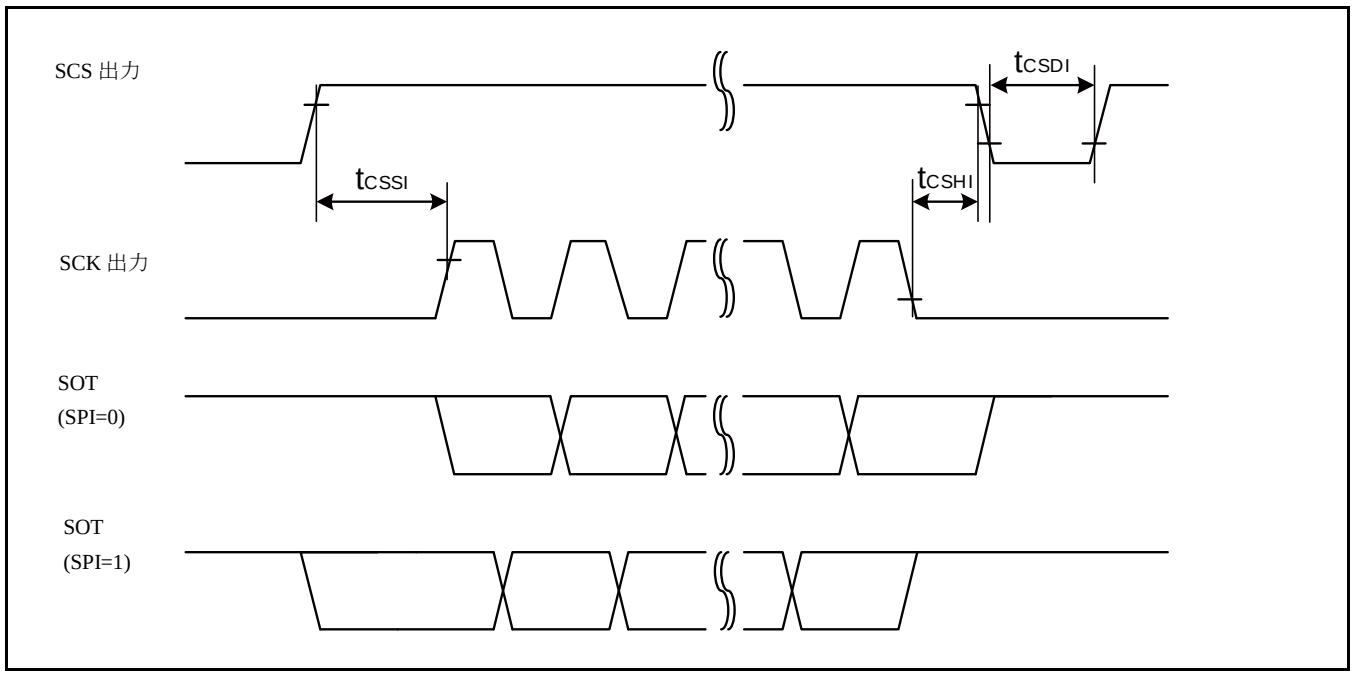
(*1) : CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

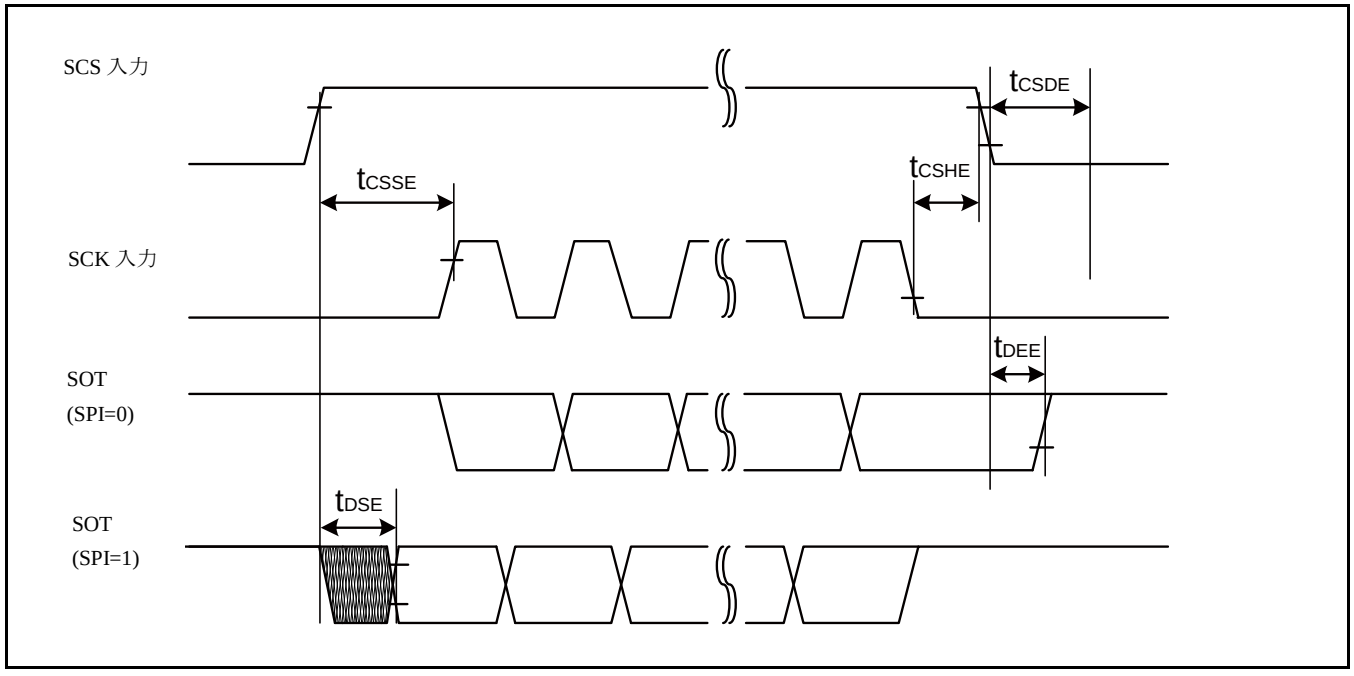
(*2) : CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3) : CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(注意事項)

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM0+ ファミリ ペリフェラルマニュアル』を参照してください。*
- *外部負荷容量 C_L = 30pF*


SCS 出力
tCSDI
tCSSI
tCSHI
SCK 出力
SOT
(SPI=0)
SOT
(SPI=1)

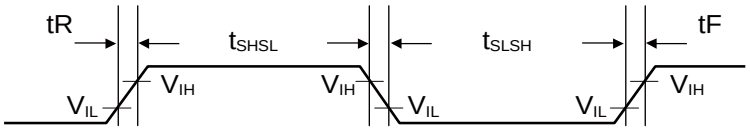

SCS 入力
tCSDE
tCSSE
tCSHE
SCK 入力
tDEE
SOT
(SPI=0)
tDSE
SOT
(SPI=1)

外部クロック(EXT = 1)： 非同期時のみ

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック"L"パルス幅	t_{SLSH}	C_L = 30pF	t_{CYCP} + 10	-	ns	
シリアルクロック"H"パルス幅	t_{SHSL}		t_{CYCP} + 10	-	ns	
SCK 立下り時間	tF		-	5	ns	
SCK 立上り時間	tR		-	5	ns	

SCK



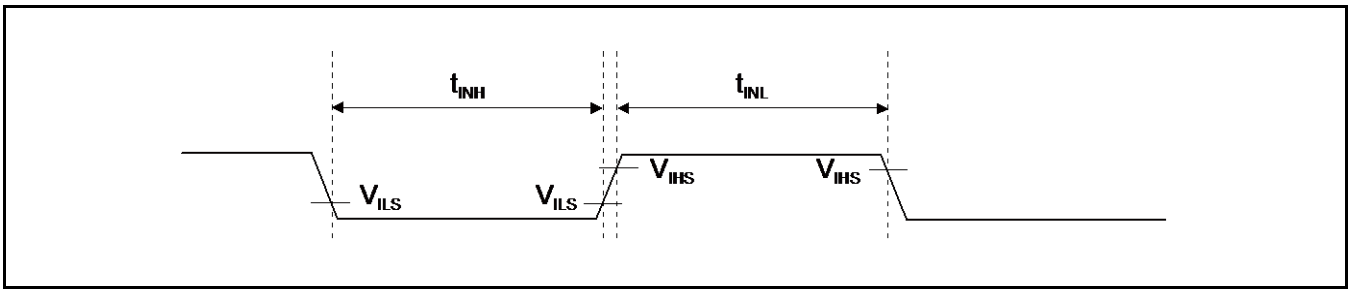
14.4.10 外部入力タイミング

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{INH}, t_{INL}	ADTGx	-	$2t_{CYCP}$ *1	-	ns	A/D コンバータトリガ入力
		FRCKx					フリーランタイマ入力クロック
		ICxx					インプットキャプチャ
		DTTIxX	-	$2t_{CYCP}$ *1	-	ns	波形ジェネレータ
		INTxx, NMIX	-	$2t_{CYCP}$ + 100 *1	-	ns	外部割込み, NMI
				500 *2	-	ns	

*1: t_{CYCP} は APB バスクロックのサイクル時間です(APB バスクロックがタイマモードまたはストップモードで停止する場合を除く)。多機能タイマ、外部割込みが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。

*2: タイマモードとストップモード時

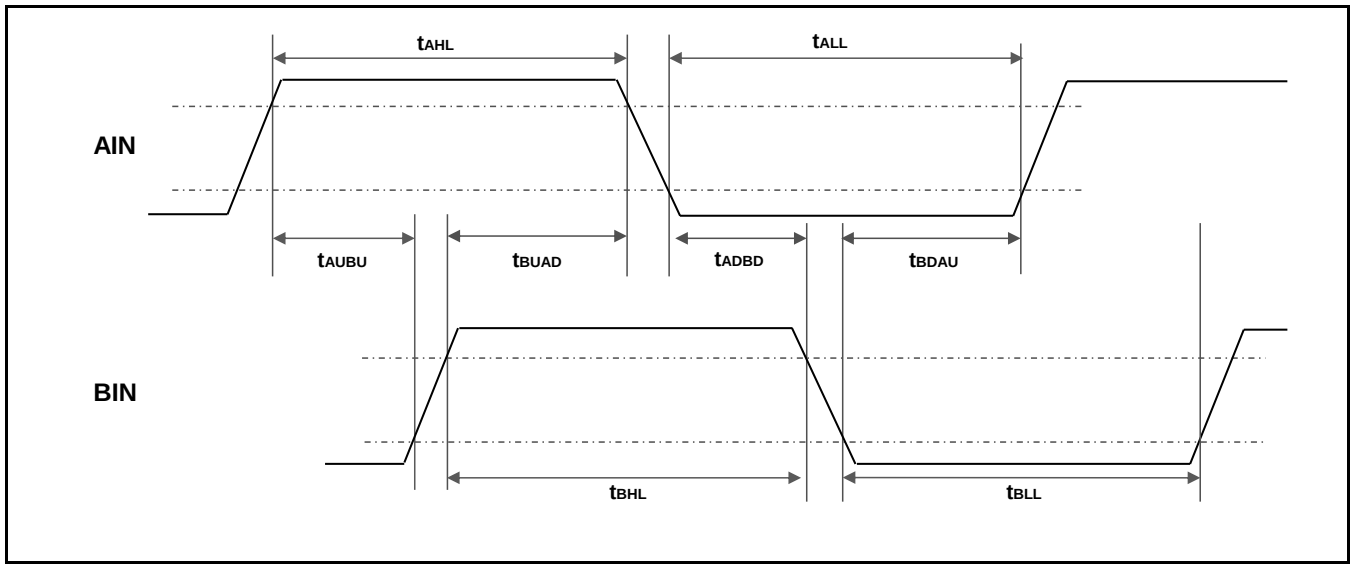


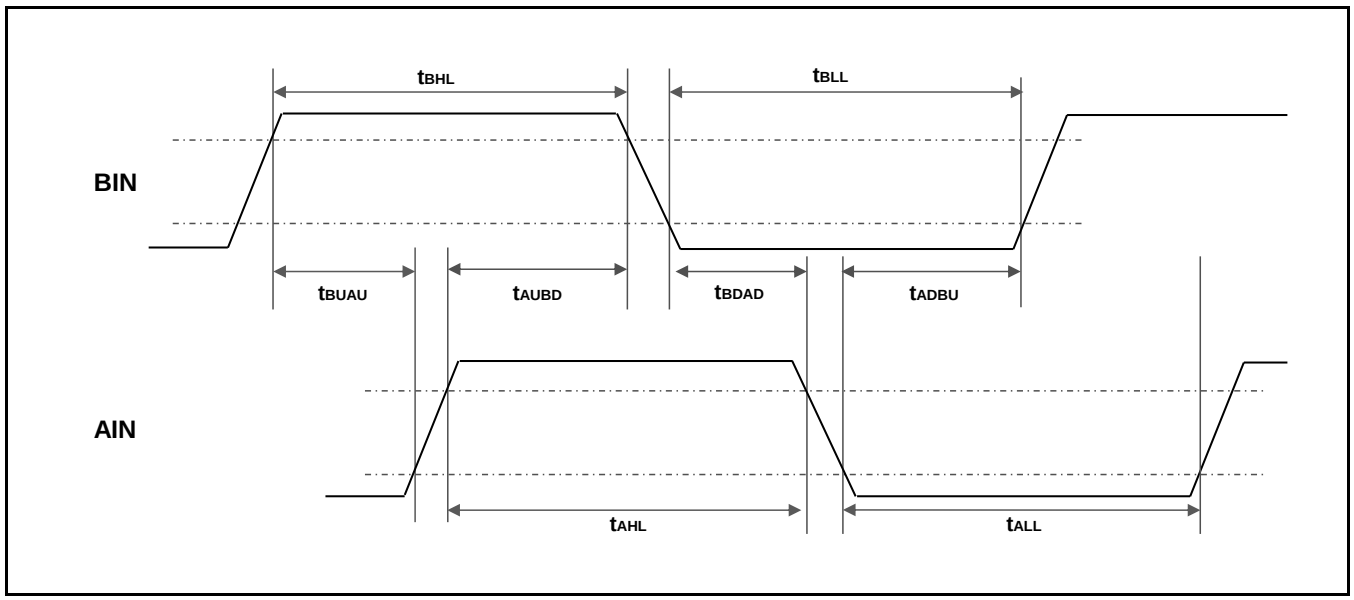
14.4.11 クアッドカウンタ タイミング

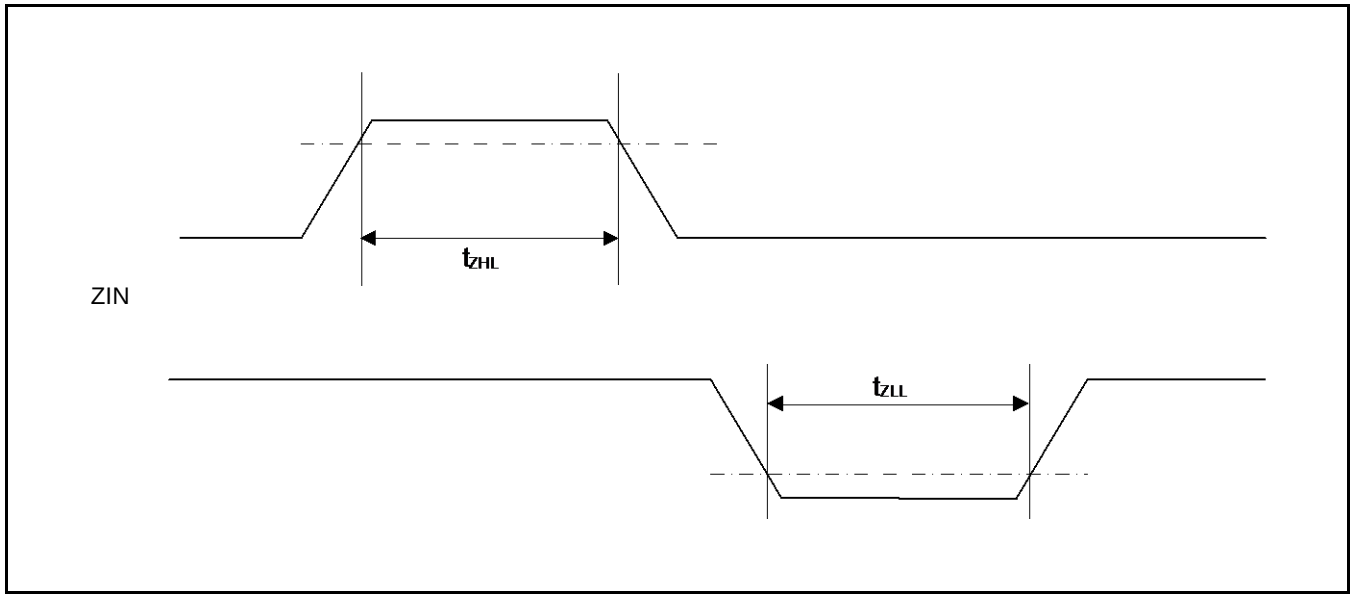
(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

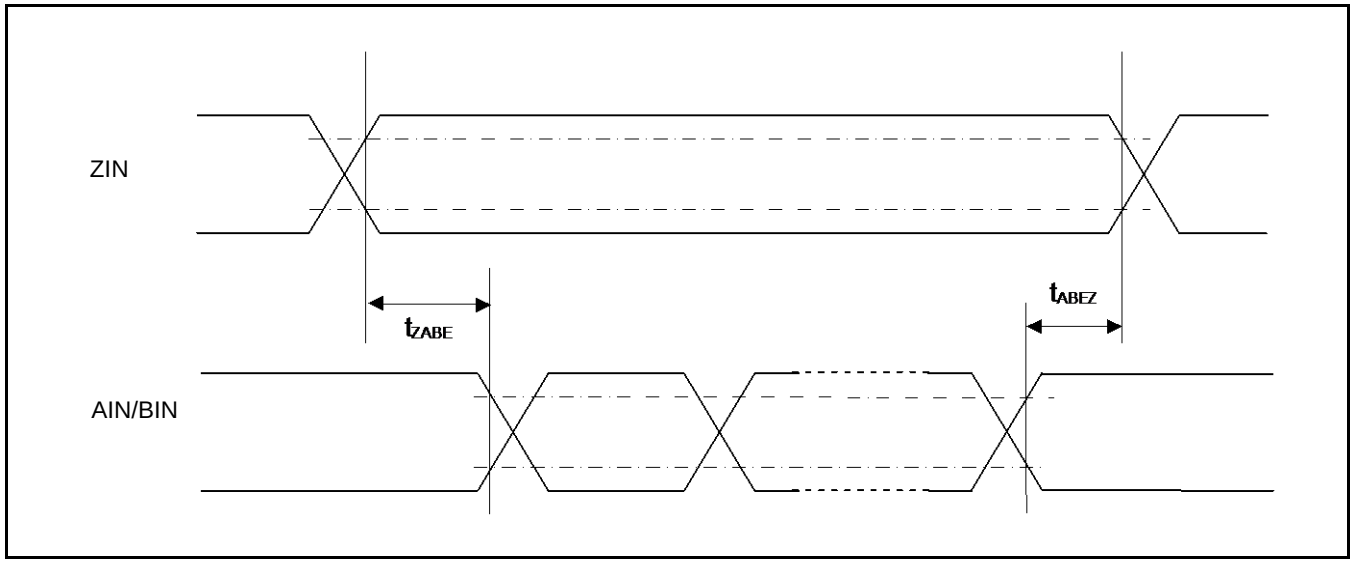
項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子"H"幅	t_{AHL}	-	$2t_{CYCP}$*	-	ns
AIN 端子"L"幅	t_{ALL}	-			
BIN 端子"H"幅	t_{BHL}	-			
BIN 端子"L"幅	t_{BLL}	-			
AIN"H"レベルから BIN 立上りまでの時間	t_{AUBU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立下りまでの時間	t_{BUAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立下りまでの時間	t_{ADBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立上りまでの時間	t_{BDAU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立上りまでの時間	t_{BUAU}	PC_Mode2 または PC_Mode3			
AIN"H"レベルから BIN 立下りまでの時間	t_{AUBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立下りまでの時間	t_{BDAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立上りまでの時間	t_{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子"H"幅	t_{ZHL}	QCR:CGSC="0"			
ZIN 端子"L"幅	t_{ZLL}	QCR:CGSC="0"			
ZIN レベル確定から AIN/BIN 立下り立上りまでの時間	t_{ZABE}	QCR:CGSC="1"			
AIN/BIN 立下り立上りから ZIN レベル確定までの時間	t_{ABEZ}	QCR:CGSC="1"			

*: t_{CYCP} は APB バスクロックのサイクル時間です (タイマモード, ストップモード時を除く)。クアッドカウンタが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。




BIN
AIN
tBHL
tBLL
tBUAU
tAUBD
tBDAD
tADBU
tAHL
tALL


ZIN
tZHL
tZLL


ZIN
AIN/BIN
tZABE
tABEZ

14.4.12 I²C タイミング

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	F_{SCL}	CL = 30pF, R = (Vp/I_{OL})*1	0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA↓→SCL↓	t_{HDSTA}		4.0	-	0.6	-	µs	
SCL クロック"L"幅	t_{LOW}		4.7	-	1.3	-	µs	
SCL クロック"H"幅	t_{HIGH}		4.0	-	0.6	-	µs	
反復「スタート」条件 セットアップ時間 SCL↑→SDA↓	t_{SUSTA}		4.7	-	0.6	-	µs	
データホールド時間 SCL↓→SDA↓↑	t_{HDDAT}		0	3.45*2	0	0.9*3	µs	
データセットアップ時間 SDA↓↑→SCL↑	t_{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL↑→SDA↑	t_{SUSTO}		4.0	-	0.6	-	µs	
「ストップ」条件と 「スタート」条件との間のバスフリー時間	t_{BUF}		4.7	-	1.3	-	µs	
ノイズフィルタ	t_{SP}	-	2 t_{CYCP}*4	-	2 t_{CYCP}*4	-	ns	

*1: R、C_L は SCL、SDA ラインのプルアップ抵抗、負荷容量です。Vp はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の"L"区間(t_{LOW})を延長していないということを満たしていなければなりません。

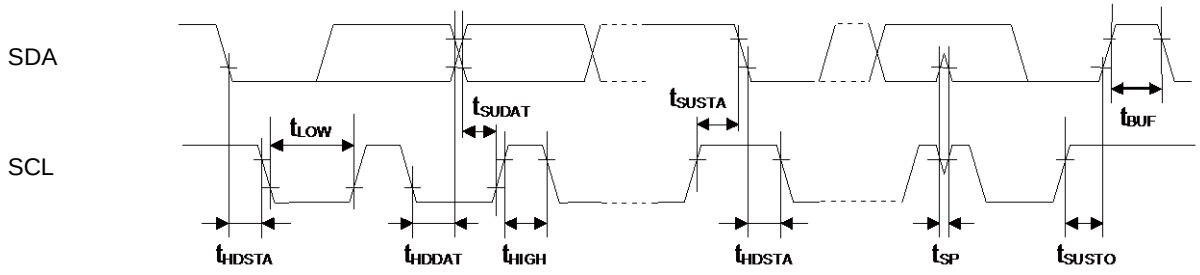
*3: Fast-mode I²C バスデバイスは Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≧250ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。

Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、APB バスクロックを 8MHz 以上に設定してください。



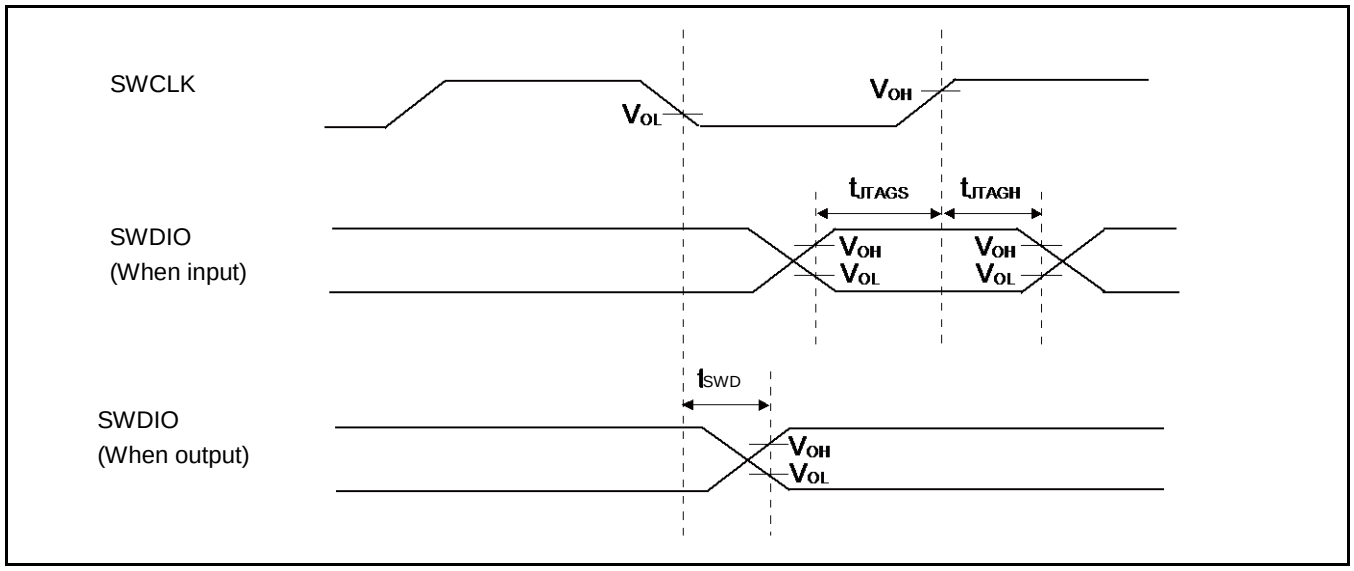
14.4.13 SW-DP タイミング

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
SWDIO セットアップ時間	t_{SWS}	SWCLK, SWDIO	-	15	-	ns	
SWDIO ホールド時間	t_{SWH}	SWCLK, SWDIO	-	15	-	ns	
SWDIO 遅延時間	t_{SWD}	SWCLK, SWDIO	-	-	45	ns	

(注意事項)

- *外部負荷容量 C_L = 30pF*



14.5 12 ビット A/D コンバータ

A/D コンバータ電気的特性

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C～+ 105°C)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	- 4.5	-	+ 4.5	LSB	
微分直線性誤差	-	-	- 2.5	-	+ 2.5	LSB	
ゼロトランジション電圧	V_{ZT}	ANxx	- 20	-	+ 20	mV	
フルスケールトランジション電圧	V_{FST}	ANxx	AVRH – 20	-	AVRH + 20	mV	S6E1A1xC0A
			AV_{CC} - 20	-	AV_{CC} + 20	mV	S6E1A1xB0A
変換時間	-	-	0.8*1	-	-	µs	S6E1A1xC0A AV_{CC}≧4.5V
			2.0				S6E1A1xB0A
サンプリング時間*2	Ts	-	0.24	-	10	µs	S6E1A1xC0A AV_{CC}≧4.5V
			0.3				S6E1A1xC0A AV_{CC} < 4.5V
			0.6				S6E1A1xB0A
コンペアクロック周期*3	Tcck	-	40	-	1000	ns	S6E1A1xC0A AV_{CC}≧4.5V
			50				S6E1A1xC0A AV_{CC} < 4.5V
			100				S6E1A1xB0A
動作許可状態遷移時間	Tstt	-	-	-	1.0	µs	
アナログ入力容量	C_{AIN}	-	-	-	9.7	pF	
アナログ入力抵抗	R_{AIN}	-	-	-	1.6	kΩ	AV_{CC}≧4.5V
					2.3		AV_{CC} < 4.5V
チャネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力電流	-	ANxx	-	-	5	µA	
アナログ入力電圧	-	ANxx	AV_{SS}	-	AVRH	V	S6E1A1xC0A
			AV_{SS}	-	AV_{CC}	V	S6E1A1xB0A
基準電圧	-	AVRH	2.7	-	AV_{CC}	V	S6E1A1xC0A のみ

*1: 変換時間は「サンプリング時間(Ts) ＋ コンペア時間(Tc)」の値です。

最小変換時間の条件は、サンプリング時間: 240ns、コンペア時間: 560ns (AV_{CC}≧4.5V)の値です。ベースクロック(HCLK)を 25MHz に設定する必要があります。

必ずサンプリング時間(Ts)、コンペアクロック周期(Tcck)の規格を満足するようにしてください。

サンプリング時間、コンペアクロック周期の設定については、『FM0+ファミリ ペリフェラルマニュアル アナログマクロ編』の『CHAPTER: A/D コンバータ』の章を参照してください。

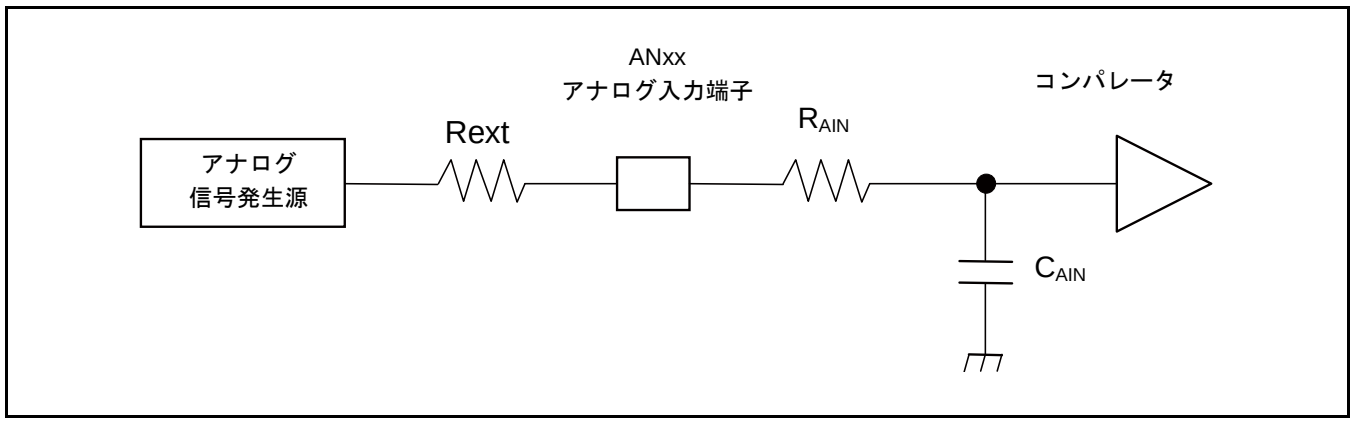
A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。
A/D コンバータが接続されている APB バス番号については「10. ブロックダイヤグラム」を参照してください。

サンプリングクロックおよびコンペアクロックはベースクロック(HCLK)を元に生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(Tc)は(式 2)の値です。



(式 1) Ts ≧ (R_{AIN} + Rext) × C_{AIN} × 9

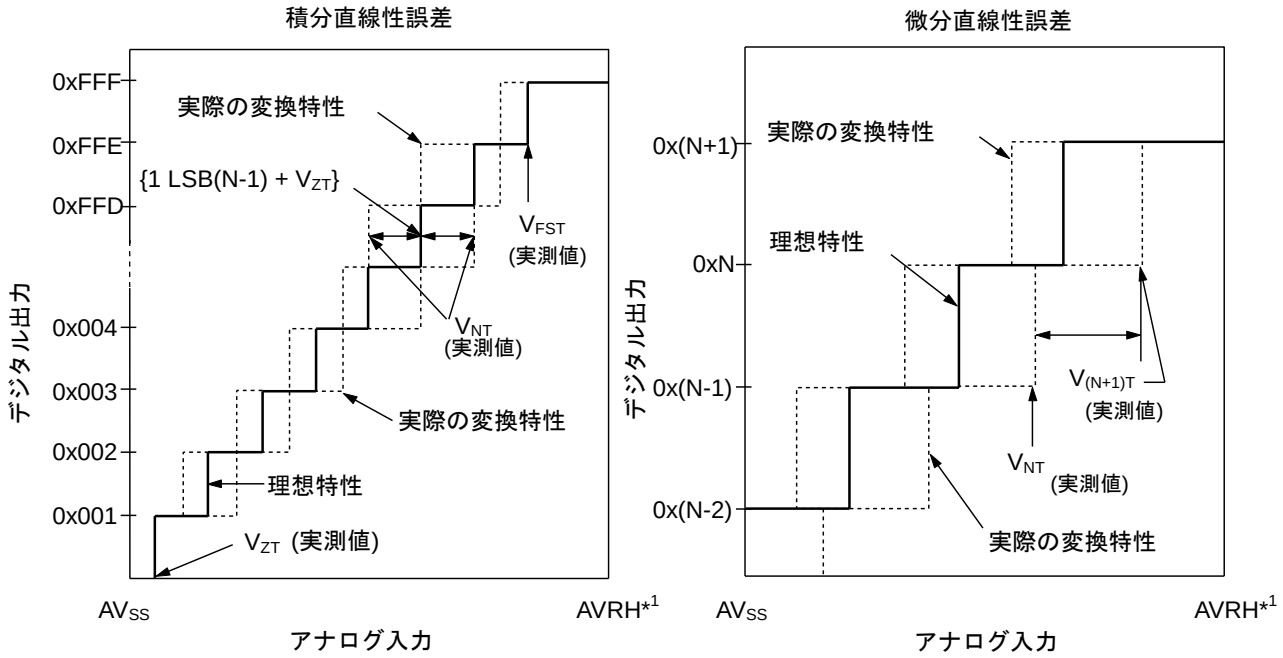
Ts	：	サンプリング時間	
R_{AIN}	：	A/D コンバータの入力抵抗 = 1.6 kΩ	4.5 ≦ AVCC ≦ 5.5 の場合(ch.1～ch.5)
		A/D コンバータの入力抵抗 = 1.4 kΩ	4.5 ≦ AVCC < 5.5 の場合(ch.0, ch.6, ch.7)
		A/D コンバータの入力抵抗 = 2.3 kΩ	2.7 ≦ AVCC < 4.5 の場合(ch.1～ch.5)
		A/D コンバータの入力抵抗 = 2.0 kΩ	2.7 ≦ AVCC < 4 .5 の場合(ch.0, ch.6, ch.7)
C_{AIN}	：	A/D コンバータの入力容量 = 9.7pF	2.7 ≦ AVCC ≦ 5.5 の場合
Rext	：	外部回路の出力インピーダンス	

(式 2) Tc＝Tcck × 14

Tc	：	コンペア時間
Tcck	：	コンペアクロック周期

12 ビット A/D コンバータの用語の定義

- 分解能 : A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差 : ゼロトランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールトランジション点(0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差 : 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



*1: 32pin 製品では AV_{CC} となります。

デジタル出力 N の積分直線性誤差 = $\dfrac{V_{NT} - \{1LSB \times (N - 1) + V_{ZT}\}}{1LSB}$ [LSB]

デジタル出力 N の微分直線性誤差 = $\dfrac{V_{(N+1)T} - V_{NT}}{1LSB} - 1$ [LSB]

$1LSB = \dfrac{V_{FST} - V_{ZT}}{4094}$

N : A/D コンバータデジタル出力値
V_{ZT} : デジタル出力が 0x000 から 0x001 に遷移する電圧
V_{FST} : デジタル出力が 0xFFE から 0xFFF に遷移する電圧
V_{NT} : デジタル出力が 0x (N - 1)から 0xN に遷移する電圧

14.6 低電圧検出特性

14.6.1 低電圧検出リセット

(Ta = - 40°C～+ 105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHR[*1] = 00000	2.25	2.45	2.65	V	電圧降下時
解除電圧	VDH		2.30	2.50	2.70	V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 00001	2.39	2.60	2.81	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 00010	2.48	2.70	2.92	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 00011	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 00100	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 00101	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 00110	3.31	3.60	3.89	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 00111	3.40	3.70	4.00	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 01000	3.68	4.00	4.32	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 01001	3.77	4.10	4.43	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR[*1] = 01010	3.86	4.20	4.54	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
LVD 安定待ち時間	T_{LVDW}	-	-	-	8160× t_{CYCP}[*2]	µs	
LVD 検出遅延時間	T_{LVDDL}	-	-	-	200	µs	

*1: 低電圧検出電圧設定レジスタ(LVD_CTL)の SVHR ビットは、低電圧検出リセットで SVHR = 00000 に初期化されます。

*2: t_{CYCP} は APB1 バスクロックのサイクル時間です。

14.6.2 低電圧検出割込み

(Ta = - 40°C～+ 105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 00011	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.90	3.13	V	電圧上昇時
検出電圧	VDL	SVHI = 00100	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.10	3.35	V	電圧上昇時
検出電圧	VDL	SVHI = 00101	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		3.04	3.30	3.56	V	電圧上昇時
検出電圧	VDL	SVHI = 00110	3.31	3.60	3.89	V	電圧降下時
解除電圧	VDH		3.40	3.70	4.00	V	電圧上昇時
検出電圧	VDL	SVHI = 00111	3.40	3.70	4.00	V	電圧降下時
解除電圧	VDH		3.50	3.80	4.10	V	電圧上昇時
検出電圧	VDL	SVHI = 01000	3.68	4.00	4.32	V	電圧降下時
解除電圧	VDH		3.77	4.10	4.43	V	電圧上昇時
検出電圧	VDL	SVHI = 01001	3.77	4.10	4.43	V	電圧降下時
解除電圧	VDH		3.86	4.20	4.54	V	電圧上昇時
検出電圧	VDL	SVHI = 01010	3.86	4.20	4.54	V	電圧降下時
解除電圧	VDH		3.96	4.30	4.64	V	電圧上昇時
LVD 安定待ち時間	T_{LVDW}	-	-	-	$8160 \times t_{CYCP}$*	µs	
LVD 検出遅延時間	T_{LVDDL}	-	-	-	200	µs	

*: t_{CYCP} は APB1 バスクロックのサイクル時間です。

14.7 フラッシュメモリ書込み/消去特性

(V_{CC} = 2.7V～5.5V, Ta = - 40°C～+ 105°C)

項目		規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	Large sector	-	0.7	2.2	s	内部での消去前書込み時間を含む
	Small sector	-	0.3	0.9	s	
ハーフワード(16 ビット)書込み時間		-	30	528	µs	システムレベルのオーバヘッド時間は除く
チップ消去時間		-	2.6	8	s	内部での消去前書込み時間を含む

書込みサイクルとデータ保持時間

書込み/消去サイクル	保持時間(年)	備考
1,000	20*	
10,000	10*	

*： 信頼性評価結果からの換算値です(アレニウスの式を使用し、高温加速試験結果を平均温度+85°Cへ換算しています)。

14.8 スタンバイ復帰時間

14.8.1 復帰要因：割込み

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

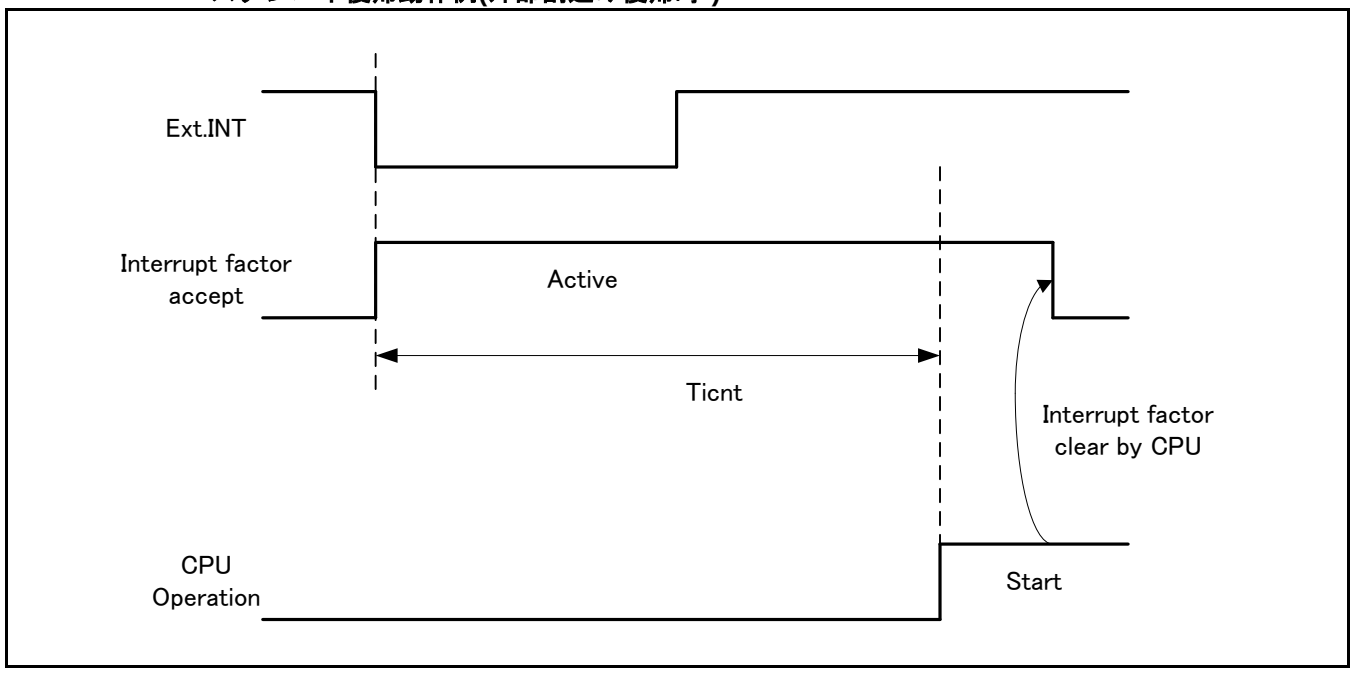
復帰カウント時間

(V_{CC} = 2.7V～5.5V, Ta = - 40°C～+ 105°C)

項目	記号	規格値*		単位	備考
		標準	最大		
スリープモード	Ticnt	t_{CYCC}		µs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		40 + 17×t_{CYCC}	80 + 17×t_{CYCC}	µs	
低速 CR タイマモード		360	720	µs	
サブタイマモード		191	381	µs	
RTC モード, ストップモード		819	1090	µs	

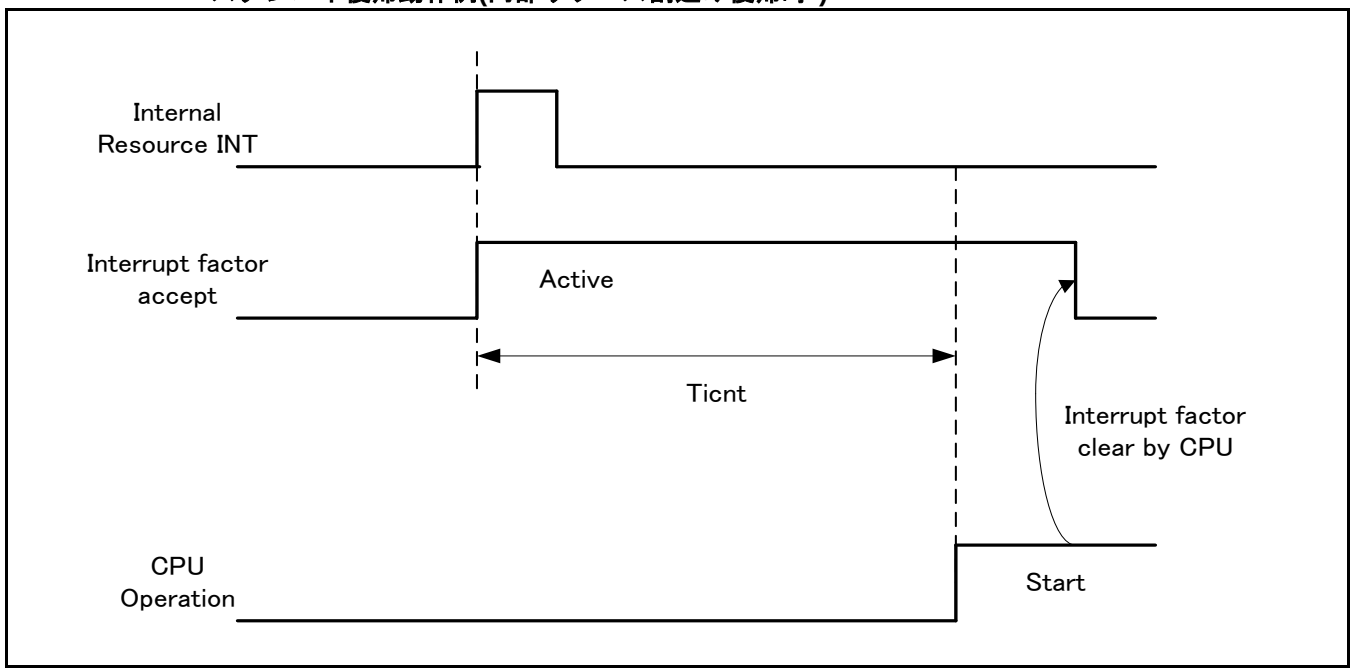
*：規格値は内蔵 CR の精度に依存します。
メインクロック/サブクロック/メイン PLL クロックの安定待ち時間は含みません。

スタンバイ復帰動作例(外部割込み復帰時*)



*：外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)



*：低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

(注意事項)

- *復帰要因は低消費電力モードごとに異なります。*
  各低消費電力モードからの復帰要因は、『FM0+ ファミリ ペリフェラルマニュアル』の『CHAPTER: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- *割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM0+ ファミリ ペリフェラルマニュアル』の『CHAPTER: 低消費電力モード』を参照してください。*

14.8.2 復帰要因：リセット

リセット解除からプログラム動作開始までの時間を示します。

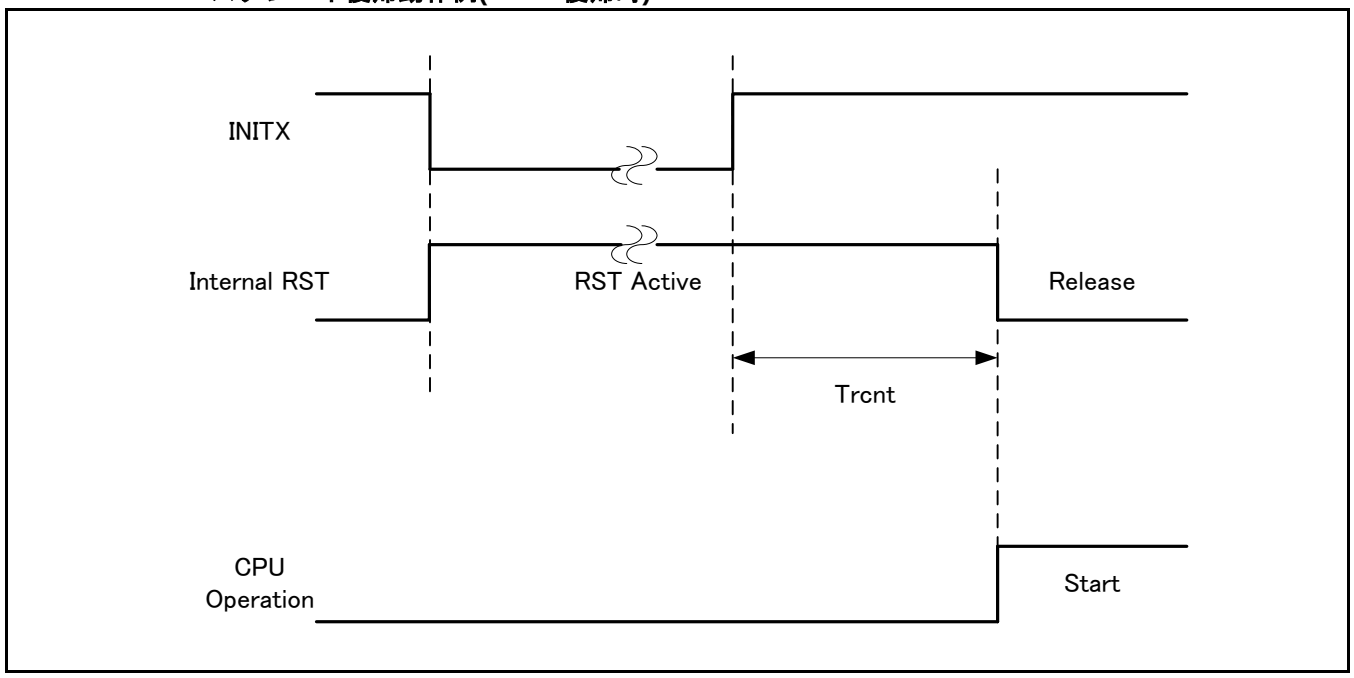
復帰カウント時間

(VCC = 2.7V～5.5V, Ta = - 40°C～+ 105°C)

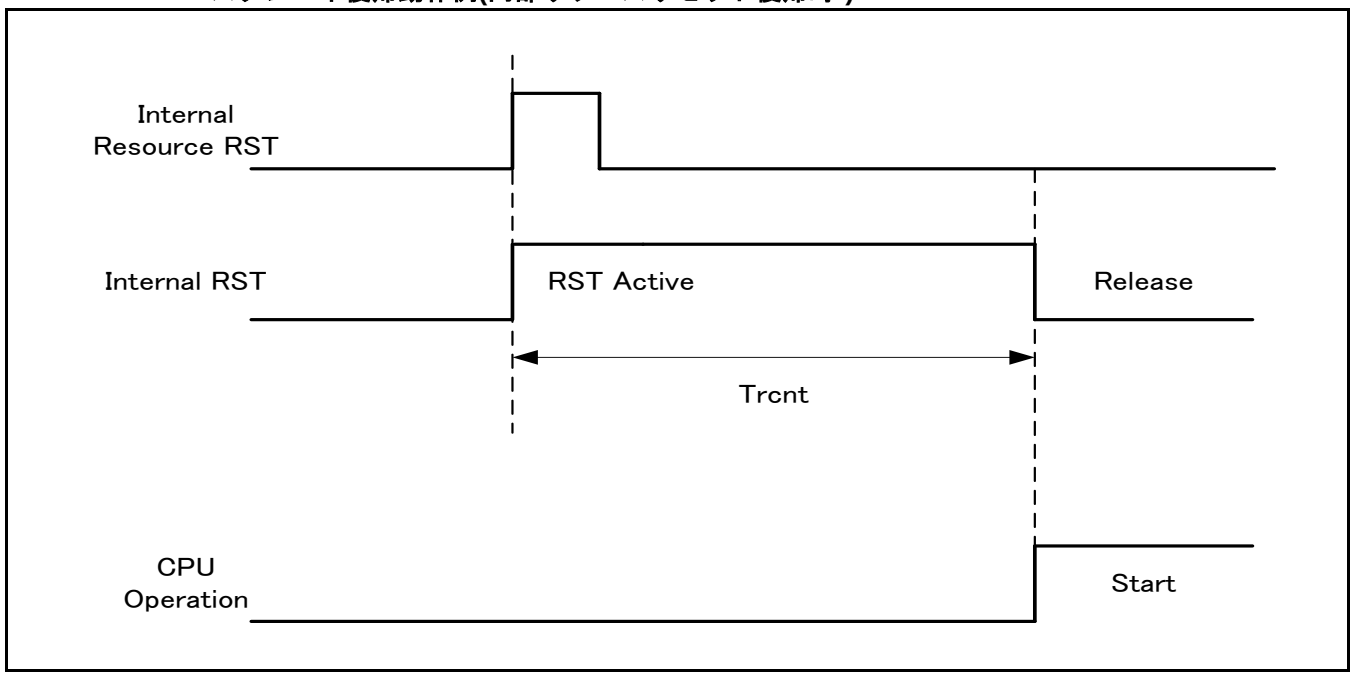
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	Trcnt	208	378	µs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		208	378	µs	
低速 CR タイマモード		398	758	µs	
サブタイマモード		490	849	µs	
RTC モード, ストップモード		288	538	µs	

*：規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)



スタンバイ復帰動作例(内部リソースリセット復帰時*)



*：低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

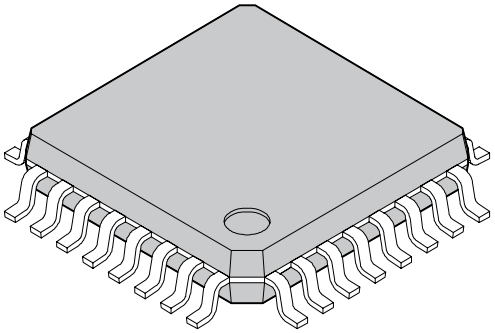
(注意事項)

- *復帰要因は低消費電力モードごとに異なります。*
  各低消費電力モードからの復帰要因は、『FM0+ ファミリ ペリフェラルマニュアル』の『CHAPTER: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- *割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM0+ ファミリ ペリフェラルマニュアル』の『CHAPTER: 低消費電力モード』を参照してください。*
- *パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「14.4.7 パワーオンリセットタイミング」を参照してください。*
- *リセットからの復帰時、CPU は高速 CR ランモードに遷移します。*
  メインクロックやPLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メインPLL クロックの安定待ち時間が必要になります。
- *内部リソースリセットとは、ウォッチドッグリセット, CSV リセットを指します。*

15. オーダ型格

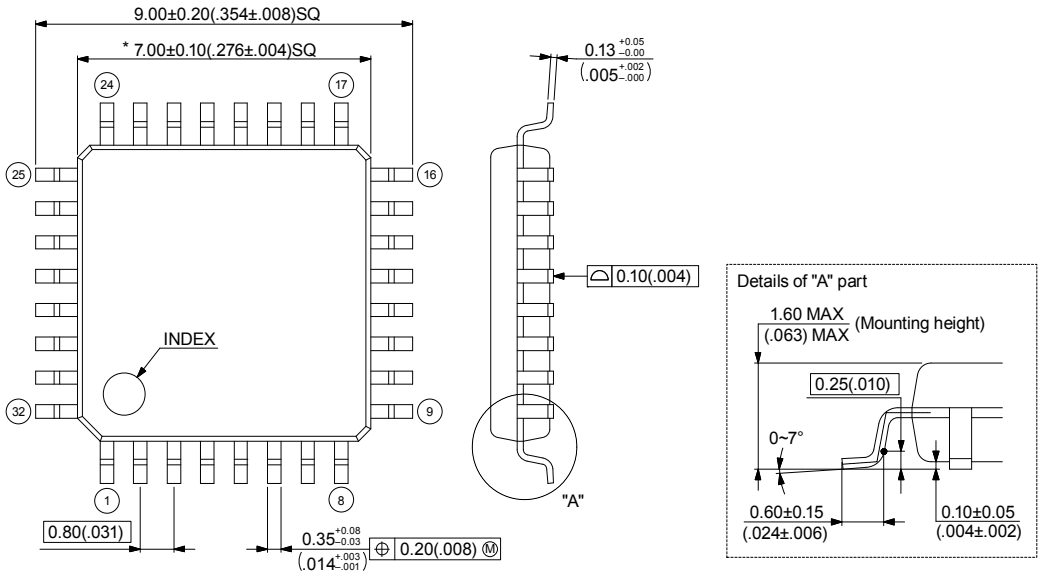
型格	パッケージ
S6E1A11B0AGP2	プラスチック・LQFP (0.80mm ピッチ), 32 ピン (FPT-32P-M30)
S6E1A12B0AGP2	
S6E1A11B0AGN2	プラスチック・QFN (0.50mm ピッチ), 32 ピン (LCC-32P-M73)
S6E1A12B0AGN2	
S6E1A11C0AGV2	プラスチック・LQFP (0.50mm ピッチ), 48 ピン (FPT-48P-M49)
S6E1A12C0AGV2	
S6E1A11C0AGN2	プラスチック・QFN (0.50mm ピッチ), 48 ピン (LCC-48P-M74)
S6E1A12C0AGN2	
S6E1A11C0AGF2	プラスチック・LQFP (0.65mm ピッチ), 52 ピン (FPT-52P-M02)
S6E1A12C0AGF2	

16. パッケージ・外形寸法図

プラスチック・LQFP, 32ピン		
	リードピッチ	0.80 mm
	パッケージ幅× パッケージ長さ	7.00 mm × 7.00 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.60 mm MAX
(FPT-32P-M30)		

プラスチック・LQFP, 32ピン
（FPT-32P-M30）

注1）*印寸法はレジン残りを含まず。
注2）端子幅および端子厚さはメッキ厚を含む。
注3）端子幅はタイバ切断残りを含まず。

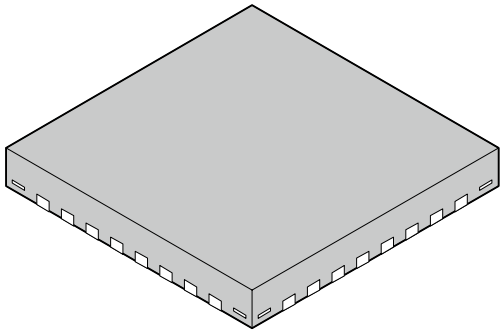


© 2009-2010 FUJITSU SEMICONDUCTOR LIMITED F32051S-c-1-2

単位：mm（inches）
注意：括弧内の値は参考値です。

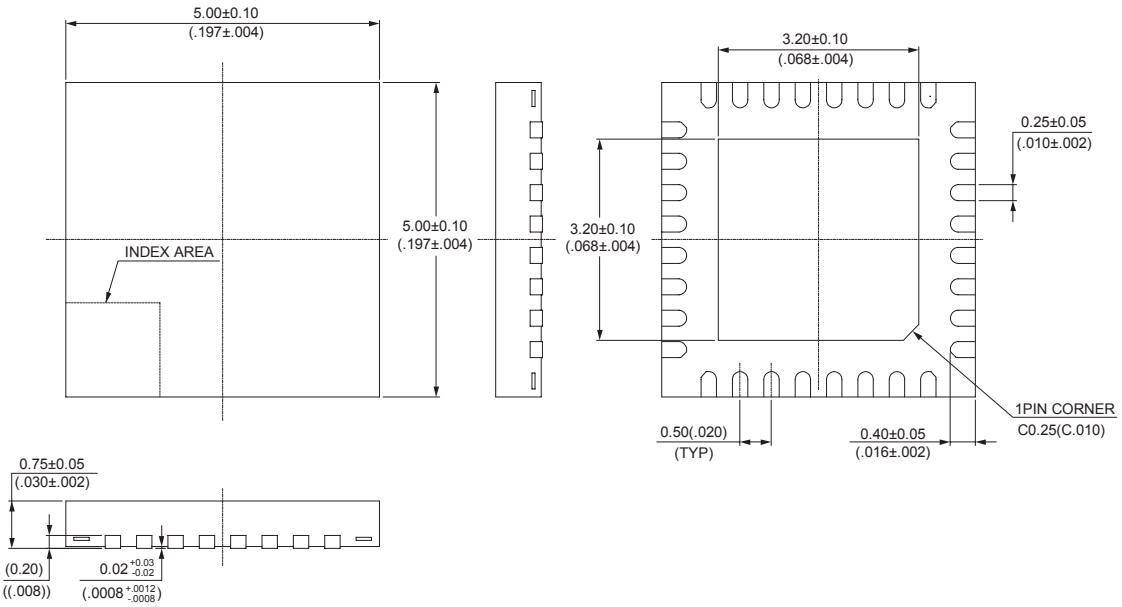
最新の外形寸法図については、下記の URL にてご確認ください。

http://edevice.fujitsu.com/package/jp-search/

プラスチック・QFN, 32ピン		
	リードピッチ	0.50 mm
	パッケージ幅× パッケージ長さ	5.00 mm × 5.00 mm
	封止方法	プラスチックモールド
	取付け高さ	0.80 mm Max.
	質量	0.06 g

(LCC-32P-M73)

プラスチック・QFN, 32ピン
（LCC-32P-M73）

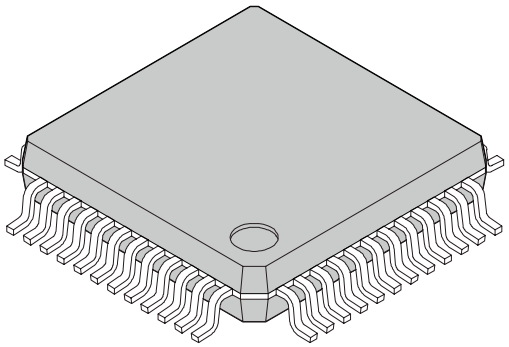


© 2013 FUJITSU SEMICONDUCTOR LIMITED HMbC32-73Sc-1-1

単位：mm（inches）
注意：括弧内の値は参考値です。

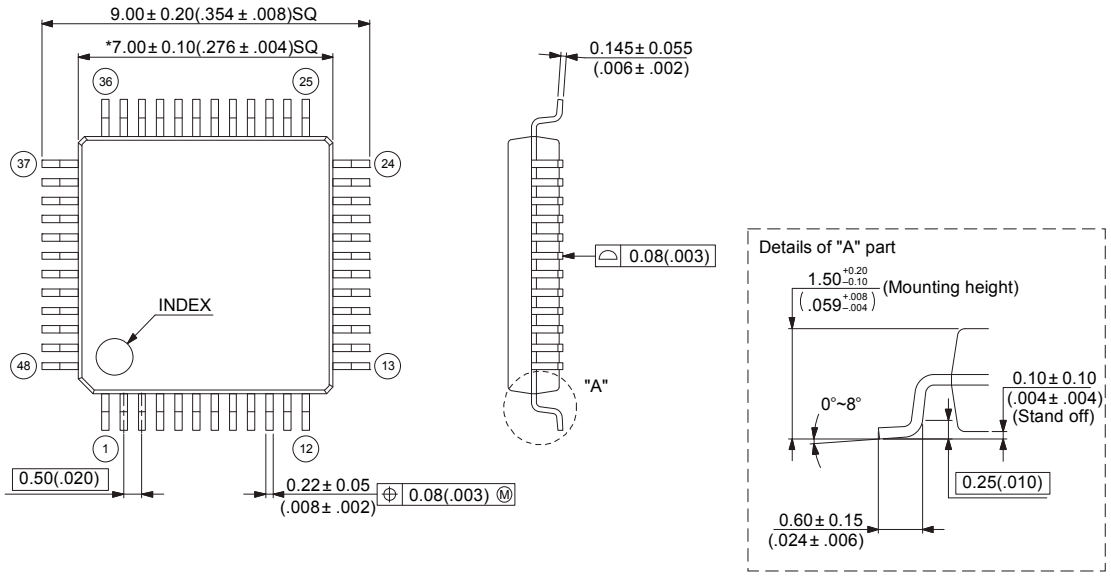
最新の外形寸法図については、下記の URL にてご確認ください。

http://edevice.fujitsu.com/package/jp-search/

プラスチック・LQFP, 48ピン		
 (FPT-48P-M49)	リードピッチ	0.50 mm
	パッケージ幅× パッケージ長さ	7.00 mm × 7.00 mm
	リード形状	ガルウィング
	リード曲げ方向	正曲げ
	封止方法	プラスチックモールド
	取付け高さ	1.70 mm Max.
	質量	0.17 g

プラスチック・LQFP, 48ピン
（FPT-48P-M49）

注 1）* 印寸法はレジン残りを含まず。
注 2）端子幅および端子厚さはメッキ厚を含む。
注 3）端子幅はタイバ切断残りを含まず。

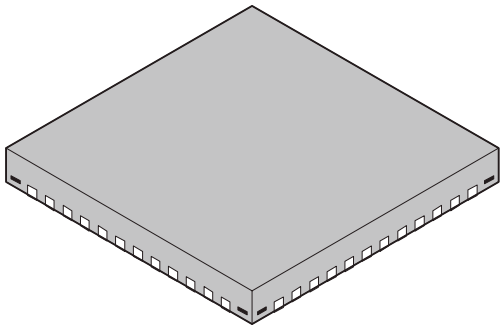


単位：mm （inches）
注意：括弧内の値は参考値です。

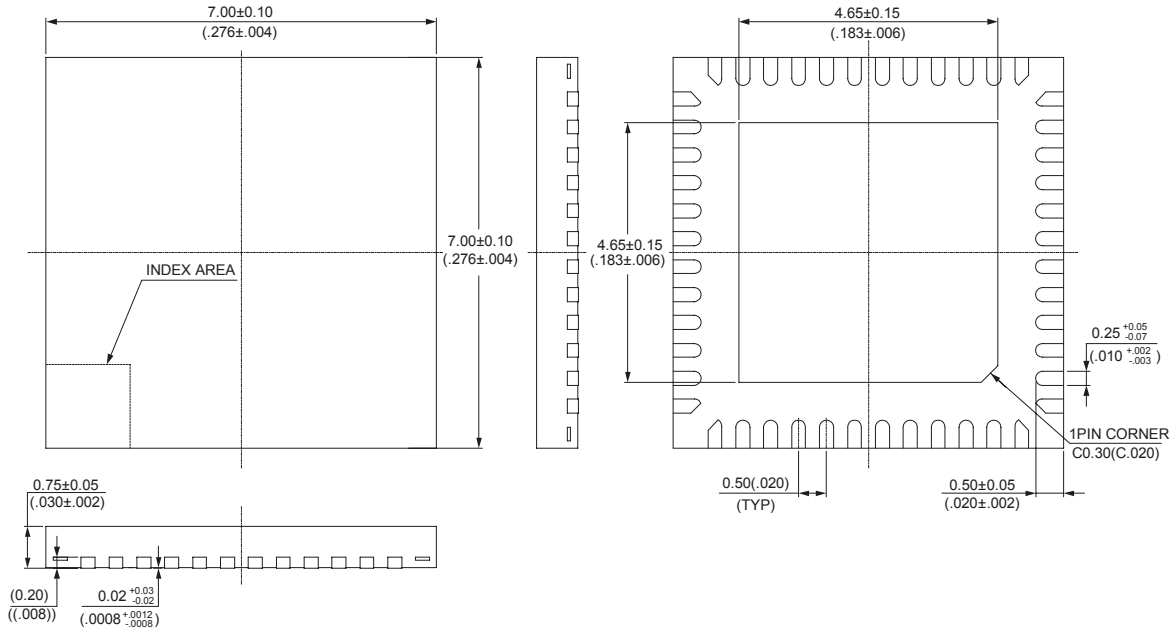
ⓒ 2010 FUJITSU SEMICONDUCTOR LIMITED HMbF48-49Sc-1-2

最新の外形寸法図については、下記の URL にてご確認ください。

http://edevice.fujitsu.com/package/jp-search/

プラスチック・QFN, 48ピン		
	リードピッチ	0.50 mm
	パッケージ幅× パッケージ長さ	7.00 mm × 7.00 mm
	封止方法	プラスチックモールド
	取付け高さ	0.80 mm Max.
	質量	0.12 g
(LCC-48P-M74)		

プラスチック・QFN, 48ピン
（LCC-48P-M74）

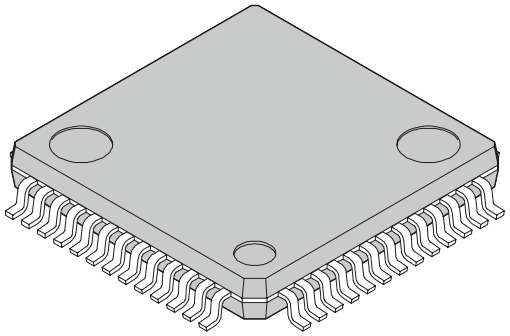


© 2013 FUJITSU SEMICONDUCTOR LIMITED HMbC48-74Sc-1-1

単位：mm（inches）
注意：括弧内の値は参考値です。

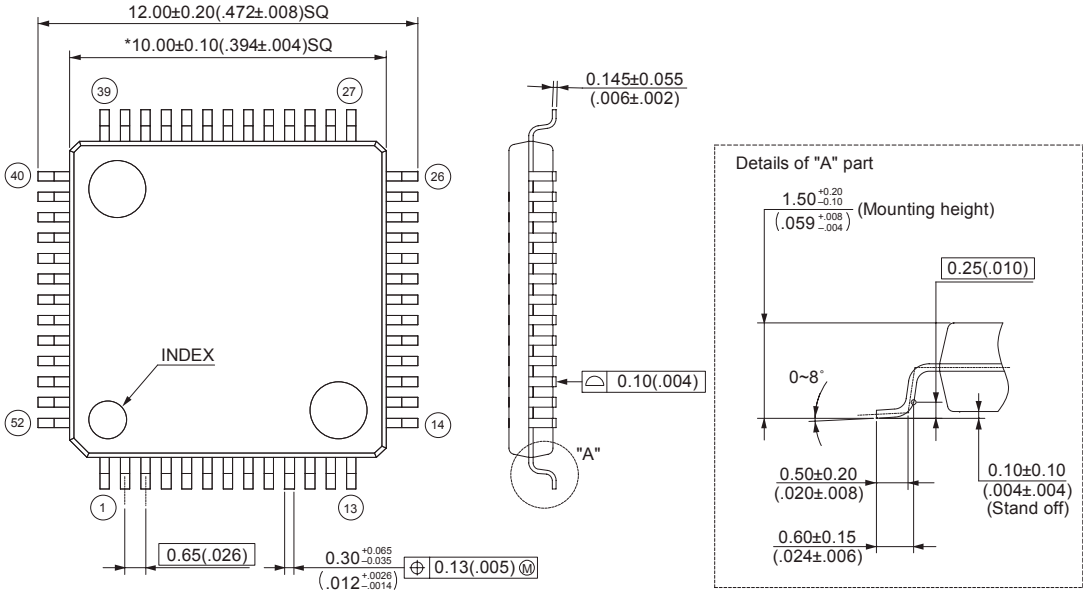
最新の外形寸法図については、下記の URL にてご確認ください。

http://edevice.fujitsu.com/package/jp-search/

プラスチック・LQFP, 52ピン		
 (FPT-52P-M02)	リードピッチ	0.65mm
	パッケージ幅×パッケージ長さ	10.00 × 10.00mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70mm MAX
	質量	0.32 g
	コード（参考）	P-LFQFP52-10 × 10-0.65

プラスチック・LQFP, 52ピン
(FPT-52P-M02)

注 1）* 印寸法はレジン残りを含まず。
注 2）端子幅および端子厚さはメッキ厚を含む。
注 3）端子幅はタイバ切断残りを含まず。



© 2010 FUJITSU SEMICONDUCTOR LIMITED F52002Sc-2-1

単位：mm（inches）
注意：括弧内の値は参考値です。

17. 本版での主な変更内容

ページ	場所	変更箇所
Revision 0.1 [November 22, 2013]		
-	-	Initial release
Revision 0.2 [November 26, 2013]		
9	3. 品種構成	ファンクションの表を訂正
85	14.7 フラッシュメモリ書込み/消去特性	書込みサイクルとデータ保持時間の注釈を訂正
Revision 1.0 [July 16, 2014]		
-	-	Preliminary → Full Production
3	1. 概要	TYPE1 製品から TYPE1-M0+製品へ変更
5	2. 特長	プロセッサ版数を訂正
6	2. 特長	A/D コンバータの変換時間を変更
9	3. 品種構成	内蔵 CR 精度の注釈を追記
21,22,23, 24,25	6. 端子機能一覧 端子機能別	LQFP-32,QFN-32 の端子番号 30 と 31 を訂正
40	12. メモリマップ メモリマップ(1)	“MTB register(SFR)”に訂正
41	12. メモリマップ メモリマップ(2)	型格と RAM のアドレスを訂正
46	14. 電気的特性 14.1 絶対最大定格	アナログ端子入力電圧を訂正
47	14. 電気的特性 14.2 推奨動作条件	注釈*2 を追記
48,49,50	14. 電気的特性 14.3 直流規格 14.3.1 電流規格	・条件の追加と変更 ・規格値の“TBD”を変更
52	14. 電気的特性 14.4 交流規格 14.4.1 メインクロック入力規格	内部動作クロック周波数、内部動作クロックサイクル時間を変更
54	14. 電気的特性 14.4 交流規格 14.4.3 内蔵 CR 発振規格 ・内蔵高速 CR	規格値の“TBD”を変更
55	14. 電気的特性 14.4 交流規格 14.4.5 メイン PLL の使用条件(PLL の入力クロックに内蔵高速 CR クロックを使用)	・規格値の“TBD”を変更 ・メイン PLL クロック周波数の最大値を変更
56	14. 電気的特性 14.4 交流規格 14.4.5 パワーオンリセットタイミング	・規格値の“TBD”を変更 ・“VDH_minimum”とその用語解説を訂正
78	14. 電気的特性 14.4 交流規格 14.4.12 I^2C タイミング	・ノイズフィルタの規格を訂正 ・注釈を訂正
80	14. 電気的特性 14.5 12 ビット A/D コンバータ	・(暫定値)の記載を削除 ・S6E1A1xC0A の変換時間/サンプリング時間/コンペアクロック周期を変更 ・動作許可状態遷移時間を訂正 ・注釈を訂正
83,84	14. 電気的特性 14.6 低電圧検出特性	SVHR と SVHI の値を訂正

ページ	場所	変更箇所
85	14. 電気的特性 14.7 フラッシュメモリ書込み/消去特性	・規格値の“TBD”を変更 ・標準の規格値を変更 ・(目標値)の記載を削除
86,88	14. 電気的特性 14.8 スタンバイ復帰時間	・規格値の“TBD”を変更

免責事項

本資料に記載された製品は、通常の産業用, 一般事務用, パーソナル用, 家庭用などの一般的用途 (ただし、用途の限定はありません) に使用されることを意図して設計・製造されています。(1) 極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御, 航空機自動飛行制御, 航空交通管制, 大量輸送システムにおける運行制御, 生命維持のための医療機器, 兵器システムにおけるミサイル発射制御等をいう) 、ならびに(2) 極めて高い信頼性が要求される用途 (海底中継器, 宇宙衛星等をいう) に使用されるよう設計・製造されたものではありません。上記の製品の使用法によって惹起されたいかなる請求または損害についても、Spansion は、お客様または第三者、あるいはその両方に対して責任を一切負いません。半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故, 火災事故, 社会的な損害を生じさせないよう、お客様において、装置の冗長設計, 延焼対策設計, 過電流防止対策設計, 誤動作防止設計などの安全設計をお願いします。本資料に記載された製品が、外国為替及び外国貿易法、米国輸出管理関連法規などの規制に基づき規制されている製品または技術に該当する場合には、本製品の輸出に際して、同法に基づく許可が必要となります。

商標および注記

このドキュメントは、断りなく変更される場合があります。本資料には Spansion が開発中の Spansion 製品に関する情報が記載されている場合があります。Spansion は、それらの製品に対し、予告なしに仕様を変更したり、開発を中止したりする権利を有します。このドキュメントに含まれる情報は、現状のまま、保証なしに提供されるものであり、その正確性, 完全性, 実施可能性および特定の目的に対する適合性やその市場性および他者の権利を侵害しない事を保証するものでなく、また、明示, 黙示または法定されているあらゆる保証をするものでもありません。Spansion は、このドキュメントに含まれる情報を使用することにより発生したいかなる損害に対しても責任を一切負いません。

Copyright © 2013-2014 Spansion　All rights reserved.

商標 : Spansion®, Spansion ロゴ (図形マーク), MirrorBit®, MirrorBit® Eclipse™, ORNAND™ 及びこれらの組合せは、米国・日本ほか諸外国における Spansion LLC の商標です。第三者の社名・製品名等の記載はここでは情報提供を目的として表記したものであり、各権利者の商標もしくは登録商標となっている場合があります。