



「Spansion, Inc.」および「Cypress Semiconductor Corp.」は、車載プラットフォーム、工業プラットフォーム、およびネットワークワーキングプラットフォームから高対話型コンシューマデバイスおよびモバイルデバイスまでの、現在の最先端組み込みシステムの核心で高性能および高品質なソリューションの提供を目指して、合併しました。新しい「Cypress Semiconductor Corp.」会社は新規お客様および既存のお客様に「Spansion, Inc.」の製品を提供し続けます。

仕様の継続

本資料には、サイプレス製品としてデバイスを提供することによる変更はありません。行われたどの変更も通常に資料を改善するためのものであり、それらはサポートされる箇所でドキュメント履歴ページに記載されます。将来の改訂は適切に行われ、そして変更内容は改訂履歴に記載されます。

発注部品番号の継続

サイプレスは既存部品番号を供給し続けています。これらの製品を発注するために、本資料での発注部品番号一覧のみを使用してください。

詳細について

サイプレスの製品およびソリューションについてもっと詳細な情報が必要な場合、最寄りの販売代理店までお問い合わせください。



S26KL512S / S26KS512S
S26KL256S / S26KS256S
S26KL128S / S26KS128S

512M ビット (64M バイト)、256M ビット (32M バイト)、
128M ビット (16M バイト) 1.8V/3.0V HyperFlash™ ファミリー

特長

HyperBus™ 少信号数インターフェース

- 3.0V I/O、11 本のバス信号
– シングルエンドクロック
- 1.8V I/O、12 本のバス信号
– 差動クロック (CK、CK#)
- チップセレクト (CS#)
- 8 ビット データバス (DQ[7:0])
- 読み書きデータストロープ (RWDS)
– HyperFlash メモリは RWDS を読み出しデータストロープのみとして使用する。

高性能

- 最大 333MB/秒の持続される読み出しスループット
- ダブルデータレート (DDR) – クロックサイクル毎に 2 回のデータ転送
- V_{CC} が 1.8V の時、166MHz クロックレート (333MB/秒)
- V_{CC} が 3.0V の時、100MHz のクロックレート (200MB/秒)
- 96ns の初期ランダム読み出しアクセス時間
– 初期ランダムアクセスレイテンシ: 5 ~ 16 クロックサイクル
- シーケンシャルバーストトランザクション
- 設定可能なバースト特性
– ラップされるバースト長:
 - 16 バイト (8 クロック)
 - 32 バイト (16 クロック)
 - 64 バイト (32 クロック)
- リニアバースト
- ハイブリッドオプション – 1 つのラップバーストの後にリニアバーストが続く
- 各トランザクションでラップバーストまたはリニアバーストのデータ転送方式を選択可能

- 設定可能な出力駆動能力
- 低消費電力モード
– 読み出し時のアクティブクロック停止: 12mA、ウェイクアップが不要
- スタンバイ: 25µA (typ)、ウェイクアップが不要
- ディープパワーダウン: 8µA (typ)
 - 300µs のウェイクアップが必要
- 外部割込みを生成するための INT# 出力
– ビジーからレディへの遷移
- システムレベルのパワーオンリセットを生成するための RSTO# 出力
– ユーザー構成可能な RSTO#LOW 周期
- 512 バイトのプログラムバッファ
– 16 バイト (ハーフページ) の倍数の単位で、最大 512 バイトまででプログラミング
- セクタ消去
– ユニフォーム 256kB セクタ
- オプションの 8 つの 4kB パラメーターセクタ (合計 32kB)
- 先進的セクタ保護
– セクタごとの揮発性および不揮発性の保護方式
- 個別の 1024 バイトで 1 回プログラムアレイ
- 動作温度
– 産業機器用温度範囲 (–40°C ~ +85°C)
- 産業機器用プラス (–40°C ~ +105°C)
- 拡張された温度範囲 (–40°C ~ +125°C)
- ISO/TS16949 および AEC Q100 準拠
- アクセス可能回数
– どのセクタにおいてもアクセス可能回数が 10 万サイクル (最低限)
- 保持
– 20 年のデータ保持期間 (Typ)
- パワーオンリセット、消去、およびプログラム時の電流
– 最高ピーク ≤ 100mA
- パッケージオプション
– 24 ボール FBGA
文書番号: 001-99466 Rev. *A

性能概要

読み出しアクセスのタイミング	
1.8V V_{CC}/V_{CCQ} での最大クロック レート	166MHz
3.0V V_{CC}/V_{CCQ} での最大クロック レート	100MHz
最大アクセス時間 (t_{ACC})	96ns
166MHz での最初のワードまでの最大 CS# アクセス時間	118ns

標準的な書き込み/消去時間	
シングルワードプログラム (2B = 16b)	500 μ s (~ 4kB/s)
書き込みバッファプログラム (512B = 4096b)	475 μ s (~ 1MB/s)
セクタ消去時間 (256kB = 2Mb)	930ms (~ 282kB/s)

標準的な消費電力	
バースト読み出し (166MHz での連続読み出し)	80mA
パワーオンリセット	80mA
セクタ消去電流	60mA
書き込みバッファプログラム電流	60mA
スタンバイ (CS# = HIGH)	25 μ A
ディープパワーダウン (CS# = HIGH、85°C)	30 μ A (512Mb)
	4 μ A (他のすべてのメモリ容量)

目次

特長	2	9. データ整合性	57
性能要約	3	9.1 アクセス可能回数	57
1. 概要	5	9.2 データ保持	57
2. 製品概要	5	9.3 デバイス ID と共通フラッシュインターフェース (ID-CFI) の ASO マップ	58
3. 信号の説明	7	ハードウェア インターフェース	
4. HyperBus プロトコル	8	10. インタフェースの状態	62
4.1 コマンド/アドレス ビットの割り当て	9	10.1 ハードウェア リセット	62
4.2 読み出し動作	10	10.2 ハードウェア データ保護状態での電源切断	62
4.3 書き込み動作	13	10.3 省電力モード	62
ソフトウェア インターフェース		11. 電氣的仕様	64
5. アドレス空間マップ	15	11.1 絶対最大定格	64
5.1 フラッシュ メモリ アレイ	16	11.2 DC 特性 (CMOS 互換性)	64
5.2 デバイス ID と CFI (ID-CFI) ASO	18	11.3 電源投入時および電源切断時	66
6. 組み込み動作	20	12. タイミング仕様	70
6.1 組み込みアルゴリズム コントローラー (EAC)	20	12.1 AC 特性	70
6.2 プログラムと消去の要約	20	12.2 マルチワード バースト データ ロードによる ワードプログラミング	70
6.3 データ保護	42	13. 物理インターフェース	72
6.4 揮発性および不揮発性コンフィギュレーション レジスタの概要	51	14. 注文情報	73
7. ソフトウェアインターフェース参考資料	52	14.1 注文製品番号	73
7.1 コマンドのまとめ	52	14.2 有効な組み合わせ	74
8. 組み込みアルゴリズム性能	56	15. 改訂履歴	75

1. 概要

Spansion® HyperFlash™ 製品ファミリーは、HyperBus™ 少信号数 DDR (ダブルデータレート) インターフェースを利用して高速読み出しスループットを取得する高速 CMOS、MirrorBit® NOR フラッシュ デバイスです。DDR 方式により、クロック サイクル毎に 2 個のデータ バイトがデータ信号 (DQ) 上に転送されます。HyperFlash の読み書きトランザクションは、内部 HyperRAM コア内の一連の 16 ビット幅で 1 クロック サイクルのデータ転送です。それぞれの転送は DQ 信号上の 2 つの対応する 8 ビット幅で 0.5 クロック サイクルのデータ転送からなります。

データとコマンド/アドレス情報の両方は 8 ビットのデータ バスを介して DDR 方式で転送されます。クロック入力信号は、DQ 信号からコマンド/アドレス/データ情報を受信する際に、信号取り込みのために HyperFlash デバイスにより使用されます。読み書きデータ ストローブ (RWDS) は HyperFlash デバイスからの出力信号で、データがメモリからホストに転送される時点を示します。RWDS は、読み出し動作のデータ転送中に CK の立ち上がり立ち下がりエッジを基準にしています。コマンド/アドレス/書き込みデータの値はクロック エッジの中央に揃えますが、読み出しデータの値は RWDS 遷移のエッジに揃えます。

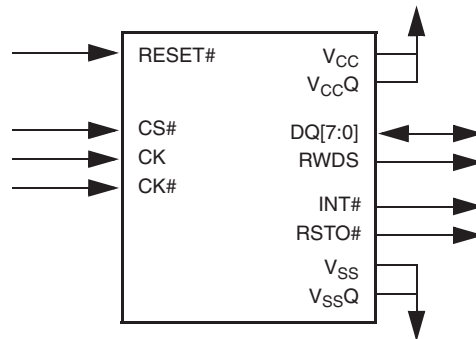
HyperFlash デバイスに対する読み出し/書き込み動作はバースト指向です。読み出しトランザクションはラップ バーストかリニア バースト方式で行えるように設定されることが出来ます。ラップ動作中に、アクセスは選択したアドレスから開始して、設定した値までグループ ラップ シーケンス内の位置にアクセスし続けます。リニア動作中に、アクセスは選択した位置から開始して、読み出し動作が終了する (CS# が HIGH に戻る) まで逐次的に続きます。書き込みトランザクションは 1 つかそれ以上の 16 ビット値を転送します。

すべての入力は LV-CMOS に準拠します。デバイスの V_{CC} と V_{CCQ} 電源は 1.8V か 3.0V (公称) です。HyperBus インターフェース動作の詳細については、HyperBus 仕様書をご参照ください。このデータシートは HyperBus インターフェース動作の HyperFlash デバイスに準拠した側面を説明します。

2. 製品概要

HyperFlash ファミリーは多種のメモリ容量を持っており 1.8V か 3.0V のコアと I/O を備えた不揮発性同期フラッシュ メモリ デバイスを含んでいます。これらのデバイスは 1 個の 8 ビット (1 バイト) 幅 DDR データ バスを持ち、ワード幅 (16 ビットデータ) のアドレス境界のみを使用します。読み出し動作はクロック サイクル毎に 16 ビット (クロック エッジ毎に 8 ビット) のデータを提供します。書き込み動作はクロック サイクル毎に 16 ビット (クロック エッジ毎に 8 ビット) のデータを使用します。

図 2.1 HyperFlash インターフェース



HyperFlash メモリは HyperBus 少信号数で高速インターフェースを使用し、XIP (eXecute-In-Place) とデータ ストレージ フラッシュ メモリの最高の特長を結合します。このファミリーは、XIP フラッシュに必要な高速ランダム アクセスとともに、データ ストレージ フラッシュに必要な大容量、高速プログラムを備えています。

各ランダム読み出しはページ (長さ 32 バイトにアラインされるデータ セット) にアクセスします。各ページは 1 対の半ページ (長さ 16 バイトにアラインされるデータ アレイのグループ) から構成されます。半ページは 16 バイト アドレス境界にアラインされます。読み出しアクセスは、対象の半ページ アドレスとバースト種類を定義するために 2 クロック サイクルを要し、かつ t_{ACC} の追加初期レイテンシを要します。初期レイテンシ期間中の 3 番目のクロック サイクルでは対象の半ページの開始アドレスが指定されます。初期データ値が出力された後、後続のクロック サイクルで追加のデータはラップ バーストかリニア バースト方式に従ってページから読み出されます。リニア バースト モードに設定した場合、ページがバースト出力されている間にデバイスは自動的に MirrorBit フラッシュ メモリ アレイから次の連続ページをフェッチします。アレイからのフェッチが進行中に同時にバースト出力すると、連続リニア バースト動作が実行可能になり、333MB/s の持続データ出力を実現できます (1 バイト (8 ビット データ バス) * 2 (両クロック エッジのデータ) * 166MHz = 333MB/s)。

S26KL/S26KS アドレス マップ

種類	カウント	アドレス	注
半ページのワードアドレス (16 バイト)	8 (ワードアドレス)	A2 – A0	16 バイト
書き込みバッファ ライン内のワードアドレス (512 バイト)	256 (ワードアドレス)	A7 – A0	512 バイト
消去セクタ (256kB) 内の半ページ (16 バイト)	8192 (半ページ)	A16 – A3	
消去セクタ (256kB) 内の書き込みバッファ ライン (512 バイト)	512 (ライン)	A16 – A8	
消去セクタ (256kB) の合計	256 (512Mb) 128 (256Mb) 64 (128Mb)	Amax – A17	

デバイス制御回路は、ホスト インターフェース コントローラー (HIC) と組み込みアルゴリズム コントローラー (EAC) の 2 つの並行する動作に分かれています。HIC は必要に応じてデバイス入力とデバイス出力の信号レベルを監視し、ホストシステム (HyperBus マスタ) とのデータ読み出しと書き込み転送を完了します。HIC は読み出し転送で、現在入力されたアドレス マップからデータを出力します。書き込み転送アドレスとデータ情報を EAC コマンド メモリに配置します。電源遷移と書き込み転送を EAC に通知します。EAC は、コマンド メモリを参照して、適切なコマンド シーケンスが発行されたかチェックした後、組み込みアルゴリズムを実行します。

メモリアレイ内の不揮発性データの書換えには、自動アルゴリズム (EA) と呼ばれる複雑な動作シーケンスを必要とします。アルゴリズムは内部の EAC によって完全に管理されています。主要なアルゴリズムは、メイン アレイ データのプログラミングと消去を実行します。ホスト システムはフラッシュ デバイスのアドレス空間にコマンド コードを書き込みます。EAC はコマンドを受け取り、コマンドを完了するために必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

各メモリ ビットの消去済み状態はロジック 1 です。プログラムによりロジック 1 (HIGH) からロジック 0 (LOW) に変更します。0 から 1 への変更を実行できるのは消去動作のみです。消去動作は、セクターと呼ばれる 256K バイト (パラメーターセクターなら 4K バイト) にアラインされたデータ グループ全体に対して実行します。スパンションから出荷時は、すべてのセクターは消去されています。

プログラミングは 512 バイトの書き込みバッファを介して行われます。プログラミング動作を開始する前に、書き込みバッファに 1 ~ 256 ワードを書き込むことができます。フラッシュ メモリ アレイ内では、512 バイト整列のデータ グループはラインと呼ばれます。プログラム動作は揮発性書き込みバッファから不揮発性メモリアレイのラインにデータを転送します。この動作は書き込みバッファプログラミングと呼ばれます。

書き込みバッファは、リセット後または書き込みバッファを使用した任意の動作完了後、「1」にセットされます。バッファ書き込みコマンドによって 0 が書き込まれていない位置は、デフォルトの「1」の値のままで埋められています。書き込みバッファ内の「1」は、プログラミング動作中にメモリアレイのデータには影響しません。

HyperBus 専用の必須信号に加え、このデバイスにはリセット入力信号 (RESET#)、割り込み出力信号 (INT#)、およびリセット出力信号 (RSTO#) も含まれています。

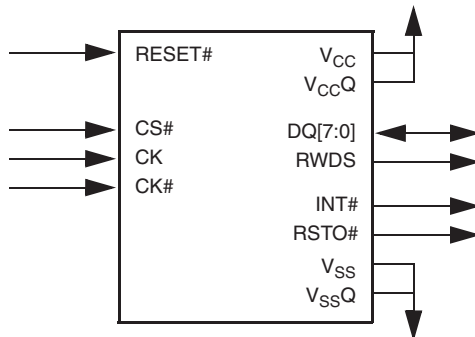
RESET# 信号は LOW から HIGH に遷移すると、デバイスは内部のパワーオン リセット (POR) 後のデフォルト状態に戻ります。

INT# 出力信号は、プログラム動作か消去動作の終了時に HyperFlash がビジーからレディーの状態に遷移した時点を示すために HyperBus マスタに割り込みを提供できます。

RSTO# はデバイス内で POR が発生している時点を示すオープンドレイン出力であり、システム レベルのリセット信号として使用できます。内部 POR の完了後、ユーザにより定義されたタイムアウト期間が経過した後 RSTO# 信号は低インピーダンスから高インピーダンスに遷移します。高インピーダンス状態に遷移した後、外部プルアップ抵抗により RSTO# 信号は HIGH レベルに引っ張られて、デバイスは瞬時にアイドル状態になります。

3. 信号の説明

図 3.1 HyperFlash インターフェース



信号の説明

記号	種類	説明
CS#	入力	チップセレクト : HyperFlash バス トランザクションは HIGH から LOW への移行で開始。HyperFlash バス トランザクションは LOW から HIGH への移行で終了
CK, CK#	入力	差動クロック : コマンド/アドレス/データ情報は、CK と CK# 信号の交差に対する入力または出力。CK# は、1.8V デバイスでのみ使用し、開放にするまたは 3V デバイス上の CK に接続できる
RWDS	出力	読み書きデータ ストローブ : 読み出しトランザクション中の出力データは RWDS とエッジが揃える
DQ[7..0]	入力/出力	データ入力/出力 : コマンド/アドレス/データ情報は読み出しと書き込みトランザクション中にこれらの DQ 信号上に転送される
INT#	出力 (オープンドレイン)	INT 出力 : LOW の時、デバイスは内部イベントが発生したことを示す。この信号は、オンチップ イベントが発生したことを示すために、デバイスに対するシステム レベルの割り込みとして使用されることを意図している。INT# はオープンドレイン出力
RESET#	入力	ハードウェア リセット : LOW の時、デバイスは自己初期化してアレイ読み出し状態に戻る。RESET# が LOW の時、RWDS と DQ[7..0]がHigh-Z状態に移行される。RESET#は弱プルアップを含み、RESET#が未接続にされるとHIGH状態にプルアップされる
RSTO#	出力 (オープンドレイン)	RSTO# 出力 : RSTO# はデバイス内で POR が発生している時点を示すために使用されるオープンドレイン出力であり、システム レベルのリセット信号として使用できる。内部 POR の完了後ただちに、ユーザーにより定義されたタイムアウト期間が経過した後、RSTO# 信号は低インピーダンスから高インピーダンスに遷移する。高インピーダンス状態に遷移した後ただちに、外部プルアップ抵抗は RSTO# 信号を HIGH に引き上げ、デバイスは瞬時にアイドル状態になる
V _{CC}	電源	コア電源
V _{CCQ}	電源	入力/出力電源
V _{SS}	電源	コア グランド
V _{SSQ}	電源	入力/出力グランド

4. HyperBus プロトコル

すべてのバス トランザクションは読み出しと書き込みの 2 種類に分けられます。CK = LOW、CK# = HIGH の時、CS# が LOW になると、バス トランザクションは開始します。実行されるトランザクションは最初の 3 クロック サイクル中に DDR 方式 (合計 6 クロック エッジを使用すること) で HyperFlash デバイスに提供されます。これらの最初の 3 クロックでは、3 ワードのコマンド / アドレス情報 (CA0、CA1、CA2) が転送され、トランザクションの次の特性を定義します。

- 読み出しトランザクションか書き込みトランザクション
- トランザクションの宛先はメモリ アレイかレジスタ空間か
 - HyperBus プロトコルはメモリとレジスタ アドレス空間の両方とも備えるスレーブ デバイスに対応しますが、本仕様書で説明する HyperFlash メモリでは、メモリとレジスタが個別のアドレス空間として区別されません。トランザクションの宛先位置がメモリ空間かレジスタ空間にかかわらず、トランザクションが選択できるアドレス空間は 1 つのみあります。書き込みトランザクションでは、トランザクション アドレスとデータを 1 つのコマンド レジスタ セット (バッファ) に格納します。読み出しトランザクションは、コマンドを実行することで単一アドレス空間内に一時的にオーバーレイされるメモリ アレイかレジスタ アドレス空間のウィンドウからデータを返します。レジスタ空間オーバーレイ方法を持つ、この単一アドレス空間はレガシーの平行 NOR フラッシュ メモリ プログラムと消去ソフトウェア ドライバーと下位互換性があります。
- 読み出しトランザクションはリニア バーストかラップ バースト シーケンスを使用するか
 - 書き込みコマンド トランザクションは 1 回の書き込みごとに 1 ワードを転送します。ワード単位でプログラムする書き込みデータ転送は 50MHz までのリニア バースト方式で実現できます。書き込みトランザクションはラップ バーストのシーケンスに対応せず、バースト種類の表示も無視します。
- 対象の半ページアドレス (列と上位行アドレス)
- (半ページ内の) 対象のワードアドレス (下位行アドレス)

トランザクション定義後かつデータ転送前の中で、読み出しレイテンシの要件を満たすために幾つかのアイドル クロック サイクルが必要になります。対象となるデータが転送された後、HyperBusmaster ホストは CK = LOW と CK# = HIGH の状態で CS# を HIGH に駆動することでトランザクションを終了します。データは 16 ビット値として転送されます。この 16 ビットの最初の 8 ビット (ビット 15 ~ ビット 8) は CK の立ち上がりエッジ (書き込みデータか CA ビットの場合) または RWDS のエッジ (読み出しデータの場合) にて転送され、2 番目の 8 ビット (ビット 7 ~ ビット 0) は CK の立ち下がりエッジまたは RWDS のエッジで転送されます。CK = LOW、CK# = HIGH の時、CS# を HIGH にすることで、読み書き動作中のデータ転送を終了できます。読み出しデータは RWDS の遷移と同時に変化し、書き込みデータはクロック エッジと中央が揃います。

4.1 コマンド/アドレス ビットの割り当て

コマンド/アドレス ビットの割り当て

CA ビット番号	ビット名	ビット機能
47	R/W#	トランザクションを読み出しか書き込みとして識別 1 = 読み出し動作 0 = 書き込み動作 ターゲット空間は CA46 で定義
46	ターゲット	読み書き動作がメモリかレジスタ空間にアクセスするかを示す 0 = メモリ空間 1 = レジスタ空間 レジスタ空間は不揮発性メモリとペリフェラル デバイスが使用するよう用意される。HyperFlash デバイスは、この機能を備えていないため、読み出しや書き込みトランザクションの間このビットを 0 にセットする必要がある
k45	バースト タイプ	バーストがリニアかラップであるかを示す 0 = ラップ バースト 1 = リニア バースト
44-38 (512Mb) 44-37 (256Mb) 44-36 (128Mb)	予約済み	将来のアドレス拡張用に予約済み ホスト コントローラーは予約済みビットを 0 にセットする必要がある
37-16 (512Mb) 36-16 (256Mb) 35-16 (128Mb)	列と上位行 アドレス	宛先アドレスの半ページ コンポーネント
15 ~ 3	予約済み	将来の列アドレス拡張用に予約済み ホスト コントローラーは予約済みビットを 0 にセットする必要がある
2 ~ 0	下位行アドレス	宛先アドレスの下位列要素：システム ワードアドレス ビット A2 ~ 0 で、判ページ内の開始ワードを選択

4.2 読み出し動作

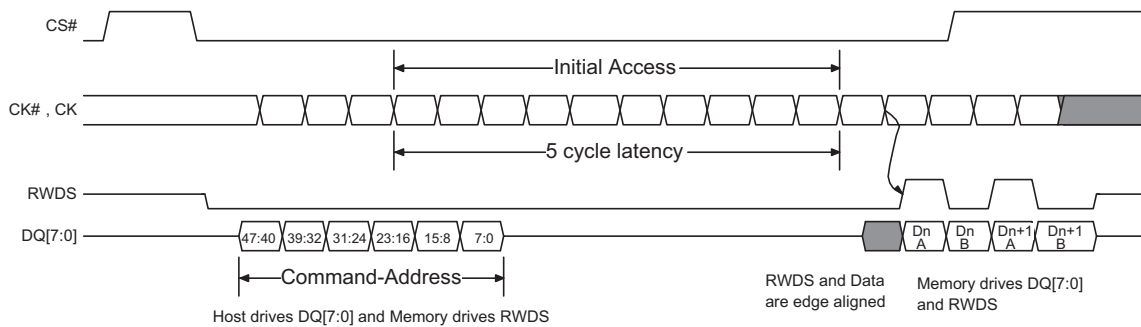
CA0 は読み出し動作が次に実行されることを示す一方、バースト種類 (ラップかリニア) も表示します。半ページアドレスが CA0 と CA1 にて提供され次第、読み出し動作は内部のアレイ アクセスを開始します。CA2 は選択した半ページ内の対象のワードアドレスを指定します。ホストはコンフィギュレーションレジスタに設定したレイテンシカウンタの値により定義されたサイクル数の期間でクロックを供給し続けます。これらのレイテンシクロックサイクルの設定値に達すると、読み出し / 書き込みデータストロープ (RWDS) の遷移と同時に対象のデータの出力が開始されます。新しいデータがエッジ揃えの方法にて、毎回の RWDS の遷移によって出力されます。ホストから供給されるクロック (CK と CK#) の遷移が続いている限り、データは引き続き出力されます。ラップバーストはバースト長の範囲内で引き続きラップし、リニアバーストはページ境界を越えて順次データを出力します。49 ページの「6.3.11. ハイブリッドバースト」に示すようにハイブリッドバーストは 1 個の初期ラップバーストの次にリニアバーストが後続することを提供します。ラップの読み出しは主要なアレイ (CFI 表とセキュアシリコン領域 (SSR)) から実行されます。CK = LOW、CK# = HIGH の時、CS# を HIGH にすることで、読み出し転送を終了できます。

リニアの読み出し動作では、対象のアドレスページと次の連続ページの境界を越える時に幾つかの追加のレイテンシサイクルが必要になる場合があります (12 ページの図をご参照ください)。レイテンシサイクル数は対象のページ内の開始アドレスとコンフィギュレーションレジスタに設定した初期レイテンシサイクル数に依存します。

リニアバーストはアレイの最終アドレスに到達すると、バーストはアドレス 0 に戻ります。

16 バイトと 32 バイトのラップバーストはページ境界を越えず、ページ境界越えのレイテンシも発生させません。64 バイトのラップバースト読み出しでは、開始アドレスに応じて対象のアドレスと次のページの境界を超える時にレイテンシが発生する可能性があります (33 ページの「64 バイトラップバーストアドレスシーケンス (レイテンシコード = 16)」表をご参照ください)。

図 4.1 読み出し動作



注:

1. トランザクションは CK が LOW、CK# が HIGH 状態で開始する必要があります。CS# は新しいトランザクションが開始する前に HIGH に復帰しなければなりません。
2. CA[23:16] が取り込まれるとフラッシュアレイからの読み出しアクセスは開始します。
3. 読み出しレイテンシは揮発性コンフィギュレーションレジスタ (または不揮発性コンフィギュレーションレジスタ) 内の読み出しレイテンシ値により定義されません。
4. この読み出し動作の例ではレイテンシカウンタは 5 クロックに設定されています。

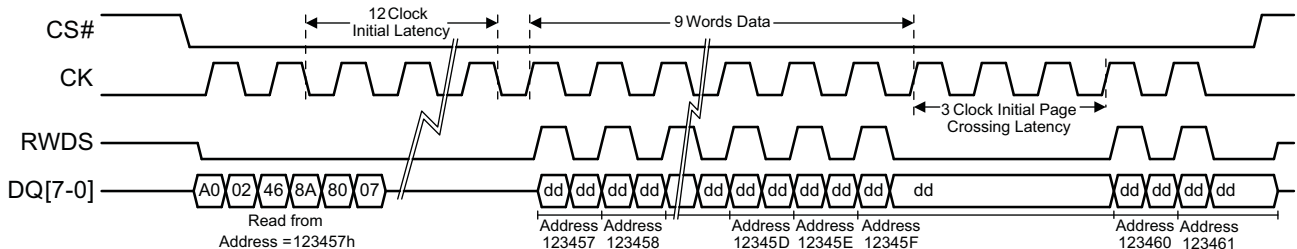
レイテンシコードオプションの最大動作周波数

レイテンシコード	レイテンシクロック	最大動作周波数 (MHz)
0000	5	52
0001	6	62
0010	7	72
0011	8	83
0100	9	93
0101	10	104
0110	11	114
0111	12	125
1000	13	135
1001	14	145
1010	15	156
1011	16	166
1100	予約済み	該当なし
1101	予約済み	該当なし
1110	予約済み	該当なし
1111	予約済み	該当なし

注:

- 工場出荷時のデバイスでは NVCR のレイテンシ設定がデフォルトで 16 クロックです。
- レイテンシコードは (不)揮発性コンフィギュレーションレジスタビット xVCR[7:4] にロードされる値です。
- $t_{ACC} = 96ns$ のデバイスを使用する場合の最大動作周波数です。

図 4.2 ページ境界を越える読み出しトランザクション



注:

- 読み出しトランザクションは 123457h のデバイスアドレスから開始します。
- コンフィギュレーションレジスタにロードされるレイテンシコードは 0111b で、12 のレイテンシクロックサイクルに該当します。
- この場合ではページ境界を超えるために 3 クロック要します (12 クロックの初期レイテンシから 9 クロック (ワード) の初期データを引いた結果です)。
- CK# は表示されていませんが、CK 信号の反転信号です。
- CA45 = 1 はリニア読み出しバーストを意味します。

リニア読み出し中の最初のページバウンダリーのクロス (レイテンシカウント = 11 クロック)

宛先 アドレス	クロック サイクル																													
	0	1	2	3	...	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30						
0							D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17						
1							D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18						
2							D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19						
3							D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20						
4							D4	D6	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21						
5							D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22						
6							D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	D16	D17	D18	D19	D20	D21	D22						
7							D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	D16	D17	D18	D19	D20	D21	D22						
8	CA0	CA1	CA2				D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25						
9							D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26						
10							D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27						
11							D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28						
12							D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29						
13							D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30						
14							D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	D24	D25	D26	D27	D28	D29	D30						
15							D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	D24	D25	D26	D27	D28	D29	D30						
16							D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33						
	—	—	1	2	...	11	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—						
レイテンシ数																														

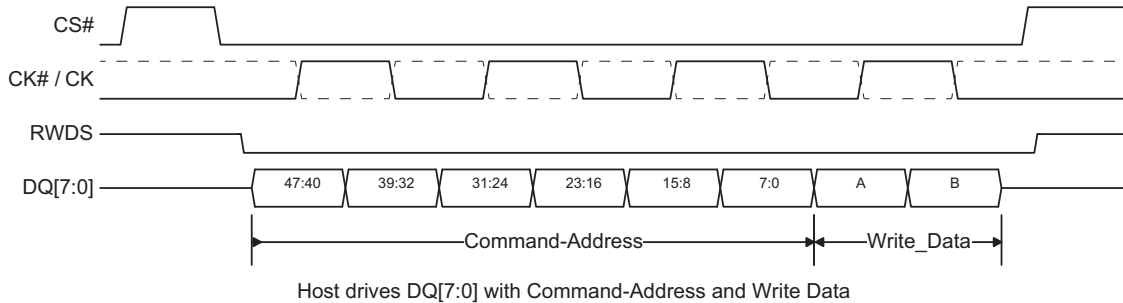
リニア読み出し中の最初のページバウンダリーのクロス (レイテンシカウント = 16 クロック)

宛先 アドレス	CS# が LOW になった後のクロック サイクル																																		
	0	1	2	3	...	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35											
0							D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17											
1							D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	D16	D17											
2							D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	D16	D17											
3							D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	D16	D17											
4							D4	D6	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	D16	D17											
5							D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	D16	D17											
6							D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	D16	D17											
7							D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	X	D16	D17											
8	CA0	CA1	CA2				D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25											
9							D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	D24	D25											
10							D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	D24	D25											
11							D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	D24	D25											
12							D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	D24	D25											
13							D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	D24	D25											
14							D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	D24	D25											
15							D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	D24	D25											
16							D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33											
	—	—	1	2	...	16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—											
レイテンシ数																																			

4.3 書き込み動作

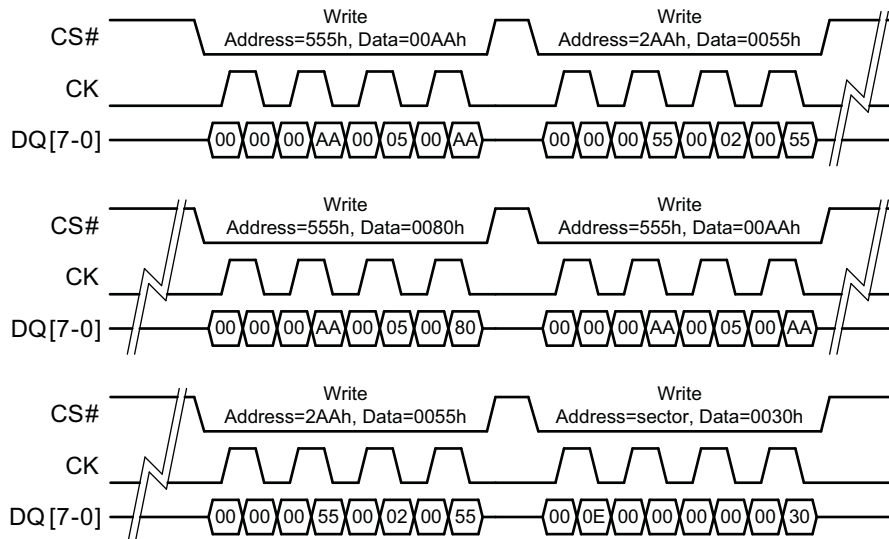
書き込み動作は、トランザクション属性を指示する CAx (コマンド/アドレス) 情報を提供する最初の 3 クロック サイクルから開始します。HyperFlash デバイスは 16 ビットのシングル書き込みトランザクションのみに対応するか、またはワードプログラム コマンドでデータをロードする時のみ連続リニア バーストに対応するため、バースト タイプ ビット CA[45] は「ドントケア」です。CA 情報に従って、ホストは瞬時に書き込みデータを DQ バスに転送できます。最初のデータ バイト (A) は CK の立ち上がりエッジにあり、2 番目のデータ バイト (B) は CK の立ち下がりエッジにあります。書き込みデータは CK と CK# 入力信号と中央が揃います。CK = LOW、CK# = HIGH の時、CS# を HIGH にすることで、書き込み転送を終了できます。

図 4.3 書き込み動作



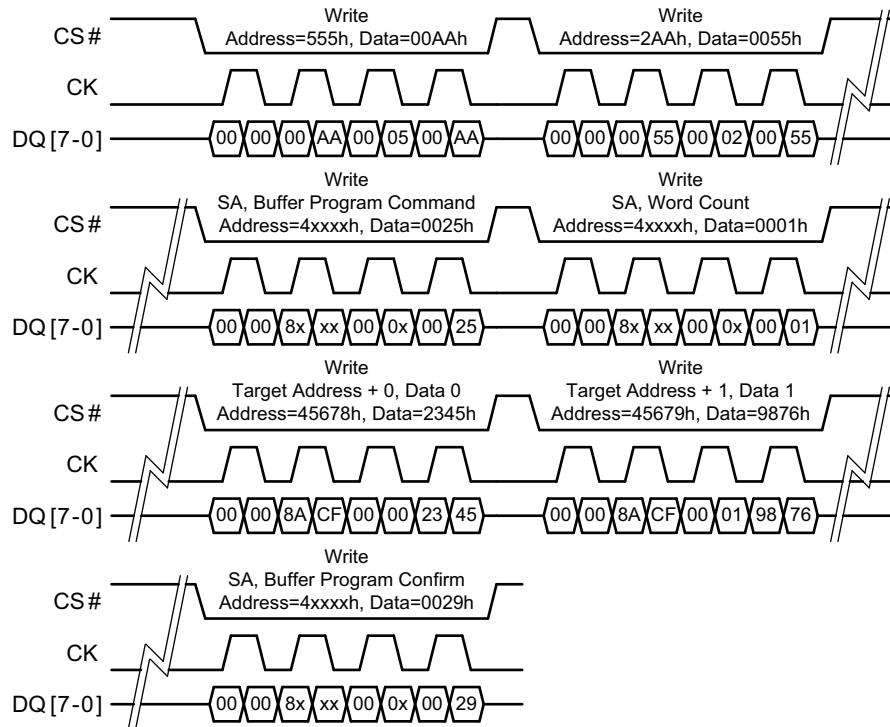
- 注:
- トランザクションは CK が LOW、CK# が HIGH 状態で開始する必要があります。CS# は新しいトランザクションが開始する前に HIGH に復帰しなければなりません。
 - CS# が LOW である限り、RWDS は LOW に駆動されます。
 - 書き込み動作はシングルワード (16 ビット) のトランザクションか、またはワードプログラム コマンドでデータをロードする時のみ対応するリニア書き込みバーストのトランザクションに制限されます。

図 4.4 書き込みトランザクションの使用例：動作消去コマンドシーケンス



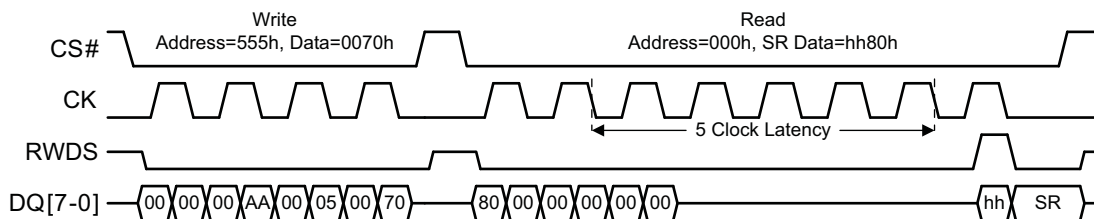
- 注:
- 動作消去コマンドシーケンスのフローチャートについては 29 ページの「図 6.4. セクター消去動作」をご参照ください。
 - セクター消去動作は 0700000h から開始します。
 - CK# は表示されていませんが、CK 信号の反転信号です。
 - 書き込みトランザクションでは RWDS が表示されず使用されません。

図 4.5 書き込みトランザクションの使用例：バッファプログラム書き込みコマンドシーケンス



- 注:
1. バッファプログラム動作の書き込みコマンドシーケンスのフローチャートについては 25 ページの「図 6.2. ステータスレジスタを使用した書き込みバッファプログラミング動作」をご覧ください。
 2. 2345h を 45678h アドレスに、9876h を 45679h アドレスにプログラムします。
 3. CK# は表示されていませんが、CK 信号の反転信号です。
 4. 書き込みトランザクションでは RWDS が表示されず使用されません。

図 4.6 ステータス読み出しトランザクションの例



- 注:
1. CK# は表示されていませんが、CK 信号の反転信号です。

ソフトウェア インターフェース

5. アドレス空間マップ

HyperBus プロトコルはメモリとレジスタ アドレス空間の両方とも備えるスレーブ デバイスに対応しますが、本仕様書で説明する HyperFlash メモリでは、メモリとレジスタが個別のアドレス空間として区別されません。HyperBus トランザクションの宛先位置が選択したデバイスのメモリ空間かレジスタ空間にかかわらず、トランザクションが選択できるアドレス空間は1つのみあります。

書き込みトランザクションでは、トランザクションアドレスとデータを1つのコマンドレジスタセット(バッファ)に格納します。

読み出しトランザクションは、コマンドを実行することで単一のアドレス空間内に一時的にオーバーレイされるメモリ アレイかレジスタ アドレス空間のウィンドウからデータを返します。レジスタ空間オーバーレイ方法を持つ、この単一アドレス空間はレガシーの平行 NOR フラッシュ メモリ プログラムと消去ソフトウェア ドライバーと下位互換性があります。

フラッシュ メモリ デバイスのアドレス範囲内には複数の個別のアドレス空間が表示されることがあります。1つのアドレス空間がいつでも表示(入力済み)されます。

- フラッシュ メモリ アレイ: データ格納用の主要な不揮発性メモリ アレイであり、読み出し動作によってランダムにアクセスされることがあります。
- ID / CFI: スパンションの工場プログラムされたデバイス特性情報格納用のメモリアレイです。この領域には、デバイス識別 (ID) と共通フラッシュ インターフェース (CFI) の情報テーブルが含まれています。
- セキュア シリコン領域 (SSR): スパンションの工場プログラムされた恒久データおよびカスタマー プログラム可能恒久データ格納用の 1024 バイト 1 回書き込み可能な (OTP) 不揮発性メモリ アレイです。
- 恒久的保護ビット (PPB): 不揮発性メモリ アレイであり、セクターごとに 1 ビット幅を有します。プログラムされると、該当するセクターを消去とプログラミングから保護します。
- PPB ロック ビット: PPB ビットの消去とプログラミングを有効/無効化する揮発性レジスタ ビットです。
- パスワード: パスワードモードのセクター保護を使用する際にPPBロック ビットの状態を変更可能にするために使用される 64 ビット パスワード格納用の OTP 型不揮発性アレイです。
- ダイナミック保護ビット (DYB): 揮発性アレイであり、セクターごとに 1 ビット幅を有します。セットされると、該当するセクターを消去とプログラミングから保護します。
- ステータス レジスタ/ペリフェラル レジスタ: 組み込みアルゴリズムの状態を表示するか他のレジスタに読み書きするためのレジスタ アクセス空間です。

フラッシュ メモリ アレイはデフォルトの一次アドレス空間ですが、他のアドレス空間によって随時にオーバーレイされることがあります。その代替アドレス空間はアドレス空間オーバーレイ (ASO) と呼ばれています。

各 ASO は、ASO エントリ コマンドに応じて、選択したセクターかフラッシュ デバイスのすべてのアドレス空間を置換 (オーバーレイ) します。ASO に置き換えられたセクターが 1 個のみの場合、メモリ アレイの残りのセクターの読み出しはそのまま実現できます。特定の ASO アドレス マップで定義されていないアドレス範囲は将来に使用するために予約されます。特に指定のない限り、ASO アドレス マップ外のすべての読み出しアクセスは無効な (未定義) データを返します。それらの位置にはアクティブに駆動されたデータが表示されますが、その「1」や「0」の意味は定義されていません。

任意の時点においてフラッシュ デバイスのアドレス空間に表示される内容を決定するアドレス マップ モードが多くあります。

- 読み出しモード
- ステータス レジスタ (SR) モード
- アドレス空間オーバーレイ (ASO) モード
- ペリフェラル レジスタ モード

読み出しモードでは、フラッシュ メモリ アレイ全体が、ホストのシステム メモリ コントローラーによって直接読み出すことができます。メモリ デバイスの組み込みアルゴリズム コントローラー (EAC) は、電源投入時、ハードウェア リセット後、コマンドリセット後、または組み込みアルゴリズム (EA) が一時停止された後にデバイスを読み出すモードに入ります。読み出しモードでは読み出しアクセスと読み出しコマンドを実現できます。EA が一時停止されている時に読み出しモードでコマンドのサブセットを実現できます。

どのモードでも、ステータス レジスタ読み出しコマンドを発行することで、デバイスのアドレス空間内のあらゆるワードアドレスでステータス レジスタ ASO を表示させることができます。このステータス レジスタ ASO モードでは、デバイス インターフェー

ス読み出しアクセスだけに対応し、書き込みアクセスはすべて無視されます。デバイスへの次の読み出しアクセスはステータスレジスタの内容にアクセスします。その後、ステータスレジスタ ASO を終了し、デバイスはステータスレジスタ読み出しコマンドを受け取る前の（呼び出し）モードに戻ります。

同様に、他のレジスタを読み書きするコマンドはペリフェラルレジスタモードを利用します。このモードでは、レジスタは臨時の ASO として表示し、コマンドによって選択されたレジスタの読み書き動作が完了すると自動的にモードを終了します。読み出しと書き込み動作はレジスタアクセスコマンドシーケンスの最後のサイクルで実現されます。

EA モードで EAC は不揮発性メモリアレイのプログラミングや消去のような組み込みアルゴリズムを実現します。この EA モードではフラッシュメモリアレイはすべて読み出し不可です。プログラム/消去一時停止コマンド、またはステータスレジスタ読み出しコマンドのみがこのモードで実行可能です。他のすべてのコマンドは無視されます。したがって、EA モードで他の ASO への移動は許可されません。

ASO モードでは、残っているオーバーレイアドレス空間の 1 つが入ります（フラッシュメモリアレイのアドレスマップにオーバーレイされます）。一度に移行できる ASO は 1 つだけです。デバイスへのコマンドは、現在移行された ASO に影響を与えます。ASO に応じて特定のコマンドが有効です。有効なコマンドは 52 ページの「コマンドの定義」表の ASO 関連セクションに示されます。

下記の ASO は、1 を 0 に変更するようにプログラムできる不揮発性データを持っています。

- セキュアシリコン領域
- ASP コンフィギュレーションレジスタ (ASPR)
- 恒久的保護ビット (PPB)
- パスワード
- PPB ASO だけが、0 を 1 に変更するように消去できる不揮発性データを持っています。

任意の不揮発性 ASO が入っている間にプログラムコマンドか消去コマンドが発行されると、EA はその ASO 上で動作します。EA が有効の間はその ASO の読み出しは不可です。EA が完了すると、ASO が入っている状態のまま再度読み出し可能になります。EA がこれらの任意の ASO で動作している間は、一時停止コマンドと再開コマンドが無視されます。

ペリフェラルレジスタモードは、パワーオンリセットタイマー、割り込みコンフィギュレーションレジスタ、割り込みステータスレジスタ、揮発性コンフィギュレーションレジスタ、および不揮発性コンフィギュレーションレジスタを管理するために使用されます。

5.1 フラッシュメモリアレイ

S26KL/S26KS ファミリーは、セクターサイズが 256K バイトのユニフォームセクターアーキテクチャを搭載しています。「S26KL512S と S26KS512S セクタとメモリアドレスのマップ」表～「S26KL128S と S26KS128S セクタとメモリアドレスのマップ」表は 3 つのデバイスのセクターアーキテクチャを示します。

最初のセクター (SA00) か最後のセクター (SAm_{max}) を 8 個の 4K バイトパラメータセクターにオーバーレイするために 1 つのユーザー設定のオプションが用意されます。最下位セクターや最上位セクターの分割方法を示すパラメータセクターのアドレスマップは「8 つの 4kB パラメータセクタで重複される主アレイセクタ 0」表と「8 つの 4kB パラメータセクタで重複される最終セクタ」表に示されています。パラメータセクターは、該当するパラメータセクターアドレスを対象に標準の消去とプログラムコマンドシーケンスを利用することで通常の方法で消去/プログラムできます。比較的小さいパラメータセクターは、消去およびプログラムコマンドシーケンスでは、対象となるパラメータセクターを識別するアドレスの一部として A[16:11] を追加する必要があります。ご注意ください。最初や最後のユニフォームセクターにパラメータセクターを追加するように設定することは不揮発性コンフィギュレーションレジスタで実現されます。

注：次の表は、1 ページでデバイス全体のセクター関連情報を示すようにまとめました。(SA001 ～ SA510 のように) 明示的に記載されていないセクターやそのアドレス範囲に対して、そのセクターの開始と終了アドレスは、同じサイズを持つ他のすべてのセクターと同じパターンを持っています。例えば、すべての 256K バイトセクターは XX00000h ～ XX1FFFFh のアドレス範囲パターンを持っています。

S26KL512S と S26KS512S セクタとメモリアドレスのマップ

セクタサイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16 ビット)	注
256	256	SA00	0000000h ～ 001FFFFh	セクタ開始アドレス
		:	:	～
		SA255	1FE0000h – 1FFFFFFh	セクタ終了アドレス

S26KL256S と S26KS256S セクタとメモリアドレスのマップ

セクタサイズ (キロバイト)	セクタ数	セクタ範囲	アドレス範囲 (16 ビット)	注
256	128	SA00	0000000h ~ 001FFFFh	セクタ開始アドレス
		:	:	~
		SA127	0FE0000h ~ 0FFFFFFh	セクタ終了アドレス

S26KL128S と S26KS128S セクタとメモリアドレスのマップ

セクタサイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16 ビット)	注
256	64	SA00	0000000h ~ 001FFFFh	セクタ開始アドレス
		:	:	~
		SA63	07E0000h ~ 07FFFFFFh	セクタ終了アドレス

8 つの 4kB パラメーター セクタで重複される主アレイ セクタ 0

主アレイ セクタ サイズ	パラメーター セクタ番号	アドレス サイズ	アドレス範囲 (16 ビット)	注
256kB	0	4kB	0000000h ~ 00007FFh	パラメーター セクタ 0 の開始
	1	4kB	0000800h ~ 0000FFFh	パラメーター セクタ 1
	2	4kB	0001000h ~ 00017FFh	パラメーター セクタ 2
	3	4kB	0001800h ~ 0001FFFh	パラメーター セクタ 3
	4	4kB	0002000h ~ 00027FFh	パラメーター セクタ 4
	5	4kB	0002800h ~ 0002FFFh	パラメーター セクタ 5
	6	4kB	0003000h ~ 00037FFh	パラメーター セクタ 6
	7	4kB	0003800h ~ 0003FFFh	パラメーター セクタ 7 の終了
	主アレイ セクタ 0 の露出部分	224kB	0004000h ~ 001FFFFh	主アレイ セクタ 0 の露出部分に マッピングされる

8 つの 4kB パラメーター セクタで重複される最終セクタ

主アレイ セクタ サイズ	パラメーター セクタ番号	アドレス サイズ	アドレス範囲 (16 ビット)	注
256kB	主アレイの最終セクタの露出部分	224kB	1FF0000h ~ 1FFBFFFh	主アレイの最終セクタの露出 部分にマッピングされる
	0	4kB	1FFC000h ~ 1FFC7FFh	パラメーター セクタ 0 の開始
	1	4kB	1FFC800h ~ 1FFCFFFh	パラメーター セクタ 1
	2	4 kB	1FFD000h ~ 1FFD7FFh	パラメーター セクタ 2
	3	4kB	1FFD800h ~ 1FFDFFFh	パラメーター セクタ 3
	4	4kB	1FFE000h ~ 1FFE7FFh	パラメーター セクタ 4
	5	4kB	1FFE800h ~ 1FFEFFFh	パラメーター セクタ 5
	6	4kB	1FFF000h ~ 1FFF7FFh	パラメーター セクタ 6
7	4kB	1FFF800h ~ 1FFFFFFh	パラメーター セクタ 7 の終了	

- 注:
- パラメーター セクターを最上位セクターにマッピングする場合、上位アドレス ビットはデバイスの容量に依存します。「8 つの 4kB パラメーター セクタで重複される最終セクタ」表に 512M ビット デバイスのアドレス マッピングを示しています。
 - 最終セクターのセクター番号は 255 (512Mb の容量)、127 (256Mb の容量)、および 63 (128Mb の容量) です。
 - パラメーター セクターで消去やプログラム動作を実行する際に、コマンドシーケンスで指定される必要があるセクター アドレスは A[max:11] です。

5.2 デバイス ID と CFI (ID-CFI) ASO

システムに搭載されたフラッシュメモリの種類を識別するには、次の 2 つの従来方式があります。1 つはそもそも自動選択 (Auto Select) として呼ばれてきたが、現在ではデバイス識別 (ID) と呼ばれています。もう一つの方法は、共通フラッシュ インターフェース (CFI) と呼ばれています。

ID について、1 つのコマンドを使用して ASO を有効にし、その最大 16 ワードの位置を読み出すことで JEDEC 製造者識別 (ID)、デバイス ID、およびいくつかの構成情報と保護ステータス情報をフラッシュメモリから取得します。システムはこの製造者 ID とデバイス ID を用いて、フラッシュ デバイスと動作する適切なドライバー ソフトウェアを選択できます。

CFI も 1 つのコマンドを使用して ASO を有効にし、フラッシュメモリの構成や動作方法についての基本情報を提供する拡張可能なテーブルの読み出しを実現できます。この方法を用いると、使用するそれぞれのメモリ デバイス仕様をドライバー ソフトウェアに書き込む必要はありません。代わりに、ドライバー ソフトウェアは多くの異なるデバイスを扱うためにより一般的な方法で書き込まれ、ドライバーの動作は CFI テーブルの情報に基づいて調整されます。

これまで、これら 2 つのアドレス空間は個別のコマンドを使用し個別のオーバーレイ領域でした。しかし、これら 2 つのアドレス空間のマッピングは重複しないため、単一のアドレス空間に組み合わせ、単一のオーバーレイで共に表示できます。自動選択 (ID) または CFI オーバーレイにアクセス (入) するために使用される従来のコマンドのどちらも、組み合わせ ID-CFI アドレス マップを表示させます。

ID-CFI アドレスマップは、ID-CFI 入力コマンド内で使用するアドレスによって選択されたセクター内に表示され、フラッシュ アレイ データをオーバーレイします。ID-CFI ASO が入っている間は、他のすべてのセクターの内容は未定義です。

ID-CFI アドレス マップは、選択されたセクタの 0 の位置から開始します。ID-CFI ASO の最大定義アドレス以上から、選択したセクターの最大アドレスまでの位置のデータは未定義です。ID-CFI 入力コマンドは前世代のメモリと同じアドレスとデータ値を使用してそれぞれ JEDEC 製造者 ID (自動選択) と共通フラッシュ インターフェース (CFI) 情報をアクセスします。

ID-CFI のアドレスマップの概要

ワードアドレス	説明	読み出し/書き込み
(SA) + 0000h ~ 000Fh	デバイス ID (従来の自動選択値)	読み出し専用
(SA) + 0010h ~ 0079h	CFI データ構造	読み出し専用
(SA) + 007Ah ~ 00FFh	未定義	読み出し専用

完全なアドレス マップについては 58 ページの「ID (オートセレクト) アドレス マップ」表をご参照ください。

5.2.1 デバイス ID

JEDEC の標準 JEP106T は、準拠メモリ用の製造者 ID を定義します。一般的な業界使用として、メモリ デバイスから製造者 ID とデバイス固有 ID を読み出す方法とフォーマットを定義しました。製造者 ID とデバイス ID 情報は、デバイスを対応するプログラミング アルゴリズムと自動的に一致させるように主にプログラミング機器に使用されます。スパンションはこの 32 バイトのアドレス空間内に追加フィールドを追加しました。

オリジナルの業界フォーマットは、x8、x16、x32 などあらゆるメモリ データ バス幅で動作できるように構成されました。ID コード値は従来はバイト幅ですが、バス幅アドレス境界に位置されます。よって、デバイス アドレス入力インクリメントは、常にデータ バスの最下位バイトに位置する ID コード付きの連続バイト、ワード、またはダブルワード位置を読み出します。デバイスのデータ バスはワード幅で、各コードバイトはワード位置の下半部 (下位バイト) に位置します。オリジナルの業界フォーマットでは上位バイトが常に 0 です。スパンションはアドレス空間のいくつかのワードで両方のバイトを使用するようにフォーマットを変更しました。デバイス ID のアドレス マップの詳細については 58 ページの「ID (オートセレクト) アドレス マップ」表をご参照ください。

5.2.2 共通フラッシュ メモリ インターフェース

JEDEC 共通フラッシュ インターフェース (CFI) 仕様 (JESD68.01) は、フラッシュ メモリ デバイスから読み出し可能な標準化されたデータ構造を定義し、全デバイス ファミリで使用されるベンダー固有ソフトウェア アルゴリズムを可能にします。データ構造には、さまざまな電氣的パラメーターとタイミング パラメーター、およびデバイスがサポートする特別な機能などのシステム構成情報が含まれます。ソフトウェア サポートはデバイスに依存せず、デバイス ID に依存せず、全フラッシュ デバイス ファミリで上位下位互換性があります。

システムは、58 ページの「9.3. デバイス ID と共通フラッシュインターフェース (ID-CFI) の ASO マップ」に示すように、選択されたセクタ内のアドレスにある CFI 情報を読み出すことができます。

デバイス ID 情報のように、CFI 情報は x8、x16、x32 などのメモリ データ バス幅で動作できるように構成されます。コード値は常にバイト幅ですが、データ バス幅アドレス境界に位置されます。よって、デバイス アドレスのインクリメントは、常にデータ バスの最下位バイトに位置するコード付きの連続バイト、ワード、またはダブルワード位置を読み出します。デバイスのデータ バスはワード幅で、各コード バイトはワード位置の下半部 (下位バイト) に位置し、上位バイトは常に 0 です。

詳細は、「Spansion CFI Specification, Version 1.4」(またはそれ以降のバージョン)、「および JEDEC publications JEP137-A and JESD68.01」の資料をご参照ください。JEDEC 標準については JEDEC (<http://www.jedec.org>) までご連絡ください。また、「Spansion CFI Specification」はスパンション社の本資料の発行時点におけるサイト (<http://www.spansion.com/Support/TechnicalDocuments/Pages/ApplicationNotes.aspx>) にアクセスしてご覧になるか、スパンションのサイトに掲載されている現地の販売代理店までお問い合わせください。

6. 組み込み動作

6.1 組み込みアルゴリズム コントローラー (EAC)

EAC は、不揮発メモリ状態を変更するために、フラッシュ メモリ アレイのプログラミングと消去を行うコマンドを受け取り、必要なすべての複雑な操作を実行します。これにより、ホスト システムはプログラムおよび消去のプロセスを管理する必要がなくなります。

EAC 動作は 5 つのカテゴリに分けられます。

- ディープ パワー ダウン
- スタンバイ (リードモード)
- アドレス空間の切替え
- 組み込みアルゴリズム (EA)
- アドバンスド セクター プロテクション (ASP) 管理

6.1.1 ディープ パワー ダウン

ディープ パワー ダウン (DPD) モードでは、消費電流は低レベルに駆動されます。ASO ではない場合、デバイスはアイドル状態の時に DPD モードに入る必要があります。また、デバイスは消去一時停止かプログラム一時停止状態の時に DPD モードに入ることもあります。

6.1.2 EAC スタンバイ

スタンバイ モードでは消費電流を大幅に低減できます。処理中のコマンドがなく、実行中の組み込みアルゴリズムもないとき、EAC はスタンバイ モードに入ります。その組み込みアルゴリズムの進行中にデバイスの選択を外すと (CS# が HIGH)、その動作が完了するまでデバイスは依然としてアクティブ電流を消費します (I_{CC3})。64 ページの「11.2. DC 特性 (CMOS 互換性)」の I_{CC4} はホスト インターフェースと EAC の両方がスタンバイ状態にあるときのスタンバイ電流の仕様を示しています。

6.1.3 アドレス空間の切替え

特定のアドレスとデータ配列 (コマンド シーケンス) を書き込むと、メモリ デバイスのアドレス空間をフラッシュ メモリ アレイからアドレス空間オーバーレイ (ASO) の 1 つに切り替えます。

組み込みアルゴリズムは、現在アクティブな (入っている) ASO で表示されている情報を対象にして動作します。システムが ASO 終了コマンドを発行し、ハードウェア リセットを実行するか、またはデバイスの電源が切られるまで、システムは ASO へのアクセスを継続します。ASO 終了コマンドは、ASO をフラッシュ メモリ アレイのアドレス空間に戻すように切り替えます。特定の ASO に入る時に許可されるコマンドは、コマンド定義テーブルの ASO エントリ コマンドと ASO 終了コマンドの間にリストアップされています。すべてのコマンド シーケンスのアドレスとデータの要件については、52 ページの「7.1. コマンドのまとめ」をご覧ください。

6.1.4 組み込みアルゴリズム (EA)

メモリアレイ内の不揮発性データの書換えには、自動アルゴリズム (EA) と呼ばれる複雑な動作シーケンスを必要とします。アルゴリズムはデバイスの内部組み込みアルゴリズム コントローラー (EAC) によって完全に管理されています。主要なアルゴリズムは、メイン アレイ データと ASO のプログラミングと消去を実行します。ホスト システムはフラッシュ デバイスのアドレス空間にコマンド コードを書き込みます。EAC はコマンドを受け取り、コマンドを完了するために必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

6.2 プログラムと消去の要約

フラッシュのデータ ビットは、セクターと呼ばれる大きなグループの中で、並列して消去されます。消去動作によりセクター内の各データ ビットが論理 1 状態 (HIGH) になります。フラッシュ データ ビットは、消去済み状態 (論理 1) からプログラム状態 (論理 0、LOW) に個別にプログラムできます。0 のデータ ビットをプログラムで 1 に戻すことはできません。読み出しを連続に実行すると、データが「0」のままであることを示します。0 から 1 に変換できるのは、消去動作のみです。同じワード位置を別の 0 ビットで複数回プログラムすると、直前のデータと新しくプログラムされたデータが論理和 (AND) されます。

プログラム動作と消去動作の時間を 56 ページの「8.. 組み込みアルゴリズム性能」に示します。

プログラムと消去動作を一時停止できます。

- 消去動作を中断 (一時停止) することで、消去動作中に (消去セクター以外の) 別のセクターのプログラムや読み出しを行うことができます。消去一時停止中は他の消去動作を開始できません。
- プログラム動作を中断することで、別の位置 (プログラム中のライン以外の位置) の読み出しを行うことができます。
- プログラム動作の中断中は、他のプログラム動作または消去動作を開始できません。つまり、プログラム動作の中断中はプログラム コマンドと消去コマンドが無視されます。
- 間に挟んだプログラム動作または読み出しアクセスが完了すると、中断していた消去動作やプログラム動作が再開されます。
- プログラム動作と消去動作は、必要に応じて何度でも中断できますが、プログラム動作または消去動作を進捗させ完了させるためには、再開コマンドと次の一時停止コマンドの間は 56 ページの「組み込みアルゴリズム性能」に示すように t_{PRS} または t_{ERS} 以上の時間を置く必要があります。
- 組み込みアルゴリズム (EA) が完了すると、EAC は、EA 開始 (消去一時停止または EAC スタンバイ) 前の動作状態とアドレス空間に戻ります。

システムは、ステータス レジスタを読み出してプログラム動作または消去動作のステータスを調べることができます (37 ページの「ステータス レジスタ」をご参照ください)。

組み込みプログラム アルゴリズムの実行中にデバイスに書き込まれるコマンドは、プログラム一時停止とステータス読み出しコマンド以外は無視されます。

組み込み消去アルゴリズムの実行中にデバイスに書き込まれるコマンドは、消去一時停止とステータス読み出しコマンド以外は無視されます。

ハードウェア リセットが発生すると、進行中のプログラム/消去動作が直ちに終了し、 t_{RPH} 時間後に読み出しモードに戻ります。データの整合性を確保するために、終了した動作は、デバイスがアイドル状態に戻ったら再開する必要があります。

パフォーマンスと信頼性を考慮したうえ、プログラミングは 16 バイトにアラインされたアドレス範囲を利用して 16 バイト ハーフページ上で内部的に行われます。

64 ページの「DC 特性 (CMOS 互換性)」の I_{CC3} は書き込み (組み込みアルゴリズム) 動作時のアクティブ電流仕様を示しています。

6.2.1 プログラム粒度

S26KL/S26KS は、ワードのプログラムと、書き込みバッファを使用したプログラムの 2 つの方式によるプログラムをサポートしています。

ワードプログラムは、コマンドによって提供されたデータワードを検査し、コマンドのデータワードの 0 と一致させるようにアドレス指定したメモリアレイのワードに 0 をプログラムします。

書き込みバッファプログラムは、書き込みバッファを検査し、書き込みバッファの 0 と一致させるようにアドレス指定したメモリアレイのラインに 0 をプログラムします。なお、書き込みバッファの全てをデータで満たす必要はありません。単一ビット、複数ビット、単一ワード、複数ワード、1 ハーフページ、複数ハーフページ、またはバッファ全てを 1 つのプログラム動作で実現できます。書き込みバッファ方式を使用すると、プログラムコマンドを書き込む時のホストシステムのオーバーヘッドが削減され、プログラム動作時のメモリデバイスの内部オーバーヘッドが削減されるため、書き込みバッファによるプログラムはより効率的になり、ワードプログラムコマンドによって個別ワードをプログラムする方式よりプログラム時間が更に短縮されます。

各ハーフページはそれらの方式のどちらかでプログラムできます。異なる方式でプログラムされたハーフページが 1 つのラインに混在する場合があります。

半ページで 2 回以上のワードプログラミングと書き込みバッファプログラミングはレガシーソフトウェア互換性にサポートされます。ただし、データ整合性を最優先にするために、半ページでワードプログラミングを 2 回以上実行すること、および書き込みバッファプログラミングを半ページで 2 回以上プログラムすることを推奨しません。同じ半ページで複数のプログラミング動作を要求するアプリケーションの場合、2 回以上プログラムされる半ページのデータ整合性を強化するためにシステムソフトウェアのエラー検出および訂正機能を追加することを推奨します。

シリコンでの次世代の HyperFlash では、半ページを含むセクターに消去動作がない同じ半ページでの複数プログラムの動作を対応しなくなる可能性があります。次世代向けソフトウェア置き換え計画として、半ページごとおよび 1 つの消去動作ごとの単一プログラム動作のみ対応するデータ構造とデータ管理方式を受け取るようにする必要があります。

6.2.2 追加プログラム

同じワード位置では、ワードまたはライトバッファプログラミング方式のいずれによっても、1 から 0 へのインクリメントな変更を 1 回以上プログラム可能です。ただし、22 ページの「6.2.1. プログラム粒度」に記述するように、追加プログラムはデータ整合性に影響を与えます。よって、2 回以上プログラムされる半ページのデータ整合性を強化するためにシステムソフトウェアのエラー検出および訂正機能を追加することを推奨します。

6.2.3 プログラム方式

6.2.3.1 ワードのプログラム

ワードプログラミングは、フラッシュメモリアレイの任意の場所に単一ワードやワードグループをプログラムするために使用されます。

ワードプログラムのコマンドシーケンスは最小で 4 つのコマンド書き込みトランザクションを要します。プログラムコマンドシーケンスは、ロックされない 2 つのコマンド書き込みトランザクション (トランザクション 1 と 2) の次にプログラム設定コマンド (トランザクション 3) を発行することで開始されます。プログラムアドレスとデータが次に書き込まれ (トランザクション 4)、順番に組み込みプログラムアルゴリズムが開始されます。システムは、さらに制御やタイミングを提供する必要はありません。デバイスは自動的にプログラムパルスを生成し、内部でプログラムされたセルマージンを検証します。組み込みプログラムアルゴリズムが完了すると、EAC はスタンバイモードに戻ります。

ワードプログラムコマンドシーケンスのこの 4 つのトランザクションは単一ワード (16 ビット) のプログラムに使用されます。バースト書き込み機能を使用することで、複数の順次ワードをワードプログラムシーケンスでプログラムできます。ロックされないプログラムのコマンドシーケンスは単一ワードプログラムシーケンスと同一ですが、データ/アドレストランザクション中に、1 回の CS# アサートで多くの順次データ値がロードされます。現存のデータは、バースト書き込みトランザクションのコマンド/アドレスフェーズで識別された対象のアドレスから開始する順次アドレスにプログラムされます。整理される 256 ワードアドレス境界を越えない限り、最大 256 ワードをプログラムできます。バースト書き込み方式でワードプログラムシーケンス中に複数のワードをロードする際に、クロックレートは 70 ページの「図 12.1. ワードプログラムコマンド中にマルチワードをロードしている間のバースト書き込みのタイミング図」に示す値以下でなければなりません。

システムは、ステータスレジスタを読み出してプログラム動作のステータスを調べることができます (37 ページの「ステータスレジスタ」)。

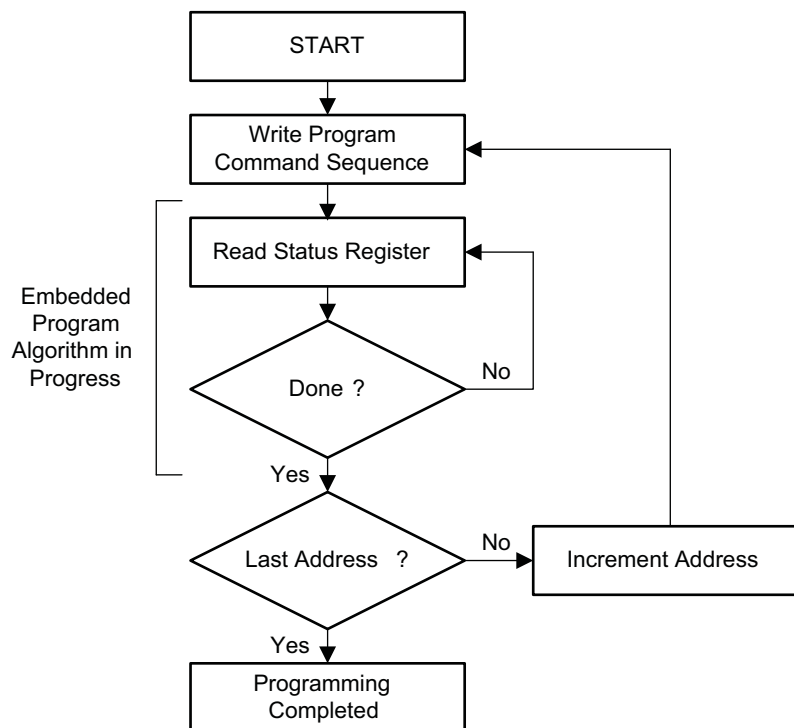
組み込みプログラム アルゴリズムの実行中にデバイスに書き込まれるプログラム一時停止とステータス レジスタ読み出し以外のコマンドはすべて無視されます。

ハードウェア リセット ($RESET\# = V_{IL}$) や電源切断により、プログラム動作が瞬時に終了し、 t_{RPH} 時間後にデバイスが読み出しモードに戻ることに、ご注意ください。しかし、この動作終了では、プログラム進行中の領域は、データ値が無効か不安定である中間的な状態になる場合があります。データが完全にプログラムされるために、デバイスのハードウェア リセット動作が完了すると、プログラム コマンドシーケンスは同様のデータで再度開始しプログラム動作を完成することができます。ただし、最高のデータ整合性を保証するためには、プログラム動作が終了されたセクターを消去し再プログラムする必要があります。

ワードプログラム コマンドは、SSR ASO に入ったときに使用することもできます。

ロックされない書き込みサイクルなしの修正済みワードプログラム コマンドは、ASP コンフィギュレーション レジスタ (ASPR)、パスワード、PPB ASO に入るときのプログラミングとして使用されます。PPB ロックと DYB ASO に入るときに、揮発性ビットを変更するためにも、同様のコマンドが使用されます。プログラム コマンドシーケンスについては、[ページ 52](#) の表をご覧ください。

図 6.1 ワードプログラム動作



6.2.3.2 書き込みバッファプログラム

書き込みバッファは、512 バイトの境界 (ライン) にアラインされた 512 バイトのアドレス範囲内のデータをプログラムする際に使用されます。このように、フルサイズの書き込みバッファ プログラム動作はライン境界に整列される必要があります。512 バイト以下のプログラム動作は、任意のワード境界で開始できますが、ライン境界を越えることはできません。書き込みバッファ プログラム動作の開始時に、バッファ内のすべてのビット位置は 1 (FFFFh ワード) であるため、ロードされない位置には既存のデータが保持されます。アドレス マップについては、[5 ページ](#)の「製品概要」をご覧ください。

書き込みバッファ プログラムでは、1 回の動作で最大 512 バイト プログラミングできます。各書き込みバッファ プログラム動作では、1 ビットから 512 バイトまでのプログラムが可能です。複数の 16 バイト (半ページ) に書き込み、各半ページは 1 回だけ書き込むことを強く推奨します。最高のパフォーマンスを得るには、512 バイト境界上の 512 バイト整列ライン全体でプログラムする必要があります。

書き込みバッファ プログラムはフラッシュ メモリ アレイまたは SSR ASO でのみサポートされます。

最初にロックされないサイクルを 2 回書き込みして、書き込みバッファ プログラム動作を開始します。その後、プログラミング中のセクター アドレス (SA) で、バッファ書き込みコマンドの 3 回目の書き込みサイクルが続きます。次に、システムはワード位置 -1 の値を書き込みます。これにより、デバイスはデータをロードする書き込みバッファ アドレス数を認識し、したがって、プログ

ラムバッファの確認コマンドの実行タイミングを認識します。バッファへの書き込みコマンドと、ワード数書き込みコマンド内のセクターアドレスは一致しなければなりません。プログラム対象のセクターはアンロック (非保護) になる必要があります。プログラミング動作をロックされたセクターで行おうとする場合、その動作は中止され、失敗がステータスレジスタに表示されます (38 ページの「ステータスレジスタ」表をご参照ください)。

この後、システムは開始アドレスとデータワードを書き込みます。この開始アドレスはプログラムされる最初のアドレスとデータのペアで、書き込みバッファライン内の開始アドレスを選択します。セクターアドレスは、バッファコマンドセクターアドレスへの書き込みと一致する必要があります。そうでない場合は、動作が中断され、開始状態に戻ります。それ以降のすべてのアドレスとデータのペアは順次に書き込まれる必要があります。すべての書き込みバッファアドレスは同じライン内にある必要があります。システムがこの範囲外のデータをロードしようとする、動作は中止され、開始状態に戻ります。

ワードカウンタは、データのロード動作毎にデクリメントします。データ書き込みをカウントダウンしながら、毎回の書き込みは、書き込みバッファへロードされているデータと見なされることに注意してください。書き込みバッファロード中は、すべてのコマンドが不可能です。書き込みバッファのロードを停止する唯一の方法は、プログラミング動作のライン外にあるアドレスを使って書き込むことです。無効なアドレスを受け取ると、バッファへの書き込みコマンドは直ちに停止し、バッファ書き込み停止ステータスビット (SR[3]) を設定します。

書き込みバッファ位置の指定した数をロードしたら、システムはセクターアドレスに対してプログラムバッファを書き込み、フラッシュコマンドを実行しなければなりません。デバイスはビジー状態になります。組み込みプログラムアルゴリズムはデータを自動的にプログラムし、データパターンが正しいかを検証します。システムは、これらの動作中に制御やタイミングを提供する必要はありません。書き込みバッファ位置の不正な数がロードされた場合、動作は中止され、開始状態に戻ります。ワードカウンタの最後にプログラムバッファフラッシュコマンドが書き込まれず、別のコマンドやデータが書き込まれると、動作は中止されます。

書き込みバッファの組み込みプログラム動作は、プログラム中止コマンドにより中止できます。組み込みプログラムアルゴリズムが完了すると、EAC は、プログラム動作が開始された時の EAC スタンバイまたは消去中止スタンバイの状態に戻ります。

システムは、ステータスレジスタを使用してプログラム動作のステータスを調べることができます (38 ページの「ステータスレジスタ」表をご参照ください)。プログラム動作図については、25 ページの「図 6.2. ステータスレジスターを使用した書き込みバッファプログラミング動作」を参照してください。

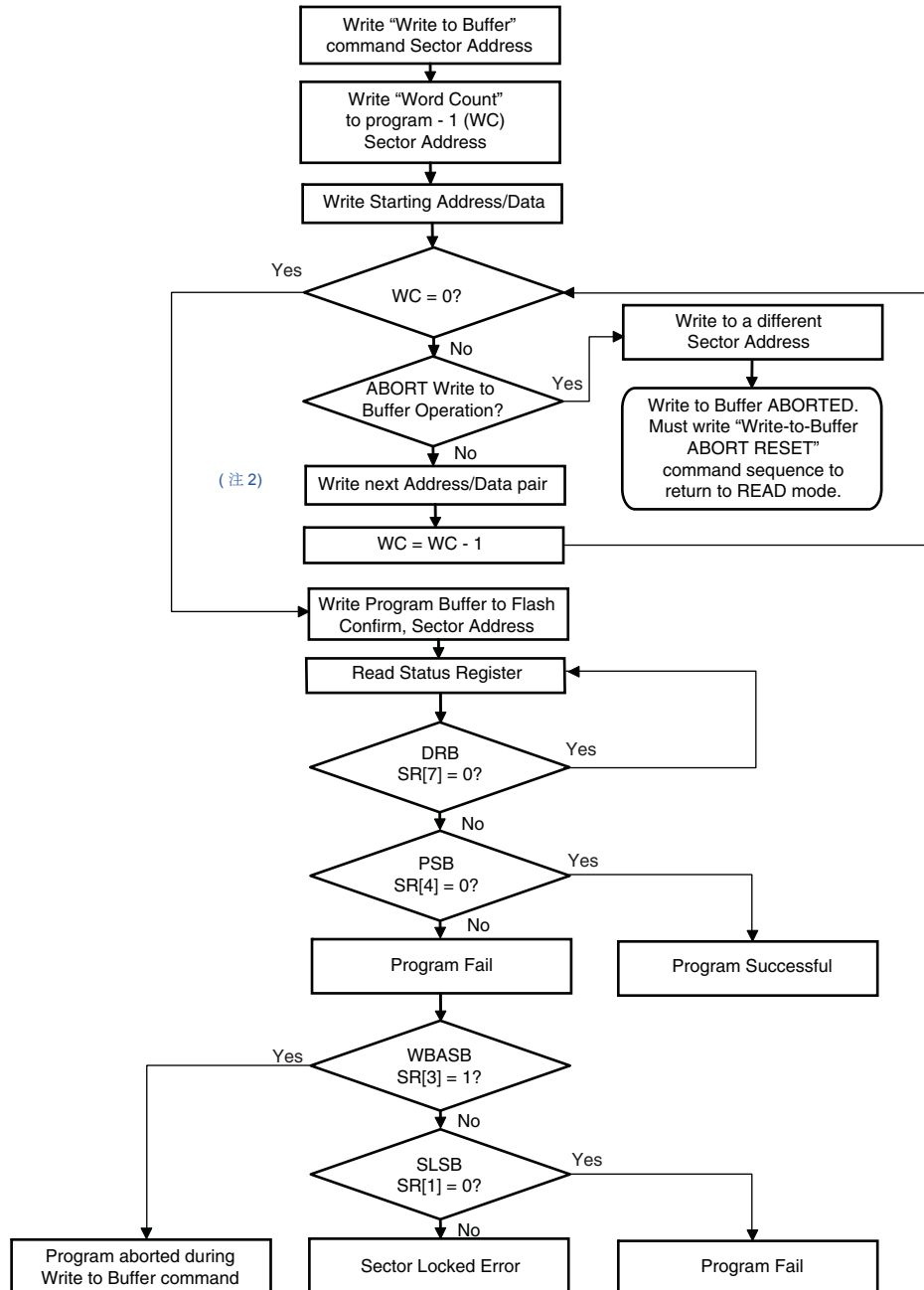
バッファ書き込みプログラミングシーケンスは、以下の条件で中止されます。

- バッファサイズ (255) を越えるワードカウント値をロードしました。
- バッファへの書き込みコマンドで指定されたラインに属さないアドレスを書き込みました。
- 書き込みワードカウント数で指定したデータワードがロードされた後に、フラッシュへのバッファプログラムコマンドが実行されませんでした。

バッファ書き込みコマンドの強制終了の原因となる何らかの状態が発生すると、動作は直ちに終了し、ステータスレジスタのビット位置 4 (PSB = 1) に、バッファ書き込み中止のビット位置 3 (WBASB = 1) によるプログラム失敗が報告されます。その後、プログラム動作が成功すると、この失敗の状態はクリアされます。またはクリアステータスレジスタが実行されて、PSB ステータスビットがクリアされます。

バッファ書き込みプログラミングシーケンスは、ハードウェアリセットまたはパワーサイクルにより終了させることができます。しかし、これらの方法のいずれかの使用は、中間的な不安定な状態のデータになってしまう場合があります。この場合は、同じデータで同じ領域を再プログラムするか、または消去してデータ値を正しくプログラムまたは消去する必要があります。最高のデータ整合性を確実にするために、プログラム動作が終了しセクターを消去し再プログラムする必要があります。

図 6.2 ステータス レジスタを使用した書き込みバッファ プログラミング動作



注:

1. バッファ書き込みプログラムに必要なコマンド シーケンスについては、52 ページの「コマンドの定義」表を参照してください。
2. セクター アドレスが指定された時、指定されたセクターのいずれのアドレスも有効になります。ただし、バッファ書き込みアドレス位置をデータと共にロードする場合は、アドレスはすべて、選択したバッファ書き込みページ内に収める必要があります。

書き込みバッファ プログラムでのコマンドシーケンス

シーケンス	アドレス	データ	注記
アンロック コマンド 1 を実行	555	AA	
アンロック コマンド 2 を実行	2AA	55	
セクタ アドレスでバッファ書き込みコマンドを実行	SA	0025h	
セクタ アドレスでロケーション数を実行	SA	WC	WC = プログラムするワード数 - 1
例: WC = 0: 1 ワードをプログラム WC = 1: 2 ワードをプログラム			
開始アドレス/データのペアをロード	開始アドレス	PD	1 行を選択し、最初のアドレス/データのペアをロード
次のアドレス/データのペアをロード	WBL	PD	アドレスはすべて、選択した行の境界内に収まり、逐次的な順序でロードされる 必要がある
最後のアドレス/データのペアをロード	WBL	PD	アドレスはすべて、選択した行の境界内に収まり、逐次的な順序でロードされる 必要がある
セクタアドレスでライトバッファプログラム確認コマンドを実行	SA	0029h	このコマンドは、ロードされた最後の書き込みバッファ ロケーションの直後に 実行しなければならない 。それ以外の場合は動作が終了
デバイスがビジーになる			

凡例:

SA = セクター アドレス (非セクターアドレス ビットは「ドント ケア」です。セクター内の任意のアドレスで十分です。)
WBL = 書き込みバッファ位置 (開始アドレスによって指定されたライト-バッファ-ラインの境界内である必要があります。)
WC = ワードカウント
PD = プログラム データ

6.2.4 プログラム中止/プログラム再開コマンド

プログラム中止コマンドにより、システムは組み込みプログラム動作に割り込み、中止されていない他のラインからデータを書き込むことができます。プログラミング実行中にプログラム中止コマンドを書き込むと、デバイスは t_{PSL} (プログラム中止レイテンシー) の間、そのプログラム動作を停止して、ステータス ビットを更新します。プログラム中止コマンドを書き込む際、アドレスは「ドント ケア」です。

プログラム動作が中止すると、システムは中止されていない任意のラインからデータ アレイを読み出せるようになります。消去中止時に他のセクターにプログラムしている場合でも、プログラム中止が可能です。この場合、消去中止またはプログラム中止状態になっていないアドレスのいずれかからでもデータを読み出すことができます。

プログラム再開コマンドを書き込むと、デバイスはプログラム動作に戻り、ステータス ビットが更新されます。システムは、ステータス レジスタを読み出してプログラム動作のステータスを調べることができます。これらのステータス ビットについては、[37 ページの「ステータス レジスタ」](#)を参照してください。

プログラム中止中に有効なアクセスとコマンドは次のとおりです。

- 非消去中止セクターに対する読み出し
- 非プログラム中止ラインに対する読み出し
- ステータス読み出しコマンド
- ASO 終了またはコマンドセット終了
- プログラム再開コマンド
- ロード割り込みコンフィギュレーション レジスタ
- ロード割り込みステータス レジスタ

プログラム中止モードを終了して、プログラム動作を続けるには、プログラム再開コマンドを書き込む必要があります。更にプログラム再開コマンドを書き込んでも無視されます。デバイスがプログラム動作を再開した後は、プログラム中止コマンドを再度書き込むことができます。

プログラム動作は、何度でも必要なだけ中止できますが、プログラム動作を進捗させ完了させるためには、再開コマンドと次の中止コマンドの間を、 t_{PRS} 以上にする必要があります。[20 ページの「組み込みアルゴリズム コントローラー \(EAC\)」](#)を参照してください。

プログラムの中止と再開は、ASO に入っている間はサポートされません。プログラムの中止の間は、ASO に入ることはサポートされません。

6.2.5 ブランクチェック

ブランク チェック コマンドにより、選択したフラッシュ メモリ アレイ セクターが完全に消去されているかどうかを確認できます。ブランク チェック コマンドの実行中は、対象アレイの読み出しはできなくなります。このコマンドの実行中に対象アレイを読み出すと、不明なデータが返されます。

任意のセクターでブランク チェックを開始するには、EAC がスタンバイ状態になっている時に、そのセクターのアドレス 555h に 33h を書き込みます。

デバイスがプログラムまたは消去を実行中、または中止中であると、ブランク チェック コマンドが書き込まれない場合があります。

ステータス レジスタの書き込みコマンドを使用して、デバイスがビジーであるかどうか、また、完了後にセクターがブランクになっているかどうかを確認してください。ステータス レジスタのビット 7 に、デバイスがブランク チェックを実行中であるかどうかを示されます (消去動作と同様)。ステータス レジスタのビット 5 は、セクターが消去された場合は 0 にクリアされ、消去されなかった場合は 1 にセットされます。

消去されなかったビットを発見するとすぐに、デバイスは動作を停止して、結果を報告します。

ブランク チェックが完了すると、EAC はスタンバイ状態に戻ります。

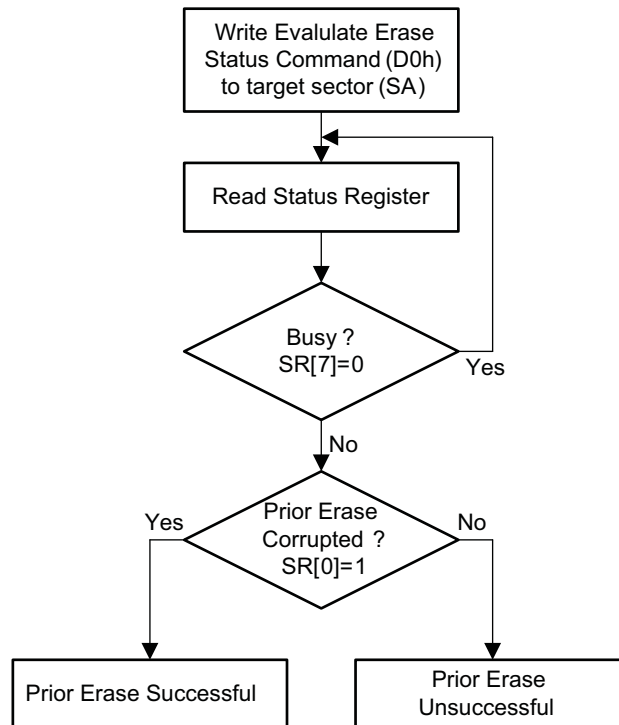
6.2.6 消去ステータス評価

消去ステータス評価 (EES) コマンドは、アドレス指定されたセクターの最後の消去動作が正常に完了したかを確認します。選択されたセクターが正常に消去された場合は、ステータス レジスタ内のセクター消去ステータス ビット (SR[0]) が 1 にセットされます。選択したセクターが完全に消去されていない場合は SR[0] が 0 にクリアされます。詳細は、28 ページの「[図 6.3. 消去ステータス評価ソフトウェアシーケンス](#)」を参照してください。

EES コマンドは、消去動作中の電力喪失、リセット、または失敗による消去動作を検出できます。

EES コマンドは、ステータス レジスタ内のセクター消去ステータス ビット (SR[0]) を完了し、更新するために t_{EES} を要します。ステータス レジスタ内のデバイス レディー ビット (SR[7]) は書き込みステータス レジスタ (70h) コマンドを使用して EES コマンドの完了タイミングを確定します。ステータス レジスタ内のデバイス レディー ビットは、デバイスがレディー (1) 状態に戻ったことを示したら、セクター消去ステータス ビット (SR[0]) は対象セクターが正常に消去されたかどうかを示します。任意のセクターが消去されない (SR[0] = 0) ことが検出された場合、そのセクター内のデータ格納を確保するために、セクターを再び消去しなければなりません。

図 6.3 消去ステータス評価ソフトウェア シーケンス



6.2.7 消去方式

6.2.7.1 チップ消去

チップ消去機能は、フラッシュ メモリ アレイ全体を消去します。消去の前にデバイスをプリプログラムする必要はありません。組み込み消去アルゴリズムは自動的にプログラムし、電氣的な消去実行の前に、メモリ全体がすべて 0 になっているかを検証します。チップ消去が正常に完了すると、デバイス内のすべての領域が FFFFh になります。システムは、これらの動作中に、制御やタイミングを提供する必要はありません。アンロック サイクル (2 回) の後に、セットアップ コマンドを書き込んで、チップ消去コマンドシーケンスを開始します。さらに、アンロック書き込みサイクル 2 回の後にチップ消去コマンドを書き込むと、組み込み消去アルゴリズムが開始します。

組み込み消去アルゴリズムが完了すると、EAC はスタンバイ状態に戻ります。組み込み消去動作の実行中は、デバイスから有効なデータを書き込むはできません。システムは、ステータス レジスタを読み出して消去動作のステータスを調べることができます。これらのステータス ビットについては、37 ページの「ステータス レジスタ」を参照してください。チップ消去動作が一旦開始すると、ステータス書き込み、ハードウェア リセット、パワー サイクルのみが有効です。その他のすべてのコマンドは無視されます。ただし、ハードウェア リセットまたはパワー サイクルを実行すると、消去動作が直ちに終了し、 t_{RPH} 時間後に読み出しモードに戻ります。チップ消去動作が終了した場合は、データの完全性を確保するために、デバイスがアイドル状態に戻ったらチップ消去コマンドシーケンスを再度実行してください。

ASP DYB および PPB ビットによって保護されたセクターは消去されません。52 ページの「ソフトウェアインターフェース参考資料」を参照してください。チップ消去は、保護されたセクターを飛ばして、次のセクターの消去を続行します。保護されたセクターで失敗した消去動作があっても、ステータス レジスタの消去ステータス ビットとセクター ロック ビットは 1 にセットされません。

6.2.7.2 セクター消去

セクター消去機能は、メモリ アレイ内の 1 つのセクターを消去します。消去の前にデバイスをプリプログラムする必要はありません。組み込み消去アルゴリズムは自動的にプログラムし、電氣的な消去の前に、セクター全体がすべて 0 になっているかを検証します。セクター消去が正常に完了すると、消去されたセクター内のすべての領域が FFFFh になります。システムは、これらの動作中に、制御やタイミングを提供する必要はありません。アンロック サイクル (2 回) の後に、プログラム セットアップ コマンドを書き込んで、セクター消去コマンドシーケンスを開始します。次に、追加の 2 つのアンロック書き込みサイクルの後に、消去対象セクターのアドレスと、セクター消去コマンドが続きます。

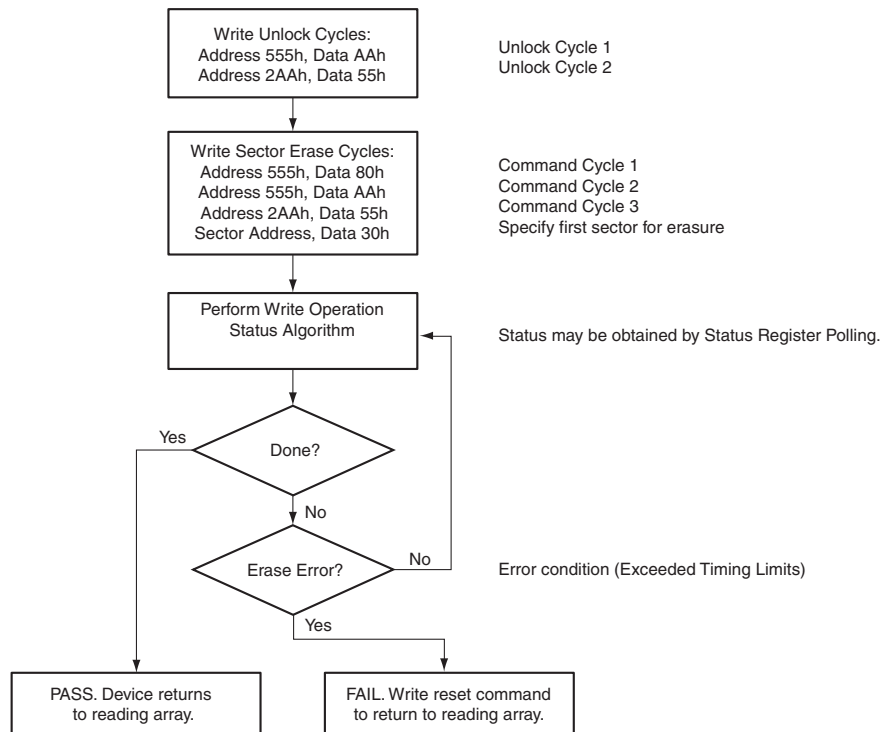
システムは、ステータス レジスタを読み出して消去動作のステータスを調べることができます。これらのステータス ビットについては、37 ページの「ステータス レジスタ」を参照してください。

一旦セクター消去動作が始まると、ステータス レジスタ書き込みコマンドと消去中止コマンドが有効となります。他のコマンドはすべて組み込みアルゴリズム コントローラーにより無視されます。ただし、ハードウェア リセットを実行すると、直ちに消去動作が終了し、 t_{RPH} 時間後に読み出しモードに戻ります。セクター消去動作が終了した場合は、デバイスの動作がリセットされたらセクター消去コマンドシーケンスを再度実行して、データの完全性を確保してください。

パラメーターとタイミング図については、20 ページの「組み込みアルゴリズム コントローラー (EAC)」を参照してください。

ASP DYB および PPB ビットによって保護されたセクターは消去されません。52 ページの「ソフトウェアインターフェース参考資料」を参照してください。プログラミング動作をロックされたセクターで行おうとする場合、その動作は中止され、失敗がステータス レジスタに表示されます (38 ページの「ステータス レジスタ」表を参照してください)。

図 6.4 セクター消去動作



6.2.8 消去中止／消去再開

消去中止コマンドを実行すると、システムはセクター消去動作を中止して、フラッシュメモリ アレイから／へのデータ読み書きができるようになります。このコマンドはセクター消去またはセクタープログラムの動作中にのみ有効です。チップ消去動作中に消去中止コマンドを書き込んでも無視されます。

セクター消去中に消去中止コマンドが書き込まれると、デバイスは消去動作を中止するまでに最大 t_{ESL} (消去中止レイテンシ) を必要とします。

消去動作が中止された後、デバイスは消去中止モードに入ります。この時、システムは、フラッシュメモリ アレイから／へのデータ読み出し／書き込みができるようになります。消去中止の対象セクター内のいずれかのアドレスから読み出すと、不確定なデータが返されます。システムは、ステータスレジスタを読み出すことで、セクターが消去中、あるいは消去中止中かどうかを調べることができます。これらのステータスビットについては、37 ページの「ステータスレジスタ」を参照してください。

消去中止中のプログラム動作が完了すると、EAC は消去中止状態に戻ります。通常のプログラム動作と同じように、システムはステータスレジスタを読み出すことで、プログラム動作の状態を確認できます。

消去中止中にプログラムが失敗した場合は、ステータスレジスタクリアまたはソフトウェアリセットコマンドにより、デバイスを消去中止状態に復帰させることができます。そのメモリアレイに再度プログラムする場合は、その前に消去を再開し完了させる必要があります。

以下は消去中止中に有効なアクセスとコマンドです。

- 中止状態でないセクターからの読み出し
- 中止状態でないセクターへのプログラム
- ステータス読み出しコマンド
- ASO 終了またはコマンドセット終了
- 消去再開コマンド
- SSR エントリ
- SSR 読み出し
- SSR プログラム

セクター消去動作を再開させるには、消去再開コマンドを書き込む必要があります。デバイスは消去動作に戻り、ステータスビットが更新されます。また、この後に再開コマンドを書き込んでも無視されます。チップが消去動作を再開すると、消去中止コマンドを再度書き込むことができます。

デバイスが消去中止状態である間はコマンドが DYB ASO に入力できないことに注意してください。

6.2.9 不揮発性コンフィギュレーションレジスタおよび揮発性コンフィギュレーションレジスタ

不揮発性構成レジスタ (NVCR) 及び揮発性構成レジスタ (VCR) は HyperFlash バスの動作条件を定義するために使用されます。以下は構成可能な特性です。

1. ラップ式バースト長 (16 バイト、32 バイト、または 64 バイトのラップ式バースト)
 - a. 16 バイトと、32 バイトのラップ式バーストは、従来の方法で動作し、64 バイトのラップ式バーストは 33 ページの「64 バイトラップバーストアドレスシーケンス (レイテンシコード = 16)」表のように動作します。
2. 読み出しレイテンシ (最初の読み出しレイテンシを可能にするために 5 ~ 16 のクロックを供給)
3. 出力ドライバー駆動強度
4. 4kB のパラメーターセクターが使用されるかどうか、そしてそれらがどのようにアドレスマップにマップされるか
5. セキュアシリコン領域をロックするための SSR フリーズビット
6. 揮発性コンフィギュレーションレジスタと不揮発性コンフィギュレーションレジスタをロックするための xVCR フリーズビット

52 ページの「コマンドの定義」表で説明するように VCR と NVCR の内容をロードし、読み戻すことができます。HyperFlash デバイスは、NVCR の内容を電源投入時、またはハードウェアリセット後にバス特性を定義するために使用します。ホストシステムが VCR をロードする場合、バス特性は VCR 内容によって定義されます (図 6.5 をご参照ください)。NVCR は、初期設定を保

持して起動中にホストコントローラ設定との整合を取るために意図されます。VCR は、起動中にしばしば最適設定に更新されます。VCR がロードされると、バス特性のソースが NVCR から VCR に (電源投入またはハードウェアリセット後) 切り替わります。一旦 VCR をロードした場合、バス特性は電源投入またはハードウェアリセットのみにより NVCR 設定に戻されます。VCR は、ロック解除されている限り、デバイスがアイドルの時にいつでも変更できます。

NVCR の消去および再プログラム可能な回数は n_NVCR 仕様で定義されています (57 ページの「プログラム/消去可能回数」表をご参照ください)。NVCR のプログラミング中およびその後にはバスコンフィギュレーションの一貫性を確保できるよう、NVCR プログラミング時に VCR をバス動作特性の定義に使用してください。

VCR と NVCR コンフィギュレーションレジスタビットの割り当て

xVCR ビット	機能	設定 (2進数)
xVCR.15	予約済み	1 - 予約済み (デフォルト)
xVCR14 - xVCR12	ドライブ強度	31 ページの「駆動強度」表を参照してください。
xVCR.11	xVCR フリーズ	0 - VCR または NVCR がロックされる (NVCR のプログラムや消去も VCR の変更もない) 1 - VCR と NVCR がロック解除される (工場出荷時のデフォルト状態)
xVCR.10	SSR フリーズ	0 - セキュアシリコン領域がロックされる (プログラムは不可) 1 - セキュアシリコン領域がロック解除される (工場出荷時のデフォルト状態)
xVCR.9 - xVCR.8	パラメーターセクタ マッピング	00 - パラメーターセクタと読み出しパスワードセクタは最下位のアドレスにマッピングされる 01 - パラメーターセクタと読み出しパスワードセクタは最上位のアドレスにマッピングされる 10 - ユニフォームセクタと読み出しパスワードセクタが最下位のアドレスにマッピングされる (工場出荷時のデフォルト状態) 11 - ユニフォームセクタと読み出しパスワードセクタが最上位のアドレスにマッピングされる
xVCR.7 - xVCR.4	読み出しレイテンシ	0000 - 5 クロック レイテンシ 0001 - 6 クロック レイテンシ 0010 - 7 クロック レイテンシ 0011 - 8 クロック レイテンシ 0100 - 9 クロック レイテンシ ... 1011 - 16 クロック レイテンシ (工場出荷時のデフォルト状態) 11 ページの「レイテンシコードオプションの最大動作周波数」表を参照してください。
xVCR.3	予約済み	1 - 予約済み (デフォルト)
xVCR.2	予約済み	0 - 予約済み (デフォルト)
xVCR.1 - xVCR.0	バースト長	00 - 予約済み 01 - 64 バイト 10 - 16 バイト 11 - 32 バイト (工場出荷時のデフォルト値)

注:

1. コンフィギュレーションレジスタビットの配置は、不揮発性と揮発性コンフィギュレーションレジスタでは同じです。

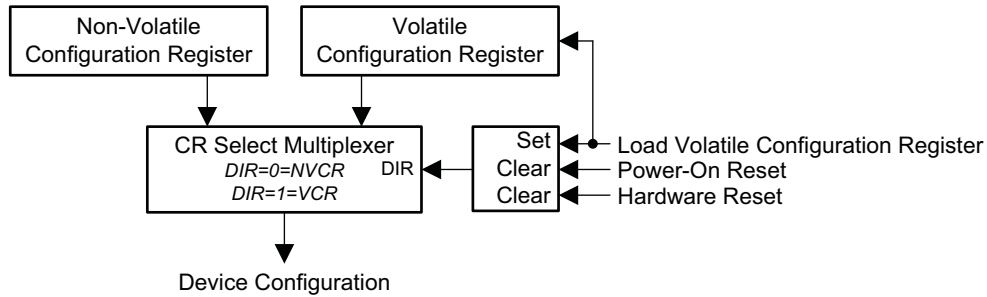
駆動強度

xVCR14 - xVCR12	標準インピーダンス 1.8V V _{CCQ}	標準インピーダンス 3V V _{CCQ}	単位
000 (デフォルト)	27	20	Ω
001	117	71	
010	68	40	
011	k45	27	
100	34	20	
101	27	16	
110	24	14	
111	20	12	

注:

1. 標準インピーダンスは基準 V_{CCQ} および 25°C で測定されます。

図 6.5 コンフィギュレーション制御



注:

- ソフトウェアリセットが発生してもCR選択マルチプレクサの状態は変わりません。
- NVCRをプログラミングまたは消去しても以前にロードしたVCR内容は影響を受けません。
- VCRがロードされていない場合、NVCRをプログラミングすると、VCRがNVCRの新しい値にロードされます。

電源投入やハードウェアリセットの直後のVCRとNVCRフリーズビット

NVCR.11 ビット	VCR.11 ビット	NVCR	VCR
1	1	プログラマブル/消去可能	設定可能/クリア可能
1	0	一時的ロック	一時的ロック
0	1	プログラマブル/消去可能	設定可能/クリア可能 (1)、(3)
0	0	恒久的ロック	恒久的ロック (4)

注:

- 次のPORまたはハードウェアリセットの後でない限り、NVCRのプログラミング/消去は動作に影響しません。
- VCRをロードすると、直ちに動作に影響を与えます。
- この影響は、NVCR[11] = VCR[11] = 1、かつNVCR[11]ビットがプログラムされると発生します。この状態は次のPORまたはハードウェアリセットまで維持します。その後は、NVCR[11] = VCR[11] = 0。
- VCRは、NVCR[11]が以前にプログラムされており、PORまたはハードウェアリセットが発生するとこの状態に入ります。

バーストシーケンス例

VCR / NVCR [1:0]	CA[45]	ラップバウンダリ (バイト)	開始アドレス (16進数)	アドレスシーケンス (16進数) (ワード)
XX	1	リニア	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, など
10	0	16	XXXXXX02	02, 03, 04, 05, 06, 07, 00, 01, など
10	0	16	XXXXXX0C	0C, 0D, 0E, 0F, 08, 09, 0A, 0B, など
11	0	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, など
11	0	32	XXXXXX1E	1E, 1F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, など
01	0	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, など
01	0	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, , ...

6.2.10 ASO へのエントリおよび終了

6.2.10.1 ID-CFI ASO

システムは読み出しモード中に ID-CFI エントリ コマンド シーケンスを実行することで、ID-CFI ASO にアクセスできます。このエントリ コマンドは、コマンド内のセクター アドレス (SA) を使用して、どのセクターがオーバーレイされるかを確認します。詳細については、52 ページの「コマンドの定義」表、18 ページの「ID-CFI のアドレスマップの概要」表、18 ページの「5.2.1. デバイス ID」、19 ページの「5.2.2. 共通フラッシュ メモリ インターフェース」を参照してください。

ID-CFI ASO では次の動作が行えます。

- 入力コマンドで使用した SA と同じ SA を使用して ID-CFI ASO を読み出すことができます。
- ASO を終了します。

以下は CFI へのエントリおよび終了関数を使用した C ソースコードの例です。スパンション フラッシュ メモリ ソフトウェア開発ガイドラインについては、Spancion Low Level Driver User Guide を参照してください。

```
/* Example: CFI Entry command */
*( (UINT16 *)base_addr + 0x55 ) = 0x0098; /* write CFI entry command */

/* Example: CFI Exit command */
*( (UINT16 *)base_addr + 0x000 ) = 0x00F0; /* write cfi exit command */
```

6.2.10.2 ステータス レジスタ ASO

ステータス レジスタの読み出しコマンドを実行すると、レジスタが現在のステータスを取得し、ASO に入ります。ステータス レジスタ ASO で読み出すと、ASO から抜け出し、ステータス レジスタの読み出しコマンド実行直前に使用していたアドレス空間マップに戻ります。ステータス レジスタ ASO を終了するには、ステータスを読み出す前に、他のコマンドを送信しないでください。ステータス レジスタの内容は、バースト読み出しの最初のデータ値としてのみ出力され、次のクロック サイクルでは不定のデータが出力されます。

6.2.10.3 セキュア シリコン領域 ASO

システムは、リードモード中にセキュアシリコン領域エントリ コマンド シーケンスを実行することで、セキュア シリコン領域にアクセスできます。このエントリ コマンドは、コマンド内のセクター アドレス (SA) を使用して、どのセクターがオーバーレイされるかを確認します。

セキュア シリコン領域 ASO では次の動作が行えます。

- エントリ コマンドで使用した SA と同じ SA を使用してセキュア シリコン領域を読み出します。オーバーレイされた SA を使用して SSR 外の領域を読み出すと不確定データが返ります。
- セキュア シリコン領域外の SA を読み出すと、アレイ データが取得されます。このアレイを読み出す場合、SSR ASO を終了しません。
- ワードまたは書き込みバッファのプログラム コマンドを使用して、お客様用セキュアシリコン領域をプログラムします。
- ソフトウェア下位互換性のための、レガシーのセキュアシリコン終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫したい場合に行います)。

6.2.10.4 ASP コンフィギュレーション レジスタ (ASPR) ASO

システムは、読み出しモード中に ASP コンフィギュレーション レジスタ エントリ コマンド シーケンスを実行することで、ASP コンフィギュレーション レジスタにアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクター アドレスを使用しません。ASP レジスタはデバイス アドレス空間のワード位置 0 に配置されます。デバイス アドレス空間の他のすべての位置は未定義となります。

ASP コンフィギュレーション レジスタ ASO では次の動作が行えます。

- デバイスのアドレス位置 0 を使用して ASP コンフィギュレーション レジスタを読み出します。
- ワードプログラミング コマンドを変更してお客様用 ASP コンフィギュレーション ビットをプログラムします。
- ソフトウェア下位互換性のためにレガシーのコマンドセット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫にしたい場合に行います)。

6.2.10.5 パスワード ASO

システムは、リードモード中にパスワードエントリコマンドシーケンスを実行することで、パスワード ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクター アドレスを使用しません。パスワードは、デバイス アドレス空間のワード位置 0 ~ 3 に現れます。デバイス アドレス空間の他のすべての位置は未定義となります。

パスワード ASO では次の動作が可能です。

- デバイスのアドレス位置 0 ~ 3 を使用した、パスワードの読み出し。
- アンロック サイクルなしのワードプログラミング コマンドを使用してパスワードをプログラムします。
- パスワードアンロック コマンドを使用して PPB ロック ビットのロックを解除します。
- ソフトウェア下位互換性のためにレガシーのコマンドセット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫にしたい場合に行います)。

6.2.10.6 PPB ASO

システムは、読み出しモード中に PPB エントリコマンドシーケンスを実行することで、PPB ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクター アドレスを使用しません。あるセクターの PPB ビットが、そのセクター内のすべてのワード位置のビット 0 に現れます。

PPB ASO では次の動作が行えます。

- セクター内の任意のワードのビット 0 内にあるセクターの PPB 保護ステータスを読み出します。
- アンロックサイクルなしのワードプログラミングコマンドを使用して、PPB ビットをプログラムします。
- PPB 消去コマンドですべての PPB ビットを消去します。
- ソフトウェア下位互換性のためにレガシーのコマンドセット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫にしたい場合に行います)。

6.2.10.7 PPB ロック ASO

システムは、読み出しモード中に PPB ロック エントリ コマンド シーケンスを実行することで、PPB ロック ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクター アドレスを使用しません。グローバル PPB ロックビットが、そのデバイスのすべてのワード位置のビット 0 に現れます。

PPB ロック ASO では次の動作が行えます。

- デバイス アドレス空間の任意のワードの PPB ロック保護ステータスのビット 0 を読み出します。
- アンロック サイクルなしのワードプログラミング コマンドを使用して、PPB ロック ビットをクリアします。
- ソフトウェア下位互換性のためにレガシーのコマンドセット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫にしたい場合に行います)。

6.2.10.8 動的保護ビット (DYB) ASO

システムは、読み出しモード中に DYB エントリ コマンド シーケンスを実行することで、DYB ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクター アドレスを使用しません。各セクターの DYB ビットが、そのセクター内のすべてのワード位置のビット 0 に存在します。

DYB ASO では次の動作が可能です。

- セクター内の任意のワードのビット 0 のセクターの DYB 保護ステータスを読み出します。
- アンロックサイクルなしのワードプログラミングコマンドを使用して、DYB ビットを設定します。
- 変更したワードプログラミング コマンドを使用して、DYB ビットを消去します。
- ソフトウェア下位互換性のためにレガシーのコマンドセット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫にしたい場合に行います)。

6.2.10.9 ソフトウェア (コマンド) リセット / ASO 終了

ソフトウェアリセットはコマンドセット (52 ページの「コマンドの定義」表をご参照ください) の一部で、EAC をスタンバイ状態に復帰させる働きもします。必ず、以下の条件の場合に使用してください。

- ID/CFI モードの終了
- タイムアウト発生時に、データ ポーリング用のタイムアウト ビット (DQ5) を消去

ソフトウェアリセットを実行しても EA モードへの影響はありません。いったんプログラムまたは消去が開始された後は、その動作が完了するまで、リセットコマンドは無視されます。ソフトウェア リセットを実行しても出力への影響はありません。ソフトウェア リセットの第一の役割は、ASO モードから、または失敗したプログラム動作または消去動作から、読み出しモードに復帰させることです。

ソフトウェア リセットを実行すると、無効なコマンド シーケンスに由来する未定義状態からリードモードに戻ることがあります。一部の未定義状態から通常動作に復帰させるには、ハードウェア リセットが必要になる場合があります。

ソフトウェア リセットのレイテンシの要件はありません。リセット コマンドは、 t_{WPH} の間に実行されます。

6.2.11 ステータス レジスタ

プログラムおよび消去動作のステータスは、単一 16 ビットのステータス レジスタによって提供されます。ステータス レジスタ読み出しコマンドが作成された後、ステータス レジスタ情報への読み出しアクセスが 1 回続きます。ステータス レジスタの内容はデバイス アドレス空間のすべてでエイリアス (オーバーレイ) されます。オーバーレイは、1 回の読み出しアクセス、特に、ステータス レジスタ読み出しコマンドに続く次の読み出しアクセスに対して有効です。ステータス レジスタに 1 回アクセスした後で、ステータス レジスタ ASO は終了します。

ステータス レジスタには、最も直近に完了した組み込みアルゴリズム (EA) の結果 (成功または失敗) に関するビットが、次のように示されます。

- 消去ステータス (ビット 5)
- プログラム ステータス (ビット 4)
- 書き込みバッファ中断 (ビット 3)
- セクター ロック済みステータス (ビット 1)
- セクター消去ステータス ビット (ビット 0)

また、処理中の EA の現在の状態に関するビットが、次のように示されます。

- デバイス ビジー (ビット 7)
- 消去中止 (ビット 6)
- プログラム中止 (ビット 2)

現在の状態ビットは、EA が現在処理中か、サスペンド (中断) 中か、完了かを示しています。

上位 7 ビット (ビット 15 : 9) は予約済みです。これらのビットは未定義の High または Low の値を持っており、この値はあるステータス読み出しから別のステータス読み出しに変更可能です。これらのビットはドントケアとして扱うべきであり、ステータスを読むすべてのソフトウェアによって無視されます。

クリア ステータス レジスタ コマンドおよびソフトウェア リセット コマンドはステータス レジスタの結果関連ビット (ビット 5、4、3、1 および 0) を 0 にクリアしますが、現行のステータス ビットには影響を与えません。

ステータス レジスタ

ビット番号	15:9	8	7	6	5	4	3	2	1	0
ビットの説明	予約済み	予約済み	デバイス レディ ビット	消去 サスペンド ステータス ビット	消去 ステータス ビット	プログラム ステータス ビット	ライト バッ ファ アポー トステータ スビット	プログラム サスペンド ステータス ビット	セクタ ロック ステータス ビット	セクタ消去 ステータス ビット
ビット名			DRB	ESSB	ESB	PSB	WBASB	PSSB	SLSB	ESTAT
リセット ステータス	X	0	1	0	0	0	0	0	0	0
ビジー ステータス	無効	無効	0	無効	無効	無効	無効	無効	無効	無効
レディ ステータス	X		1	0 = サスペン ド中の消去 なし 1 = サスペン ド中の消去 あり	0 = 消去成功 1 = 消去失敗	0 = プログラ ム成功 1 = プログラ ム失敗	0 = プログラ ムをアポー トさせない 1 = ライト バッファ コマ ンドの実行中 にプログラ ムをアポー トさせる	0 = サスペン ド中のプロ グラムなし 1 = サスペン ド中のプロ グラムあり	0 = 動作中に セクターを ロックさせ ていない 1 = セクタ ロック済み エラー	0 = セクタ消去 状態コマンド の結果 = 直前 の消去が成功 裡に完了でき ない 1 = セクタ消去 状態コマンド の結果 = 直前 の消去が成功 に完了できる

注:

- ビット 15 ~ 9 は将来の使用のために予約され、0 または 1 を表示します。これらのビットは、状態をチェックする時に無視 (マスク) される必要があります。
- デバイスに実行中の組み込みアルゴリズムがない場合、ビット 7 は 1 です。
- ビット 8 およびビット 6 ~ 0 は、ビット 7 が 1 である場合のみ、有効になります。
- すべてのビットは、コールドリセットまたはウォームリセットが実行されるとリセットのステータスになります。
- ビット 5、4、3、1 および 0 は、クリアステータスレジスタコマンドまたはソフトウェアリセットコマンドによって、0 にクリアされます。
- 消去サスペンドコマンドを発行すると、ユーザーは DRB が 1 になるまでにステータスを読み出し続ける必要があります。
- ESSB は消去再開コマンドにより 0 にクリアされます。
- ESB には、最新の消去操作の成功または失敗が反映されます。
- PSB には、最新のプログラム操作の成功または失敗が反映されます。
- 消去中止中に中止セクターへプログラミングすればそのプログラミングは失敗し、プログラムステータスビットが 1 に設定されます。
- 消去中止中に消去すればその消去が失敗し、消去ステータスビットが 1 に設定されます。
- プログラム中止中に、プログラミングすればそのプログラミングが失敗し、プログラムステータスビットが 1 に設定されます。
- プログラム中止中に、消去操作することは消去失敗の原因であり、消去ステータスビットを 1 に設定します。
- プログラム中止コマンドを実行すると、ユーザーは DRB が 1 になるまでステータスを読み出し続ける必要があります。
- PSSB はプログラム再開コマンドで 0 にクリアされます。
- SLSB はターゲットメモリ領域がロックされているためにプログラムまたは消去操作が失敗したことを示します。
- SLSB には最新のプログラム動作または消去動作のステータスが反映されます。

6.2.12 エラー タイプおよび消去手順

組み込み動作ステータス方式により報告されるエラーには 3 タイプあります。エラー タイプによって、報告されるエラー ステータスとエラー ステータスのクリア手順が異なります。以下で、エラー ステータスのクリア手順について説明します。

- エラーの前に ASO に入っていた場合は、デバイスは ASO に入ったままとなり、ASO の読み出しまたはコマンド待機状態となります。
- エラーの前に消去を中止していた場合は、デバイスは消去中止状態に戻り、フラッシュアレイの読み出しまたはコマンド待機状態となります。
- それ以外の場合は、デバイスはスタンバイ状態になり、フラッシュアレイの読み出しまたはコマンドの待機状態となります。

6.2.12.1 組み込み動作エラー (および無効パスワード)

組み込み動作 (プログラム、イレーズ、ブランクチェック、パスワードアンロック) の間にエラーが発生した場合は、組み込みアルゴリズム コントローラーは有効のままになります。ステータス レジスタは、レディーを示し、(SR[7] = 1) エラーの原因を示す有効なステータス ビットを示します。ホスト システムのステータス監視によりエラー ステータスが検出され、エラー ステータスがクリアされるまで、組み込みアルゴリズムは有効のままになります。

組み込みアルゴリズム (EA) がエラー状態にある間は、ステータス レジスタは以下のように表示されます。

- SR[7] = 1、有効のステータスを表示
- SR[6] = X、EA エラー中に消去中止が可能かどうかを示す
- SR[5] = 1: 消去またはブランクチェック エラー。そうでない場合は SR[5] = 0
- SR[4] = 1: プログラム エラーまたは無効なパスワード。そうでない場合は SR[4] = 0
- SR[3] = X ; 「ドント ケア」として扱う (マスク)
- SR[2] = 0、中止中のプログラムなし
- SR[1] = 0
- SR[0] = X ; 「ドント ケア」として扱う (マスク)

自動アルゴリズムのエラーステータスが検出された場合は、通常動作に戻し、新しいリードまたはコマンドライトを行えるようにするには、エラーステータスをクリアする必要があります。エラーステータスは、以下を書き込むことでクリアできます。

- リセットコマンド
- ステータス レジスタ消去コマンド

組み込みアルゴリズムがエラー状態にある間に受けられるコマンドは次のとおりです。

- ステータス レジスタ読み出し
- リセットコマンド
- ステータス レジスタ消去コマンド

6.2.12.2 プロテクトエラー

自動アルゴリズムが、保護設定された領域内でデータの変更を試みると (保護設定されたセクタまたは OTP 領域に対するプログラム動作またはイレーズ動作)、デバイス (EAC) は 20 ~ 100 μ s 間ビジーになった後、通常動作に戻ります。保護メカニズムは DYB、PPB、およびロックが含まれています。ビジーの間に、ステータスレジスタは無効なステータスビットでレディではない状態を示します (SR[7]=0)。プログラミングまたは消去動作をロックされた領域で行おうとする場合、その動作は中止され、失敗がステータスレジスタに表示されます (38 ページの「ステータスレジスタ」表をご参照ください)。

保護エラー ステータスによるビジーの間に受けられるコマンドは次のとおりです。

- ステータスレジスタ読み出し

ビジー期間が終了すると、デバイスは通常動作に戻り、ステータスレジスタは有効なステータスビットによりレディ状態を示します。この時デバイスは、フラッシュアレイへの新しいコマンドの読み書きを受け付ける準備ができています。

プロテクトエラー ステータスによるビジー期間後は、ステータスレジスタの表示は次のようになります。

- SR[7] = 1: 有効ステータスが表示された
- SR[6] = X: 保護エラーによるビジー期間後に消去中止があったかどうか
- SR[5] = 1: 消去エラーが発生した場合に示す。そうでなければ SR[5] = 0
- SR[4] = 1: プログラムまたはパスワードロック解除エラーが発生した場合に示す。そうでなければ SR[4] = 0
- SR[3] = X ; 「ドント ケア」として扱う (マスク)
- SR[2] = 0: 中止中のプログラムなし
- SR[1] = 1: 保護エリア書き換え処理実行エラー
- SR[0] = X ; 「ドント ケア」として扱う (マスク)

保護エラー ステータスによるビジー期間後に受けられるコマンドは次のとおりです。

- すべてのコマンド

プログラム ステータスビットが設定された場合は、さらにプログラム動作を行うと SR[4] がクリアされます。消去ステータスビットが設定された場合は、さらに消去動作を行うと SR[6] がクリアされます。

6.2.12.3 書き込みバッファ中止

バッファへの書き込みコマンドの実行中にエラーが発生すると、デバイス (EAC) はビジーのままになります。ステータスレジスタは、有効なステータスビットでレディ状態を示します。ホストシステムのステータス監視によりエラーステータスが検出され、エラーステータスがクリアされるまで、デバイスはビジーのままになります。

組み込みアルゴリズム (EA) がエラー状態にある間は、ステータスレジスタは以下のように表示されます。

- SR[7] = 1: 有効ステータスを表示
- SR[6] = X: WBA のエラーステータスで、消去中止があったかどうかを示す
- SR[5] = 0: 正常に消去した
- SR[4] = 1: プログラム関係のエラーが発生した。そうでなければ、SR[4] = 0
- SR[3] = 1、バッファ書き込み中断
- SR[2] = 0: 中止中のプログラムなし
- SR[1] = 0: 動作中にセクターはロックされていない
- SR[0] = X: 「ドントケア」として扱う (マスク)

WBA のエラーステータスが検出された場合は、通常動作に戻し、新しいリードまたはコマンドライトを行えるようにするには、エラーステータスをクリアする必要があります。エラーステータスは、以下を書き込むことでクリアできます。

- バッファ書き込み中止リセットコマンド
 - ステータスレジスタをクリアし、通常動作に戻ります。
- ステータスレジスタ消去コマンド

組み込みアルゴリズムがエラー状態にある間に受けられるコマンドは次のとおりです。

- ステータスレジスタ読み出し
 - ステータスレジスタを読み出して、WBA ビジー状態に戻ります。
- バッファ書き込み中止リセットコマンド
- ステータスレジスタ消去コマンド

組み込みアルゴリズムを実行している間、ステータスレジスタ読み出しに関係ない読み出しトランザクションを行うと、RWDS が切り替わり、不確定データが返ります。

6.3 データ保護

6.3.1 セキュア シリコン領域

各デバイスは、フラッシュ メモリアレイとは分割された 1024 バイトのワнтаイム プログラム可能なセキュア シリコン領域 (SSR) のアドレス空間を持っています。SSR 領域は 32 の領域に分割され、それぞれが単独にロックでき、32 バイト整列長です。

アドレス 0 から始まる 32 バイトの領域では、

- 最下位 16 アドレス バイトは、スパンションによって 128 ビットの乱数でプログラムされます。スパンションのみがこれらのバイトをプログラムできます。これらの位置に 0 をプログラムしようとする場合、そのプログラム動作が失敗し、プログラム ステータス エラーが発生します (SR[4] = 1)。
- 次の上位 4 アドレス バイト (SSR ロック バイト) は恒久的に各領域をプログラミングから保護するために SSR 領域ごとに 1 ビットを提供するために使用されます。スパンション出荷時にこれらのバイトは消去されます。SSR 領域は、プログラムした後、SSR ロック バイト単位の関連する保護ビットをプログラムすることで、さらなるプログラミングをロックすることができます。
- 最下位アドレス領域の次の上位 12 バイトは、将来の使用 (RFU) のためにリザーブ (予約) されています。これらの RFU のバイト内のビットは、ホストシステムによりプログラムできますが、将来のデバイスにより、より大きな SSR 領域の保護に使用する場合があることを理解しておいてください。スパンション出荷時にこれらのバイトは消去されます。

残りの領域は、出荷時に消去され、追加の恒久的なデータをプログラミングできます。

43 ページの「[図 6.6. SSR アドレス空間](#)」に SSR のメモリ空間の図を示します。

SSR メモリ空間はシステム セキュリティ強化のために企画されています。スパンションによってプログラムされる乱数のような SSR 値は、フラッシュ コンポーネントをシステム CPU / ASIC とを「メイト」するために使用できます。

コンフィギュレーション レジスタ SSR フリーズ (xVCR10) ビットは、全体 SSR のメモリ空間を 0 にクリアされる (または NVCR にプログラムされる) 時にプログラミングから保護します。

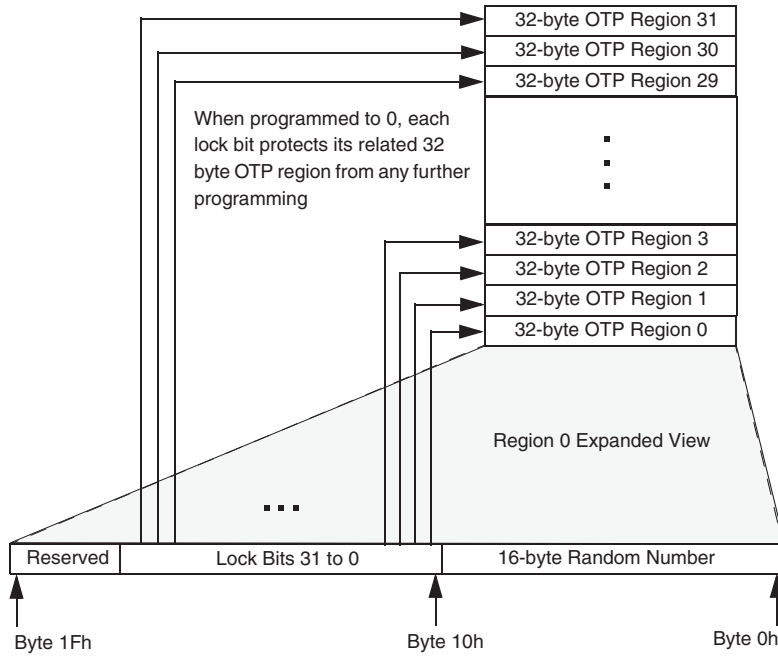
6.3.1.1 セキュア シリコン領域メモリ空間の読み出し

SSR 領域の読み出しは、SSR ASO に入ってから、SSR のエントリ シーケンスを使用して行われます。SSR は、SSR エントリ コマンド シーケンスの間に識別された特定のセクターにマッピングされます。SSR エントリ コマンド シーケンス中に識別セクター内でかつ有効な 8kB SSR アドレス範囲外で SSR を読み出すと、不確定のデータを取得します。SSR ASO によってオーバーレイされるセクターを読み込むと配列データを取得します。SSR 終了シーケンスを実行すると、デバイスがアレイ読み出し ASO に戻ります。

6.3.1.2 セキュア シリコン領域メモリ空間のプログラミング

SSR メモリのプログラミングは、SSR ASO に入ってから、SSR のエントリ シーケンスを使用して行われます。SSR プログラミング コマンドのプロトコルは、通常のアレイ プログラミングと同じです。SSR のプログラミング シーケンスは、特定の SSR のアドレスに複数回実行できますが、このアドレス空間を消去することはできません。43 ページの「[図 6.6. SSR アドレス空間](#)」に SSR プログラムが許可されるアドレス範囲を示します。有効な SSR アドレス範囲外での SSR プログラム動作は、アドレス A9 以上を無視し、有効な SSR アドレスの範囲内にアリアスします。フリーズ = 0 の時に、SSR プログラムを行うと失敗し、その失敗は示されません。ASP 保護モードを選択しても、SSR アドレス空間が保護されません。フリーズ SSR ビット (xVCR.10) は SSR アドレス空間を保護するために使用できます。SSR 終了シーケンスを実行すると、デバイスが読み出しモードに戻ります。

図 6.6 SSR アドレス空間



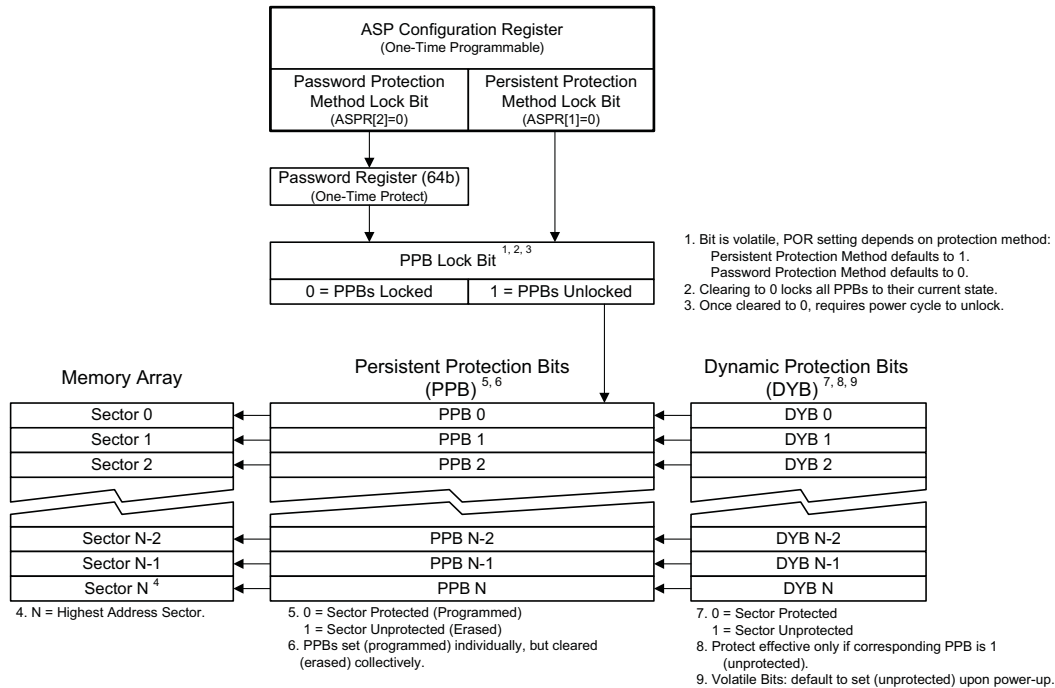
SSR アドレス マップ

領域	バイトアドレス 範囲 (16 進数)	目次	初期デリバリー状態 (16 進数)
領域 0	0000	Spansion がプログラムする ランダム番号の最下位バイト	Spansion がプログラムする ランダム番号
	
	000F	Spansion がプログラムする ランダム番号の最上位バイト	
	0010 - 0013	領域ロック ビット バイト 10 [ビット 0] は 0 である時は 領域 0 をプログラムから保護 ... バイト 13 [ビット 7] は 0 である場合は 領域 31 をプログラムから保護	全バイト = FF
	0014 - 001F	将来に使用するために予約済み (RFU)	全バイト = FF
領域 1	0020 - 003F	ユーザー プログラミング用に使用可能	全バイト = FF
領域 2	0040 - 005F	ユーザー プログラミング用に使用可能	全バイト = FF
...	...	ユーザー プログラミング用に使用可能	全バイト = FF
領域 31	03E0 - 03FF	ユーザー プログラミング用に使用可能	全バイト = FF

6.3.2 Advanced Sector Protection (セクターの高度な保護)

Advanced Sector Protection (ASP) は、1つのセクター、またはすべてのセクターで、プログラム動作や消去動作を個別に無効または有効にするための、独立したハードウェアおよびソフトウェア手段の一式です。本節では、メモリ アレイに保存されたデータのさまざまな保護手段を説明します。これらの方式の概要を図 6.7 に示します。

図 6.7 Advanced Sector Protection の概要



各フラッシュ メモリ アレイには関連する不揮発性 (PPB) と揮発性 (DYB) の保護ビットがあります。いずれかのビットが 0 であると、セクタはプログラム動作やイレーズ動作から保護されます。

PPB ビットは、PPB ロックビットが 0 である場合に、プログラムやイレーズから保護されます。PPB ロックビットの状態を管理する方式には、恒久保護およびパスワード保護の 2 つがあります。

恒久的保護方式では、POR またはハードウェア リセット時に PPB ロック ビットを 1 にセットし、PPB ビットがデバイス リセットによって非保護となるようにします。ソフトウェア リセットが発生しても PPB ロック ビットに影響しません。PPB を保護するために、PPB ロック ビットを 0 にクリアするためのコマンドがあります。恒久的保護方式では、PPB ロックビットをセットするためのコマンドはないため、次の電源切断またはハードウェアリセットまで、PPB ロックビットは 0 のままになります。恒久的な保護方法は、プログラミングまたは PPB 消去によってセクター変更を保護するオプションである起動コードを可能にし、次に PPB ロック ビットを消去することで、通常システム動作の残りを、さらなる変化から PPB を保護します。これは時に、起動コード制御によるセクター保護と呼ばれます。

パスワード方式では、POR またはハードウェアリセット時に PPB ロックビットを 0 にクリアして、PPB を保護します。パスワード方式では、64 ビットのパスワードを恒久的にプログラムし、隠すことができます。コマンドはパスワードを提供し、隠しパスワードと比較するために使用できます。パスワードが一致した場合には、PPB ロックビットは PPB を保護解除するために 1 に設定されます。コマンドを使用して、PPB ロックビットを 0 にクリアできます。この方法ではパスワードを使用して PPB 保護を制御する必要があります。

PPB ロック管理方法の選択は、使用方法を恒久的に選択するために、ASP コンフィギュレーション レジスタの OTP ビットのプログラミングによって行われます。

PPB ビットは、工場出荷時にフラッシュ メモリ アレイのセクターがすべて非保護となるように消去されます。

6.3.3 PPB ロック

恒久的保護ロックビットは、すべてのPPBビットを保護するための揮発性ビットです。0にクリアすると、すべてのPPBをロックし、1に設定するとPPBの変更を許可します。PPBロックビットはデバイスあたり1つのみ割り当てられます。

PPBロックコマンドを使用してビットを0にクリアします。PPBロックビットは、必ずすべてのPPBを所望の設定に構成した後で、0にクリアしてください。

恒久的保護モードでは、PORまたはハードウェアリセット時に、PPBロックビットが1に設定されます。PPBロックビットクリアシーケンスでクリアされると、PPBロックを設定できません。別のハードウェアリセットまたは電源投入でPPBロックビットを設定する必要があります。

パスワード保護モードでは、PORまたはハードウェアリセット時に、PPBロックビットが0にクリアされます。PPBロックビットは、パスワードロック解除コマンドシーケンスによってのみ、1に設定できます。PPBロックビットは、PPBロックビットクリアシーケンスで0にクリアできます。

6.3.4 恒久的プロテクトビット (PPB)

恒久的プロテクトビット (PPB) は、別の不揮発性フラッシュアレイに配置されています。PPBの1つは、各セクターに割り当てられます。PPBが0にプログラムされる場合、その関連するセクターはプログラムおよび消去動作から保護されます。PPBは個別にプログラムされていますが、グループとして消去が必要です。これは個々のワードがメインアレイでプログラム可能ですが、消去については、全セクター括で行う必要があります。消去前のプリプログラムと検証はEACが行います。

PPBビットのプログラムには、通常のワードプログラムのための時間が必要です。PPBビットプログラミング動作またはPPBビット消去の間に、ステータスレジスタはアクセスしてその動作が完了したかを確認できます。すべてのPPBを消去するには、一定のセクター消去時間が必要です。

PPBロックビットが0の場合は、PPBプログラムまたはイレーズコマンドは、PPBのプログラムまたはイレーズを行わずに、タイムアウトします。プログラミングまたは消去動作が0になっているPPBロックビットで行おうとする場合、その動作は中止され、失敗がステータスレジスタに表示されます(38ページの「ステータスレジスタ」表をご参照ください)。

所定のセクターに対するPPBのプロテクト状態は、PPB ASOに入った時にPPBステータス読み出しコマンドを書き込むことで、検証できます。

6.3.5 動的保護ビット (Dynamic Protection Bit)

動的保護ビットは、揮発性で、セクター固有であり、個別に変更できます。DYBは、PPBがクリアされているセクターのみで保護を制御できます。DYBの設定/クリアコマンドシーケンスを実行することで、DYBが0(非保護)に設定されるか、または1(保護)にクリアされて、各セクターが非保護または保護の状態になります。この機能により、ソフトウェアで簡単にセクターを意図しない変更から保護できますが、変更が必要な場合は簡単に保護を解除できます。

DYBは、何度でも必要なだけ、0にセットまたは1にクリアできます。

6.3.6 セクター保護状態の概要

各セクターは、次の保護状態があります。

- ロック解除 ~ セクターは非保護です。簡単なコマンドで保護を変更できます。パワー サイクルまたはハードウェア リセット後は、デフォルトで非保護になります。
- 動的ロック ~ セクターは保護され、保護は簡単なコマンドで変更できます。パワーサイクルまたはハードウェアリセットを経過した場合、保護状態は保存されません。
- 恒久的ロック ~ セクターは保護されます。PPB 保護が 1 にセットされた場合のみ、保護を変更できます。保護状態は非揮発性で、パワーサイクルまたはハードウェアリセットを経過した後も保存されます。保護状態を変更するには、PPB ビットをプログラムまたは消去する必要があります。

セクタの保護状態

保護ビット値			セクタ状態
PPB ロック ビット	PPB	DYB	
1	1	1	非保護 - PPB と DYB は変更可能
1	1	0	保護 - PPB と DYB は変更可能
1	0	1	保護 - PPB と DYB は変更可能
1	0	0	保護 - PPB と DYB は変更可能
0	1	1	非保護 - PPB は変更不可、DYB は変更可能
0	1	0	保護 - PPB は変更不可、DYB は変更可能
0	0	1	保護 - PPB は変更不可、DYB は変更可能
0	0	0	保護 - PPB は変更不可、DYB は変更可能

6.3.7 ASP コンフィギュレーション レジスタ

ASP コンフィギュレーション レジスタ (ASPR) はセキュリティ マネジメントを制御します。

ASP コンフィギュレーション レジスタ

ビット	デフォルト値	レジスタ名
15、14、13、12、10、9	1	予約済み
11	1	ハイブリッド パースト タイプイネーブル (512Mb デバイスには存在しない) ASPR[11] = 0: ハイブリッド-1つのラップ パースト シーケンスの後にリニア パーストが続く ASPR[11] = 1: レガシー-ラップ パースト シーケンスのみ
8	0	予約済み
7	X	予約済み
6	1	予約済み
5	1	予約済み
4	1	予約済み
3	1	予約済み
2-1	1	恒久的/パスワード保護モードロック ビット ASPR[2:1] = 00: 無効 ASPR[2:1] = 01: パスワード モードが永久に有効になり、ASPR がフリーズされる ASPR[2:1] = 10: 恒久モードが永久に有効になり、ASPR がフリーズされる ASPR[2:1] = 11: 恒久モードが一時的に有効になる (工場出荷時のデフォルトの設定)
0	1	予約済み

工場出荷時は、すべてのデバイスはデフォルトの恒久プロテクト方式になっており、電力が印加されたときはすべてのセクターが非保護になっています。デバイス プログラマーやホスト システムは、どのセクター保護方法を使用するか選択できます。以下の 2 つのいずれかの、1 回のみプログラム可能な不揮発性ビットをプログラムすると、当該パーツはそのモードで恒久的にロックされます。

- 恒久的な保護モードロック ビット (ASPR[1])
- パスワード保護モードロック ビット (ASPR[2])

両方のロックビット (ASPR[2] と ASPR[1]) が同時にプログラムするために選択され、動作が中止され、ステータスレジスタのビット SR [4] と SR[1] の設定は失敗を示します。パスワードモードロックビットがプログラムされると、恒久的モードロックビットは永久に無効とされ、保護方式に対する変更は許可されません。同様に、恒久的モードロックビットをプログラムすると、パスワードモードは恒久的に無効となります。ASPR[2] または ASPR[1] がプログラミングされた場合、すべての ASPR へのプログラミング動作は停止され、ステータスレジスタビット SR[4] と SR[1] の設定は失敗を示します。

パスワードモードを選んだ場合は、対応するロックレジスタビットを設定する前に、パスワードをプログラムしてください。4ワードのパスワードは 0-1-2-3 の順でプログラムされなければなりません。他の順序でプログラミングすると未定義の動作につながります。パスワード保護モードロックビットがプログラムされた後は、PPB ロックビットを 0 にセットして PPB アレイを保護するためには、パワーサイクル、ハードウェアリセット、または PPB ロックビットセットコマンドが必要になります。

ASP コンフィギュレーションレジスタのプログラム時間は、通常のワードプログラムに要する時間と同じです。ASP コンフィギュレーションレジスタのプログラミング EA の間は、システムはまた、ステータスレジスターを読み出すことで ASPR プログラミング状態を決定できます。これらのステータスビットについては、37 ページの「ステータスレジスタ」をご参照ください。

6.3.8 恒久的な保護モード

恒久的保護方式では、POR またはハードウェアリセット時に PPB ロックビットを 1 にセットし、PPB ビットがデバイスリセットによって非保護となるようにします。PPB を保護するために、PPB ロックビットを 0 にクリアするためのコマンドがあります。恒久的保護方式では、PPB ロックビットを 1 にセットするためのコマンドはないため、次の電源切断またはハードウェアリセットまで、PPB ロックビットは 0 を維持します。

6.3.9 パスワード保護モード

パスワード保護モードを使用すると、PPB ロックを設定しようとする試みに対して 64 ビットのパスワードを要求することによって、恒久的セクター保護モードよりも高レベルのセキュリティを実現できます。このパスワード要件に加えて、電源投入またはリセット後、電源投入時に保護を確実にするために PPB ロックは 0 に消去されます。完全なパスワードを入力してパスワードアンロックコマンドを正常に完了すると、PPB ロックビットが 1 にセットされ、セクターの PPB の変更が可能になります。

パスワード保護の注意：

- パスワードプログラムコマンドでプログラムできるのは、0 だけです。
- 工場出荷時はパスワードはすべて 1 になっています。パスワードは自身のメモリ空間内にあり、パスワードプログラム / パスワード読み出しコマンドによりアクセス可能です。
- あらゆる 64 ビットパスワードの組み合わせがパスワードとして有効です。
- いったんパスワードをプログラムして検証したら、パスワードの読み出しを防ぐためには、パスワード保護モードロックビットをセットする必要があります。
- いったんパスワード保護モードロックビットを (0 に) プログラムすると、データバス上で 64 ビットパスワードの読み出しができなくなるため、パスワードのプログラムができなくなります。これ以降、パスワード領域に対するプログラムコマンドや読み出しコマンドは無効になり、これらのコマンドは無視されます。保護されたパスワードをプログラミングしようとする、セクターロックステータスビット (SR[1]) とプログラムステータスビットが設定されます (SR[4])。更なるプログラミング動作をパスワードまたはパスワード保護モードロックビットで行おうとする場合、その動作は中止され、ステータスレジスタに失敗が表示されます (38 ページの「ステータスレジスタ」表をご参照ください)。パスワード保護モードロックビットがプログラムされた後に、パスワードが何であるかを確認する方法はありません。パスワードの検証ができるのは、パスワード保護モードを選択する前のみです。
- パスワードモードロックビットは消去できません。
- ロック解除を実行するためには、64 ビットのパスワードがすべて入力さえされれば、任意の順序でパスワード領域にアクセスできます。パスワードロック解除コマンドにより提供されたパスワードが、隠されている内部パスワードと一致しない場合は、保護されている領域におけるプログラム動作と同様に、ロック解除動作は失敗します。ステータスレジスタはレディ状態に戻り、プログラムステータスビットが 1 にセットされます。これは、ロックされた領域であるため、プログラム動作が失敗したことを示します。この場合、有効なパスワードが不足し PPB ロックビットがまだ保護されているため、PPB ロックビットの状態を変更することは失敗となります。
- 有効な 64 ビットパスワードがデバイスに指定された後、PPB ロックを設定するためにデバイスが要する時間は、 $t_{PSWD} = \text{約 } 100\mu\text{s}$ です。
- パスワードロック解除コマンドを一度に t_{PSWD} より高速に実行することはできません (56 ページの「自動アルゴリズム特性」表をご参照ください)。これによって、ハッカーが正しく一致するパスワードを全て試行するために 64 ビットす

すべての組み合わせを実行するには、非現実的な長さの時間 (5800 万年) かかります。EA ステータス チェック方式を使用して、EAC が新規パスワード コマンドを受付ける準備ができていないか判定することもできます。

- パスワード モード ロック ビットを設定後にパスワードを失くした場合、PPB ロック ビットをクリアする方法はありません。

6.3.10 読み出しパスワード保護モード

読み出しパスワード モードはパスワード保護モードの代替モードとして備わっています。読み出しパスワード モードは、ユーザーが ASPR[5] = 0 にプログラムした時に初期 PPB パスワード保護モードの代わりに使用されます。パスワードがプログラムされ、ASPR[2] が 0 にプログラムされない限り、読み出しパスワード モードはアクティブになりません。

読み出しパスワード保護モードでは、フラッシュ メモリ アレイは読み出し、プログラムおよび消去から保護されます。パスワードロック解除コマンドが正常に完了するまでは、不揮発コンフィギュレーション レジスタ ビット xVCR[9:8] によって選択された最下位または最上位 (256kB) セクター アドレス範囲のみが読み出せます。アレイの読み出し保護部分から読み出そうとすると、そのセクターは読み出し可能なセクターによりオーバーレイされます。

このモードでは、PPB ロック ビットはアドレスの上位ビットを制御するために使用されます。PPB ロック ビットが 1 の場合、アドレス ビットが正常に動作します。以下の表のように、PPB ロック ビットが 0 の場合、メインアレイ セクター アドレスを選択するアドレス ビットは、0 (xVCR[9:8] = 00 または 10) または 1s (xVCR[9:8] = 01 または 11) に強制的に設定され、最下位または最上位アドレス フラッシュ メモリ アレイ アドレス範囲を選択します。xVCR[9:8] = 00 または 10 の場合アレイの最下位 (ゼロ アドレス) の 256kB から読み出すことができます。xVCR[9:8] = 01 または 10 の場合アレイの最上位 (最大アドレス) の 256kB から読み出すことができます。

恒久モードとパスワード保護モードでの ASP コンフィギュレーション レジスタの選択

ASP ビット	デフォルト値	レジスタ名
2	1	恒久的/パスワード保護モード ロック ビット ASPR[2:1] = 00: 無効 ASPR[2:1] = 01: パスワード モードが永久に有効になる ASPR[2:1] = 10: 恒久モードが永久に有効になる ASPR[2:1] = 11: 恒久モードが一時的に有効になる (工場出荷時のデフォルトの設定)
1	1	

ブートブロック アドレス範囲の xVCR マッピング

xVCR ビット	デフォルト値	レジスタ名
xVCR.9 – xVCR.8	11	00 - マップ パラメーター セクタと読み出しパスワード セクタは最下位のアドレスにマッピングされる 01 - マップ パラメーター セクタと読み出しパスワード セクタは最上位のアドレスにマッピングされる 10 - ユニフォーム セクタと読み出しパスワード セクタが最下位のアドレスにマッピングされる 11 - ユニフォーム セクタと読み出しパスワード セクタが最上位のアドレスにマッピングされる

PPB ロック ビットが 0 の場合は PPB ビットにはプログラムまたは消去アクセスができなく、PPB ロック ビットが 1 の場合は PPB ビットにはプログラムまたは消去アクセスができます。

パスワード保護モードと同じように、PPB ロック ビットは、POR または PPB ハードウェア リセットによって 0 に設定されます。

読み出しパスワード保護の注意：

- 読み出しパスワード OPN オプションが使用できる場合、ユーザーは、必要に応じて ASPR[5] ビットを 0 にプログラムして読み出しパスワードを使用するかどうかを選択できます。
- 読み出しパスワード方式のプログラミング、読み出し、ロックのコマンド シーケンスは、PPB パスワード方式のデフォルト シーケンスと同じです。
- 読み出しパスワードモードとパスワード保護モードが有効になっていると (ASPR[2], ASPR[5] が 0 にプログラムされている) 場合、パスワードロック解除シーケンスに正しいパスワードが入力されるまで、すべてのアドレスが起動セクターにリダイレクトされます。正しいパスワードが入力されると、読み出しパスワードモードが無効になり、すべてのアドレス指定が適切な位置を選択します。
- システム ハードウェア リセットが発生した場合は、読み出しパスワードモードが再び有効になります。
- ASPR[5] は PPB パスワードと読み出しパスワードのオプションのどちらかを選択するために使用されます。ASPR[5] = 0 の場合、デバイスは読み出しパスワードを許可します ASPR[2] = 0 でない限り、読み出しパスワードは有効になりませ

ん。ASPR[2] = 0 になると、デバイスが正しいロック解除シーケンスおよびパスワードによりロック解除されるまで、すべてのアドレスは最下位または最上位のセクターからのみ選択されます。ASPR[2] = 1 の場合、アドレス指定を行うことができます。これにより、ユーザーはコードでプログラムし、試験し、パスワードを設定し、ASPR[2] = 0 にプログラミングすることでロックすることができます。

- 読み出しパスワード保護が有効の場合に読み出しパスワードコマンドシーケンスを送信すれば、不確定の結果が返ります。PPB ロック ビットは、ハードウェア リセット、POR または PPB ロック ビット クリア コマンドシーケンスが発生した時のみ、0 に戻ります。
- 読み出しパスワードモード時、PPB ロック ビット = 0 の場合、ID 読み出しコマンド、パスワードロック解除コマンド、およびアレイ読み出しのみが可能です。パスワードが入力されてデバイス全体の読み出しおよびコマンド動作を許可するまで、他のコマンドは無効です。
- 読み出しパスワード保護モードがアクティブ (ASPR[5] = 0、ASPR[2] = 0、PPB ロック ビット = 0) の場合、メインアレイの読み出しは可能ですが、メモリセクターアドレスを 0 か 1 にすることで起動セクターからのみ読み出せます。DYB または PPB アドレス空間を読み出すと、不確定のデータが返ります。
- 読み出しパスワード保護モードがアクティブの場合、メモリ空間へのプログラミングまたはレジスタ書き込みはできません。リセットは普通に行え、バスプロトコルはモードビットをリセットすることで変更できます。

6.3.11 ハイブリッドバースト

ハイブリッドバーストは、1 つのラップ式バーストの後にリニアバーストが続くもう 1 種のバーストです。このバーストは HyperFlash ファミリの 256M ビット以下のデバイスに備えられています。512M ビットの HyperFlash はこのバーストタイプをサポートしません。

ハイブリッドバーストはバースト長グループに応じてラップしたターゲットアドレス内で一回ラップしてから、最初にラップされたバースト長グループの終了アドレスの後にあるリニアバーストにアクセスします。ハイブリッドバーストは 16 バイトと 32 バイトバースト長グループにサポートされますが、64 バイトにはサポートされません。

ハイブリッドバーストタイプを選択するための ASP コンフィギュレーションレジスタビットの割り当て

ビット	デフォルト値	レジスタ名
11	1	ハイブリッドバーストタイプイネーブル ASPR[11] = 0: ハイブリッド-1つのラップバーストシーケンスの後にリニアバーストが続く ASPR[11] = 1: レガシーラップバーストシーケンスのみ

以下は 32 バイトと 16 バイトのハイブリッドバースト読み出しのバーストシーケンスの例です。

1. 32 バイトの例 (リニアバーストに移行する前に、32 バイト以内でラップする)
 - a. 06-07-08-09-0A-0B-0C-0D-0E-0F-00-01-02-03-04-05-10-11
 - b. 0E-0F-00-01-02-03-04-05-06-07-08-09-0A-0B-0C-0D-10-11
2. 16 バイトの例 (リニアバーストに移行する前に、16 バイト以内でラップする)
 - a. 06-07-00-01-02-03-04-05-08-09
 - b. 03-04-05-06-07-00-01-02-08-09

6.3.12 INT# 出力

INT# ピンは、ホストシステムにフラッシュデバイス内のイベントが発生したことを通知するオープンドレイン出力です。ユーザーは以下の場合に内部イベントを選択して INT# 出力ピンをアクティブ (Low) にすることができます。

- ビジー状態からレディー状態に移行

動作は、INT# 出力 (通常は High) が有効の場合に割り込みコンフィギュレーションレジスタ (ICR) で制御されます。割り込み構成レジスタは、内部イベントを有効にして、INT# 出力ピンで High から Low への移行をトリガーするタイミングを確認します。割り込みステータスレジスタは、ISR が最後にクリアされた時点から、何の有効な内部イベントが発生したかを示します。INT# 出力ピンを有効にした場合、有効なイベントの発生時に High から Low に移行します。ホストが INT# が LOW 状態に移行したことを認識すると、どの内部イベントが移行の原因かを確認するために割り込みステータスレジスタを読み出すことができます。以下の 3 つの方法で、INT# 出力を高インピーダンス状態に移行させる (外部プルアップ抵抗で High に戻す) ことができます。

- 割り込みコンフィギュレーションレジスタのビット 15 に 1 をロードすることで、INT# 出力を無効にします。割り込みステータスレジスタは 1 で ICR[15] をロードする時にクリアされます。
- 割り込みコンフィギュレーションレジスタの該当するイベントイネーブルビットに 1 をロードすることで、出力を Low に移行させるイベントチャンネルを無効にします。ICR の対応するビットに 1 をロードすると、割り込みステータスレジスタの対応するビットがクリアされます。
- 出力を Low に移行させる内部イベントを示す割り込みステータスレジスタのビットを (1 を書き込むことで) リセットします。INT# 出力が High に戻る前に、Low であり、割り込みコンフィギュレーションレジスタで有効になっているすべての割り込みステータスレジスタのビットもリセットしてください。

INT# 出力も、ハードウェアリセット (RESET# = Low) またはパワーオンリセットにより初期状態 (無効、高インピーダンス) に戻されます。ハードウェアリセットとパワーオンリセットは、割り込みコンフィギュレーションレジスタを初期状態 (すべての割り込みが無効) に設定する割り込み構成レジスタを設定することですべての割り込みを無効にします。

割り込みコンフィギュレーションレジスタ

ビット	機能	種類	POR の初期設定状態	リセットの初期設定状態	説明
15	INT# 出力イネーブル	Volatile, 読み出し/書き込み	1	1	1 = INT# 出力が無効 (HIGH またはオープンドレイン) 0 = INT# 出力が有効。内部イベントにより HIGH から LOW への遷移が生じる
14	予約済み		1	1	予約済み
13 ~ 5	予約済み		1	1	将来に使用するために予約済み
4	READY		1	1	1 = レディ/ビジー遷移は INT# 出力の遷移を発生させない 0 = ビジーからレディへの遷移は INT# 出力の HIGH から LOW への遷移を発生させる
3	予約済み		1	1	将来に使用するために予約済み
2	予約済み		1	1	将来に使用するために予約済み
1	予約済み		1	1	将来に使用するために予約済み
0	予約済み		1	1	将来に使用するために予約済み

注:

1. POR とハードウェアリセットの両方は、すべての割り込みチャンネルを無効にします。

割り込みステータスレジスタ

ビット	機能	種類	POR の初期設定状態	リセットの初期設定状態	説明
15 ~ 5	予約済み	揮発性、読み出し/書き込み	1	1	将来に使用するために予約済み
4	READY		1	1	1 = ビジーからレディへの遷移は発生しなかった 0 = ビジーからレディへの遷移は発生した
3	予約済み		1	1	将来に使用するために予約済み
2 (3), (4)	POR 検出		0	1	1 = POR は発生しなかった 0 = POR は発生した
1	予約済み		1	1	将来に使用するために予約済み
0	予約済み		1	1	将来に使用するために予約済み

注:

1. ハードウェアリセットを行った場合、すべての ISR ビットが 1 にセットされます。
2. POR を行った場合、ISR POR 検出ビット (ISR[2]) が 0 にクリアされ、他のビットがすべて 1 に設定されます。
3. ISR[2] が POR 中に (0 に) クリアされ、ハードウェアリセット (RESET# = 0) または ISR への書き込みによってのみ (1 に) 設定されます。
4. INT# 出力状態は、ISR[2] の値に影響されません。
5. ISR に書き込むのは、ビットの状態を 0 から 1 に反転することのみができます。割り込み発生のみが ISR ビットの状態を 1 から 0 に反転します。

6.4 揮発性および不揮発性コンフィギュレーションレジスタの概要

6.4.1 不揮発性コンフィギュレーションレジスタ

不揮発性コンフィギュレーションレジスタ

記号	レジスタ名	幅 (ビット)	NV タイプ	デフォルト値	参照
NVCR	不揮発性コンフィギュレーションレジスタ	16	P/E	8EBBh	30 ページの「6.2.9. 不揮発性コンフィギュレーションレジスタおよび揮発性コンフィギュレーションレジスタ」
	パスワード保護レジスタ	64	OTP	FFFF FFFF FFFF FFFFh	47 ページの「6.3.9. パスワード保護モード」
PPB	恒久的な保護ビット	セクタ毎に 1 ビット	P/E	1	45 ページの「6.3.4. 恒久的プロテクトビット (PPB)」
ASPR	ASP コンフィギュレーションレジスタ	16	OTP	FEFFh	46 ページの「6.3.7. ASP コンフィギュレーションレジスタ」
PORTime	パワーオンリセット時間	16	OTP	FFFFh	67 ページの「11.3.1. パワーオン (コールド) リセット (POR)」

6.4.2 揮発性コンフィギュレーションレジスタ

揮発性コンフィギュレーションレジスタ

記号	レジスタ名	幅 (ビット)	デフォルト値	参照
VCR	揮発性コンフィギュレーションレジスタ	16	NVCR	30 ページの「6.2.9. 不揮発性コンフィギュレーションレジスタおよび揮発性コンフィギュレーションレジスタ」
DYB	動的保護ビット	セクタ毎に 1 ビット	1	45 ページの「6.3.5. 動的保護ビット (Dynamic Protection Bit)」
	PPB ロックビット	1	ASPR[2]	45 ページの「6.3.3. PPB ロック」
ICR	割り込みコンフィギュレーションレジスタ	16	FFFFh	49 ページの「6.3.12. INT# 出力」

6.4.3 揮発性結果およびステータスレジスタ

揮発性結果およびステータスレジスタ

レジスタ名	幅 (ビット)	デフォルト値	参照
セクタロックステータス	セクタ毎に 4 ビット	該当なし	52 ページの「コマンドの定義」表については、(注 17) をご参照ください
ステータスレジスタ	16	xx80h	38 ページの「ステータスレジスタ」表
割り込みステータスレジスタ	16	FFFBh	50 ページの「割り込みステータスレジスタ」表

7. ソフトウェアインターフェース参考資料

7.1 コマンドのまとめ

コマンドの定義 (シート 1/3)

コマンドシーケンス	バスサイクル	バスサイクル(注1-4)													
		1 番目		2 番目		3 番目		4 番目		5 番目		6 番目		7 番目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読み出し (5)	1	RA	RD												
リセット / ASO の終了 (6)、(14)	1	XXX	F0												
ステータスレジスタ読み出し (16)	2	555	70	XXX	RD										
ステータスレジスタ消去	1	555	71												
ディープパワーダウンへの移行	3	555	AA	2AA	55	XXX	B9								
パワーオンリセットタイマレジスタのプログラム	4	555	AA	2AA	55	555	34	XXX	PORTime						
パワーオンリセットタイマレジスタの読み出し	4	555	AA	2AA	55	555	3C	XXX	RD PORTime						
割り込みコンフィギュレーションレジスタのロード	4	555	AA	2AA	55	555	36	XXX	ICR						
割り込みコンフィギュレーションレジスタの読み出し	4	555	AA	2AA	55	555	C4	XXX	RD ICR						
割り込みステータスレジスタのロード	4	555	AA	2AA	55	555	37	XXX	ISR						
割り込みステータスレジスタの読み出し	4	555	AA	2AA	55	555	C5	XXX	RD ISR						
揮発性コンフィギュレーションレジスタのロード	4	555	AA	2AA	55	555	38	XXX	VCR						
揮発性コンフィギュレーションレジスタの読み出し	4	555	AA	2AA	55	555	C7	XXX	RD VCR						
不揮発性コンフィギュレーションレジスタのプログラム	4	555	AA	2AA	55	555	39	XXX	NVCR						
不揮発性コンフィギュレーションレジスタの消去	3	555	AA	2AA	55	555	C8								
不揮発性コンフィギュレーションレジスタの読み出し	4	555	AA	2AA	55	555	C6	XXX	RD NVCR						
ワードのプログラム	4	555	AA	2AA	55	555	A0	PA	PD						
バッファへの書き込み	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD		
バッファをフラッシュへプログラム (確認)	1	SA	29												
「バッファへの書き込み中断」のリセット (10)	3	555	AA	2AA	55	555	F0								
チップ消去	6	555	AA	2AA	55	555	80	555	AA	2AA	55	555	10		
セクタ消去	6	555	AA	2AA	55	555	80	555	AA	2AA	55	SA	30		
ブランクチェック	1	(SA) 555	33												
消去ステータス評価	1	(SA) 555	D0												
消去の一時停止	1	XXX	B0												
消去の再開	1	XXX	30												
プログラムの一時停止	1	XXX	51												

コマンドの定義 (シート 2/3)

コマンドシーケンス	サイクル	バスサイクル(注1-4)													
		1 番目		2 番目		3 番目		4 番目		5 番目		6 番目		7 番目	
		アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ
プログラムの再開	1	XXX	50												
ID-CFI (オートセレクト) ASO (23)	ID (オートセレクト) エントリ	3	555	AA	2AA	55	(SA) 555	90							
	CFI への移行 (注7)	3	(SA) 55	98											
	ID-CFI の読み出し	1	(SA) RA	RD											
	リセット / ASO の終了 (6)、 (14)	1	XXX	F0 または FF											
セキュア シリコン領域のコマンド定義															
セキュアシリコン領域 (SSR) ASO	SSR への移行	3	555	AA	2AA	55	(SA) 555	88							
	読み出し (5)	1	RA	(SA) RD											
	ワードのプログラム	4	555	AA	2AA	55	555	A0	PA	PD					
	バッファへの書き込み	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD	
	バッファをフラッシュへプロ グラム (確認)	1	SA	29											
	「バッファへの書き込み中断」 のリセット (10)	3	555	AA	2AA	55	555	F0							
	SSR 終了 (10)	4	555	AA	2AA	55	555	90	XX	00h					
	リセット / ASO 終了 (6)、(14)	1	XXX	F0											
ASP コンフィギュレーションレジスタ (ASPR) ASO	ASP レジスタ エントリ	3	555	AA	2AA	55	555	40							
	プログラム	2	XXX	A0	XXX	PD									
	ASPR の読み出し (16)	1	0	RD											
	ASPR ASO 終了 (10)	2	XXX	90	XXX	0									
	リセット / ASO 終了 (6)、(14)	1	XXX	F0											
パスワード保護コマンドセットの定義															

コマンドの定義 (シート 3/3)

コマンドシーケンス		サイクル タイム	バスサイクル(注1-4)													
			1 番目		2 番目		3 番目		4 番目		5 番目		6 番目		7 番目	
			アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ
パスワード ASO	パスワード ASO への移行	3	555	AA	2AA	55	555	60								
	プログラム (12)	2	XXX	A0	PWA x	PWDx										
	読み出し	4	0	PWD 0	1	PWD 1	2	PWD 2	3	PWD 3						
	ロック解除	7	0	25	0	3	0	PWD 0	1	PWD 1	2	PWD 2	3	PWD 3	0 29	
	コマンドセット終了 (11)、 (14)	2	XXX	90	XXX	0										
	リセット / ASO 終了 (6)、(14)	1	XXX	F0												
不揮発性セクタ保護コマンドセットの定義																
PPB (不揮発性セクタ保護)	PPB への移行	3	555	AA	2AA	55	555	C0								
	PPB のプログラム (15)	2	XXX	A0	SA	0										
	全 PPB の消去 (15)	2	XXX	80	0	30										
	PPB の読み出し (15)、(16)	1	SA	RD (0)												
	SA 保護状態 (16)、(17)	2	XXX	60	SA	RD										
	コマンドセット終了 (11)、 (14)	2	XXX	90	XXX	0										
	リセット / ASO 終了 (6)、(14)	1	XXX	F0												
グローバル不揮発性セクタ保護フリーズのコマンドセットの定義																
PPB ロック ビット	PPB ロックへの移行	3	555	AA	2AA	55	555	50								
	PPB ロック ビットのクリア	2	XXX	A0	XXX	0										
	PPB ロック ステータスの読み 出し (16)	1	XXX	RD (0)												
	コマンドセット終了 (11)、 (14)	2	XXX	90	XXX	0										
	リセット / ASO 終了 (14)	1	XXX	F0												
揮発性セクタ保護コマンドセットの定義																
DYB (揮発性セクタ保護) ASO	DYB ASO への移行	3	555	AA	2AA	55	555	E0								
	DYB の設定 (15)	2	XXX	A0	SA	0										
	DYB の消去 (15)	2	XXX	A0	SA	1										
	DYB ステータスの読み出し (16)	1	SA	RD (0)												
	SA 保護状態 (15)、(16)、(17)	2	XXX	60	SA	RD										
	コマンドセット終了 (11)、 (14)	2	XXX	90	XXX	0										
	リセット / ASO 終了 (14)	1	XXX	F0												

コマンドの定義

X = ドントケア

RA = 読み出しメモリアドレス

RD = 読み出し動作中に RA から読み出されるデータ

RA = プログラム対象のメモリ位置のアドレス

PD = 位置 PA でプログラムされるデータ

SA = 選択されたセクタのアドレス 256kB セクタのアドレス ビット A_{MAX}-A17 および 4kB パラメータセクタ A_{MAX}-A11 は独自のセクタを選択する

WBL = ライトバッファロケーション。このアドレスは、同じライン内でなければなりません。

WC = ワードカウントは、ロードするバッファ書き込み位置の値 - 1。

PWAx = ワード 0 = 00h、ワード 1 = 01h、ワード 2 = 02h、ワード 3 = 03h のパスワードアドレス。

PWDx = ワード 0、ワード 1、ワード 2、ワード 3 のパスワードデータ

注:

1. 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
2. 以下を除いて、バスサイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID)、インジケータ ビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータス レジスタ読み出し。
3. データ ビット DQ15 ~ DQ8 は、RD、PD、WC、PWD を除いて、コマンドシーケンスでは「ドントケア」となります。
4. アドレス ビット A_{MAX}-A11 は、SA または PA が必要ではない限り、ロック解除およびコマンドサイクルでは「ドントケア」になります (A_{MAX} は最上位アドレス ビン)。
5. アレイ データを読み出す際、ロック解除またはコマンドサイクルは不要です。
6. デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータス データを提供している間に) DQ5 が High になった場合は、データアレイの読み出しに戻るには、リセットコマンドが必要です。
7. デバイスがアレイ データを読み出す準備ができているとき、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
8. 消去サスペンド モードのとき、システムは消去対象となっていないセクターを読み出しおよびプログラム / プログラム一時停止したり、ID-CFI ASO に移行できます。消去中止コマンドは、セクター消去動作時のみ有効です。
9. 消去再開 / プログラム再開コマンドは、消去一時停止 / プログラム一時停止モード時のみ有効です。
10. デバイスがライト ツー バッファ アボート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンドシーケンスを実行します。ABORT からリセットする場合は、フル コマンド シーケンスが必要であることに注意してください。
11. 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
12. PWDx の場合は、プログラムできるパスワード領域は、A0 コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
13. ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態 = 0、消去状態 = 1 です。また、恒久プロテクトモードロック ビットと、パスワードプロテクトモードロック ビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタ ビットプログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
14. いずれかのエン트리 コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
15. ビット 0 = 0 プロテクト状態を表示、ビット 0 = 1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DYB セット、DYB クリア、または PPB プログラム コマンドのセクターアドレスは、そのセクター内の任意の場所でもかまいません。セクター アドレスの下位ビットは「ドントケア」です。
16. ステータスレジスタ リード処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISR 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみに有効です。Low 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値が出力します。
17. 表示したセクターがビット 0 ~ 3 で保護されるかどうかを示す SA プロテクト ステータス読み出し中のデータ出力
18. ビット 0 は表示したセクターが保護されるかどうかを示します (0 = 保護、1 = 保護なし)
19. ビット 1 はセクターの DYB ビットを使って保護されます (0 = 保護、1 = 保護なし)
20. ビット 2 はセクターの PPB ビットを使って保護されます (0 = 保護、1 = 保護なし)
21. バイト 4:15 のすべては 1 です。
22. より小さいパラメーター セクターは、消去およびプログラム コマンド シーケンスの時にターゲット パラメーター セクターを定義するアドレスの一部として、A[16:11] を含む必要があります。
23. ID (自動選択) エントリおよび CFI エントリの両方は同じ ID/CFI データ セットへアクセスを実行させます。ID / CFI データセット内で、含まれるすべてのデータは ID または CFI エントリ シーケンスを使った後実行可能になります。
24. 512Mb ではないデバイスのみ

8. 組み込みアルゴリズム性能

自動アルゴリズム特性

パラメーター	最小値	標準値 (1)	最大値 (2)	単位	コメント
セクタ (256K バイト) 消去時間	~	930	2900	ms	消去前のプリプログラムを含む (4)
パラメーター セクタ (4K バイト) 消去時間	~	240	725	ms	
チップ消去時間 (128Mb)		55	115	s	
チップ消去時間 (256Mb)	~	110	231	s	
チップ消去時間 (512Mb)	~	220	462	s	
単一ワードのプログラム時間	~	500	1260	μs	ワードプログラム コマンドシーケンス
半ページ (16 バイト) バッファ付きプログラム時間	~	270	1000	μs	バッファ付きプログラム コマンドシーケンス
バッファ プログラム時間 (全 512-byte)	~	475	2000	μs	
消去中止/消去再開 (t _{ESL})	~		50	μs	
プログラム中止/プログラム再開 (t _{PSL})	~		50	μs	
消去再開から後続の消去中止まで (t _{ERS})	~	100		μs	最小 60 ナノ秒。ただし消去の進捗から完了までに標準時間が必要
プログラム再開から後続のプログラム サスペンドまで (t _{PRS})	~	100		μs	最小 60 ナノ秒。ただしプログラムの進捗から完了までに標準時間が必要
ブランク チェック (256kB セクタ)	~	15	17	ms	
NOP (プログラム動作数 = プログラム動作回数/ライン)	~		256		産業機器用温度
	~		32		産業用機器用プラス温度範囲 8 ワード (16 バイト) の半ページ毎にはプログラム動作が 1 回行われる
消去ステータス評価時間 (t _{EES})	~	70	100	μs	
パスワード比較時間 (t _{PSWD})	80	100	120	μs	

注:

1. プログラムおよび消去の標準時間は次の条件を想定します: 25°C、(1.8V または 3.0V) V_{CC}、1 万のサイクル、およびチェッカーボード データ パターンです。
2. 90°C、V_{CC} = (1.70V または 2.7V)、10 万のサイクル、ランダム データ パターン という最悪な条件下です。
3. 実効書き込みバッファ仕様は、512 バイト書き込みバッファ操作時のものです。
4. 組み込み消去アルゴリズムの事前プログラミング段階では、セクターとチップの消去前にすべてのワードが 0000h にプログラムされます。
5. システム レベルのオーバーヘッドとは、プログラム コマンドのバスサイクル シーケンスを実行するのに必要な時間です。コマンドの定義については、52 ページの「コマンドの定義」表をご参照ください。

9. データ整合性

9.1 アクセス可能回数

プログラム/消去可能回数

不揮発性ユニット	温度範囲	最小値	単位
任意のセクタ	産業機器用	100K	プログラム/消去サイクル
	産業機器用プラス	100K	
	拡張	10K	
コンフィグレーションレジスタ	産業機器用	100K	
	産業機器用プラス	100K	
	拡張	10K	

注:

1. サイクルデータ収集は、10万サイクルまでです。

9.2 データ保持

データ保持

パラメーター	Typ	単位
半ページ、消去毎に 1K サイクル以下のプログラム動作でのデータ保持時間	20	年

9.3 デバイス ID と共通フラッシュインターフェース (ID-CFI) の ASO マップ

ASO (ワードロケーション 0h ~ 0Fh) のデバイス ID 領域には、メーカー ID、デバイス ID、およびデバイスの基本機能セットの情報が入っています。

詳細は、35 ページの「ID-CFI ASO」を参照してください。

ID (オートセレクト) アドレス マップ

ワードアドレス	データ	説明
(SA) + 0000h	0001h	メーカー ID
(SA) + 0001h	007Eh	デバイス ID
(SA) + 0002h	予約済み	RFU
(SA) + 0003h	予約済み	
(SA) + 0004h	予約済み	
(SA) + 0005h	予約済み	
(SA) + 0006h	予約済み	
(SA) + 0007h	予約済み	
(SA) + 0008h	予約済み	
(SA) + 0009h	予約済み	
(SA) + 000Ah	予約済み	
(SA) + 000Bh	予約済み	
(SA) + 000Ch	0005h	
(SA) + 000Dh	予約済み	上位ソフトウェアビット
(SA) + 000Eh	0070h = 512 Mb (1.8V 時) 006Fh = 512 Mb (3.0V 時)	デバイス ID
	0072h = 256 Mb (1.8V 時) 0071h = 256 Mb (3.0V 時)	
	0074h = 128 Mb (1.8V 時) 0073h = 128 Mb (3.0V 時)	
(SA) + 000Fh	0000h	デバイス ID

CFI クエリ識別用文字列

ワードアドレス	データ	説明
(SA) + 0010h	0051h	固有 ASCII 文字列「QRY」のクエリ
(SA) + 0011h	0052h	
(SA) + 0012h	0059h	
(SA) + 0013h	0002h	プライマリ OEM コマンドセット
(SA) + 0014h	0000h	
(SA) + 0015h	0040h	プライマリ拡張テーブルのアドレス
(SA) + 0016h	0000h	

CFI クエリ識別用文字列

ワードアドレス	データ	説明
(SA) + 0017h	0000h	代替 OEM コマンドセット (00h = 未使用)
(SA) + 0018h	0000h	
(SA) + 0019h	0000h	代替 OEM 拡張テーブルのアドレス (00h = 未使用)
(SA) + 001Ah	0000h	

CFI クエリ識別用文字列

ワードアドレス	データ	説明
(SA) + 001Bh	0017h ($V_{CC} = 1.8V$ 時) 0027h ($V_{CC} = 3.0V$ 時)	$V_{CC} (Min)$ (消去/プログラム) (D7-D4 ボルト、D3-D0: 100 ミリボルト)
(SA) + 001Ch	0019h ($V_{CC} = 1.8V$ 時) 0036h ($V_{CC} = 3.0V$ 時)	$V_{CC} (Max)$ (消去/プログラム) (D7-D4 ボルト、D3-D0: 100 ミリボルト)
(SA) + 001Dh	0000h	$V_{PP} (Min)$ 電圧 (00h = V_{PP} ピンなし)
(SA) + 001Eh	0000h	$V_{PP} (Max)$ 電圧 (00h = V_{PP} ピンなし)
(SA) + 001Fh	0009h	1 ワード書き込み時の標準タイムアウト = $2^N \mu s$
(SA) + 0020h	0009h	最大複数バイト マルチバイト プログラム = $2^N \mu s$ (ただし、00h = 未対応)
(SA) + 0021h	000Ah	個別ブロック消去の標準タイムアウト = $2^N ms$
(SA) + 0022h	0012h (512 Mb) 0011h (256 Mb) 0010h (128 Mb)	チップ全体消去の標準タイムアウト = $2^N ms$ (00h = 未対応)
(SA) + 0023h	0002h	1 ワード書き込み時の最大タイムアウト = 標準時間 $\times 2^N$
(SA) + 0024h	0002h	バッファ書き込みの最大タイムアウト = 標準時間 $\times 2^N$
(SA) + 0025h	0002h	個別ブロック消去の最大タイムアウト = 標準時間 $\times 2^N$
(SA) + 0026h	0002h	チップ全体消去の最大タイムアウト = 標準時間 $\times 2^N$ (ただし、00h = 未対応)

CFI デバイスロケーションの定義

ワードアドレス	データ	説明
(SA) + 0027h	001Ah (512M ビット) 0019h (256M ビット) 0018h (128M ビット)	デバイスサイズ = 2^N バイト
(SA) + 0028h	0000h	フラッシュ デバイス インターフェースの説明 0 = x8 固定、1 = x16 固定、2 = x8 / x16 対応
(SA) + 0029h	0000h	
(SA) + 002Ah	0009h	複数バイトプログラム時の最大バイト数 = 2^N
(SA) + 002Bh	0000h	(ただし、00 = 未対応)
(SA) + 002Ch	0001h	デバイス内のイレーズブロックの種類 1 = ユニフォームデバイス、2 = ブートデバイス
(SA) + 002Dh	説明をご参照ください	消去ブロック 1 の情報 (JEDEC の JESD68-01 または JEP137 仕様を参照) 00FFh、0000h、0000h、0004h = 512Mb (256 x 2Mb ブロック) 007Fh、0000h、0000h、0004h = 256Mb (128 x 2Mb ブロック) 003Fh、0000h、0000h、0004h = 128Mb (64 x 2Mb ブロック)
(SA) + 002Eh		
(SA) + 002Fh		
(SA) + 0030h		

CFI デバイスロケーションの定義

ワードアドレス	データ	説明
(SA) + 0031h	0000h	消去ブロック領域 2 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照)
(SA) + 0032h	0000h	
(SA) + 0033h	0000h	
(SA) + 0034h	0000h	
(SA) + 0035h	0000h	消去ブロック領域 3 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照)
(SA) + 0036h	0000h	
(SA) + 0037h	0000h	
(SA) + 0038h	0000h	
(SA) + 0039h	0000h	消去ブロック領域 4 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照)
(SA) + 003Ah	0000h	
(SA) + 003Bh	0000h	
(SA) + 003Ch	0000h	

CFI プライマリベンダ固有拡張クエリ (シート 1/2)

ワードアドレス	データ	説明
(SA) + 0040h	0050h	固有 ASCII 文字列のクエリ用「PRI」
(SA) + 0041h	0052h	
(SA) + 0042h	0049h	
(SA) + 0043h	0031h	メジャーバージョン番号 (ASCII)
(SA) + 0044h	0035h	マイナーバージョン番号 (ASCII)
(SA) + 0045h	001Ch	コマンド入力時のアドレス (ビット 1 ~ 0) 00b = 必要、01b = 不要 プロセステクノロジー (ビット 5-2) 0000b = 0.23µm フローティングゲート 0001b = 0.17 µm フローティングゲート 0010b = 0.23 µm ミラービット 0011b = 0.13 µm フローティングゲート 0100b = 0.11 µm ミラービット 0101b = 0.09 µm フローティングゲート 0110b = 0.09 µm ミラービット 0111b = 0.065 µm フローティングゲート 1000b = 0.065 µm ミラービット 1001b = 0.045 µm ミラービット
(SA) + 0046h	0002h	イレズ サスペンド 0 = 未対応 1 = 読み出し専用 2 = 読み出し/書き込み
(SA) + 0047h	0001h	セクタ保護 00 = 未対応 X = 最小グループ内のセクタ数
(SA) + 0048h	0000h	一時的セクタ保護解除 00 = 未対応 01 = 対応
(SA) + 0049h	0008h	セクタ保護/保護解除スキーム 04 = 高電圧入力方式 05 = ソフトウェアコマンドによるロック方式 08 = アドバンスド セクタ保護方式
(SA) + 004Ah	0000h	同時動作 00 = 未対応 X = バンク数

CFI プライマリベンダ固有拡張クエリ (シート 2/2)

ワードアドレス	データ	説明
(SA) + 004Bh	0001h	バーストモードタイプ 00 = 未対応 01 = 対応
(SA) + 004Ch	0000h	ページ読み出しモードタイプ 00 = 未対応 01 = 4 ワードページ 02 = 8 ワードページ 03 = 16 ワード ページ
(SA) + 004Dh	0000h	ACC (アクセラレーション) 最小電源電圧 00 = 未対応 D7-D4: ボルト D3-D0: 100mV
(SA) + 004Eh	0000h	ACC (アクセラレーション) 最大電源電圧 00 = 未対応 D7-D4: ボルト D3-D0: 100mV
(SA) + 004Fh	0000h	WP# 保護 00h = WP 保護なしのフラッシュ デバイス (ブートなし) 01h = WP により 8×8K バイトの先頭および最終セクタを保護設定 (デュアルブート) 02h = 最終セクタブートデバイス (WP 保護により保護設定) (ボトムブート) 03h = 先頭セクタブートデバイス (WP 保護により保護設定) (トップブート) 04h = ユニフォーム、最終セクタを WP 保護により保護設定 (ユニフォームボトムブート) 05h = ユニフォーム、先頭セクタを WP 保護により保護設定 (ユニフォームトップブート) 06h = すべてのセクタを WP 保護により保護設定 07h = ユニフォーム、先頭または最終セクタを WP 保護により保護設定
(SA) + 0050h	0001h	プログラム一時停止 00 = 未対応 01 = 対応
(SA) + 0051h	0000h	アンロックバイパス 00 = 未対応 01 = 対応
(SA) + 0052h	000Ah	セキュア シリコンセクタ (お客様用 OTP 領域 = 1024B) サイズ = 2 ^N (バイト)
(SA) + 0053h	008Dh	ソフトウェア機能 ビット 0: ステータス レジスタ ポーリング (1 = 対応、0 = 未対応) ビット 1: DQ ポーリング (1 = 対応、0 = 未対応) ビット 2: 新しいプログラム一時停止/再開コマンド (1 = 対応、0 = 未対応) ビット 3: ワードプログラム (1 = 対応、0 = 未対応) ビット 4: ビットフィールドプログラム (1 = 対応、0 = 未対応) ビット 5: 自動検出プログラム (1 = 対応、0 = 未対応) ビット 6: RFU ビット 7: ライン当たり複数の書き込み (1 = 対応、0 = 未対応)
(SA) + 0054h	0005h	ページサイズ = 2 ^N バイト
(SA) + 0055h	0006h	消去一時停止の最大タイムアウト = 2 ^N (μs) 未満
(SA) + 0056h	0006h	プログラム一時停止の最大タイムアウト = 2 ^N (μs) 未満
(SA) + 0057h から (SA) + 0010h	FFFFh	将来に使用するために予約済み
(SA) + 0078h	0006h	組み込みハードウェア リセットの最大タイムアウト = 2 ^N (μs) 未満 リセット端子によるリセット
(SA) + 0079h	0009h	非組み込みハードウェアリセットの最大タイムアウト = 2 ^N (μs) 未満 パワーオン リセット

ハードウェア インターフェース

HyperFlash メモリの HyperBus ハードウェア インターフェースの概要は、HyperBus の仕様をご参照ください。以下の節はハードウェア インターフェースの HyperFlash デバイスに準拠した側面を説明します。

10. インタフェースの状態

10.1 ハードウェア リセット

- 実行中の動作をすべて終了させます
- RESET# が LOW の時、DQ[7:0] が High-Z に移行されます。
- すべての ASO を終了します。
- 出力端子をすべて High-Z にします。
- ステータス レジスタをリセットします。
- EAC をスタンバイ状態にリセットします。
- CS# はリセット動作の間 (t_{RPH}) 無視されます。
- リセット電流仕様 (I_{CC5}) を満たすには、CS# は HIGH のままであることが必要です。

データの整合性を確実にするために、デバイスがハードウェア リセット プロセスが完了すると割り込まれる不揮発性の動作を再初期化する必要があります。

10.2 ハードウェア データ保護状態での電源切断

コアの電源 (V_{CC}) がロックアウト電圧 (V_{LKO}) を下回った場合、メモリは電源切断と見なされます。 V_{CC} が V_{LKO} を下回ると、メモリ アレイの全体はプログラムや消去動作から保護されます。これにより、電源変動時でも、メモリの内容が誤って変更されないようになっています。電源が切断状態になっている間、 V_{CCQ} を V_{CC} 以下にする必要があります。

V_{CC} が一旦 $V_{RST}(\text{Min})$ を下回り、その後 $V_{RST}(\text{Min}) \sim V_{CC}(\text{min})$ に復帰すると、デバイスはパワーオン リセット インターフェースの状態に入り、EAC はコールドリセット自動アルゴリズムを開始します。

10.3 省電力モード

10.3.1 アクティブ クロック ストップ

アクティブ クロック ストップ モードでは、読み出し動作のデータ転送期間中にデバイス インターフェースの消費エネルギーを I_{CC6} レベルに低減します。データが読み出し動作中に出力している間、CK/CK# クロックが $t_{ACC} + 30\text{ns}$ にわたって安定状態に維持されると、デバイスは自動的にこのモードに入ります。アクティブ クロック ストップ モードでは、出力データはラッチされ、常にデータ バスに出力されます。64 ページの「11.2. DC 特性 (CMOS 互換性)」内の I_{CC6} は、アクティブ クロック ストップ モード電流の仕様を示します。

アクティブ クロック ストップ モードにより、ホスト システム クロックが停止して読み出しデータ転送を一時停止する時に消費電流を減少させることができます。このような拡張されたデータ転送サイクル中に CS# が LOW にある場合がありますが、メモリ デバイスのホスト インターフェースは $t_{ACC} + 30\text{ns}$ が経過した後にアクティブ クロック ストップ電流レベルになります。これにより、読み出しデータ転送が中止された場合デバイスは低電流モードに入ります。クロックのトグルによりデータ転送が再開されると、アクティブ読み出し電流は回復します。

ただし、EAC は、ホストインタフェースのアクティブ クロック ストップ モードとは無関係に動作し、自動アルゴリズムが実行されている間は常に電流を消費します。ホスト インターフェースと EAC の両方がスタンバイ状態にある時のみ、アクティブ クロック ストップ モード電流レベルが達成されます。

10.3.2 ディープパワーダウン

ディープパワーダウン (DPD) モードでは、消費電流は低レベルに駆動されます。ASO ではない場合、デバイスはアイドル状態の時に DPD モードに入る必要があります。また、デバイスは消去一時停止かプログラム一時停止状態の時に DPD モードに入ることもあります。DPD 移行コマンドシーケンスを使用して DPD モードに入ります。(52ページの「コマンドの定義」表をご参照ください)。

DPD モードの終了は、読み出しトランザクションや書き込みトランザクションの間で CS# のアサートにより行われます。(CS# が t_{DPDCSL} の間 LOW になります)。デバイスは、 t_{DPDOUT} の間、コマンドシーケンスを無視し (読み出しや書き込みトランザクションが処理されない)、RWDS は所望の読み出しトランザクション中にトグルしません。DPD モードを終了するには「ダミー」書き込みトランザクションをお勧めします。

RESET# の入力 (t_{RP} (min) の間) LOW に駆動すると、デバイスは DPD モードを終了します。デバイスはアイドル状態に復帰する際に t_{DPDOUT} が掛かります。

DPD モードを終了する時、デバイスは、パワーオンリセット後と同様な設定を持っています。

DPD モードへ移行/から終了のタイミング

記号	パラメーター	最小値	最大値	単位
t_{DPDIN}	ディープパワーダウンレジスタの CR[15]=0 を書き込んでから DPD 電力レベルに入るまでの時間	10	—	μ s
t_{DPDCSL}	ディープパワーダウンモードの終了を発生させる CS# LOW 期間	25	—	ns
t_{DPDOUT}	ディープパワーダウンモードからアイドルウェイクアップ時間	—	300	μ s

図 10.1 ディープパワーダウンモードへの移行タイミング

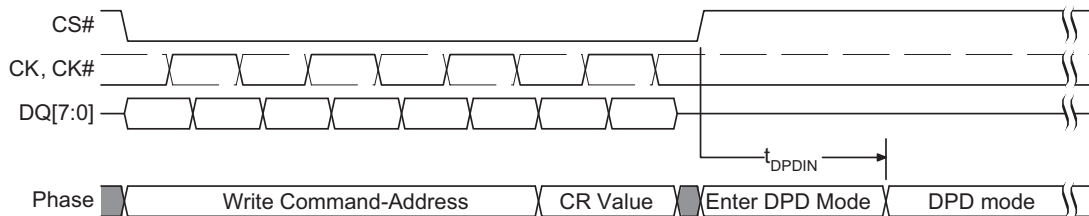


図 10.2 ディープパワーダウンの CS# 終了タイミング

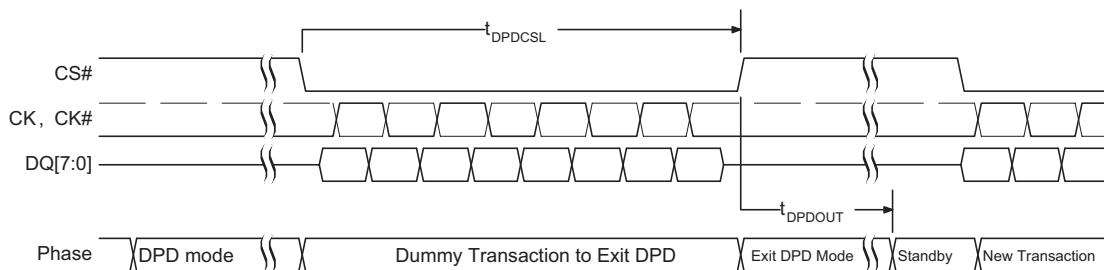
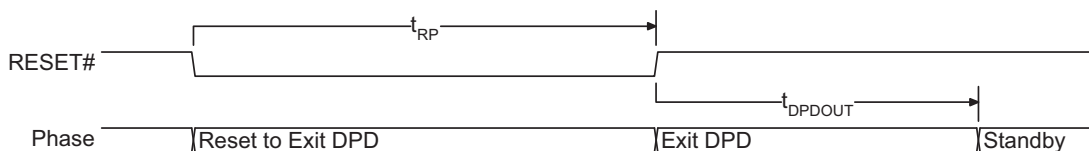


図 10.3 ディープパワーダウンの RESET# 終了タイミング



11. 電氣的仕様

以下の節は電氣的仕様の HyperFlash デバイスに依存した側面を説明します。

11.1 絶対最大定格

通電時の周囲温度 $-65^{\circ}\text{C} \sim +125^{\circ}\text{C}$

11.2 DC 特性 (CMOS 互換性)

DC 特性 (CMOS 互換性)

パラメーター	説明	テスト条件	最小値	標準値 (9)	最大値	単位
I_{CC1}	V_{CC} アクティブ読み出し電流 (コア電流のみ、IO 切り替え電流を含まない)	CS# = V_{IL} (166MHz, $V_{CC} = 1.95\text{V}$ 時)		130	180	mA
		CS# = V_{IL} (100MHz, $V_{CC} = 3.6\text{V}$ 時)		80	100	mA
I_{IO1}	IO の V_{CCQ} アクティブ読み出し電流	CS# = V_{IL} (166MHz, $V_{CCQ} = 1.95\text{V}$, $C_{LOAD} = 20\text{pf}$ 時)		80	100	mA
		CS# = V_{IL} (100MHz, $V_{CCQ} = 3.6\text{V}$, $C_{LOAD} = 20\text{pf}$		80	100	mA
I_{CC3P}	V_{CC} アクティブプログラム電流 (1)、(2)	$V_{CC} = V_{CC\text{ Max}}$		60	100	mA
I_{CC3E}	V_{CC} アクティブ消去電流 (1)、(2)	$V_{CC} = V_{CC\text{ Max}}$		60	100	mA
I_{CC4I}	産業機器用温度範囲 ($-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$) の V_{CC} スタンドバイ電流	CS#, RESET# = V_{CC} , $V_{CC} = V_{CC\text{ max}}$		25	100	μA
I_{CC4IC}	産業機器用拡張温度範囲 (車載用 - 車室内) ($-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$) の V_{CC} スタンドバイ電流	CS#, RESET# = V_{CC} , $V_{CC} = V_{CC\text{ max}}$		25	300	μA
I_{CC4E}	拡張温度範囲 ($-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$) の V_{CC} スタンドバイ電流	CS#, RESET# = V_{CC} , $V_{CC} = V_{CC\text{ max}}$		25	300	μA
I_{CC5}	V_{CC} リセット電流 (5)	CS# = V_{IH} , RESET# = V_{SS} , $V_{CC} = V_{CC\text{ Max}}$		10	20	mA
I_{CC6}	アクティブクロックストップモード (3)	$V_{IH} = V_{CC}$, $V_{IL} = V_{SS}$, $V_{CC} = 1.95\text{V}$		6	12	mA
		$V_{IH} = V_{CC}$, $V_{IL} = V_{SS}$, $V_{CC} = 3.6\text{V}$		6	12	mA
I_{CC7}	電源投入時の V_{CC} 電流 (4)	CS# = X, $V_{CC} = V_{CC\text{ max}}$,		80	100	mA
I_{DPD}	25°C でのディープパワーダウン電流 (512Mb の場合)	CS#, RESET# $V_{CC} = V_{CC\text{ Max}}$		8	15	μA
	85°C でのディープパワーダウン電流 (512Mb の場合)			30	50	μA
	105°C でのディープパワーダウン電流 (512Mb の場合)			95	150	μA
	25°C でのディープパワーダウン電流 (すべての他の容量の場合)			3	6	μA
	85°C でのディープパワーダウン電流 (すべての他の容量の場合)			4	10	μA
	105°C でのディープパワーダウン電流 (すべての他の容量の場合)			5	15	μA
V_{OL}	出力 LOW 電圧	DQ7 ~ DQ0 の場合、 $I_{OL} = 100\mu\text{A}$ $I_{OL} = 2\text{mA}$ (INT#, RSTO# の場合)			$0.15 \times V_{CCQ}$	V

注:

- 自動アルゴリズムの実行中は I_{CC} はアクティブです。
- 100% のテストは行われていません。
- アクティブクロックストップモードは、CK/CK# 信号が $t_{ACC} + 30\text{ns}$ の間安定した時に低電力モードを有効にします。
- $V_{CCQ} = 1.70\text{V} \sim 1.95\text{V}$ 、または $2.7\text{V} \sim 3.6\text{V}$ 。
- $V_{CC} = V_{CCQ} = 1.8\text{V}$ または $V_{CC} = V_{CCQ} = 3.0\text{V}$ 。
- 電源投入時にはスパイク電流があり、デバイスの正常な初期化を保証するため、システムはこの電流を供給する必要があります。
- リセットの開始時点で自動アルゴリズム動作が実行中である場合は、リセットにより自動アルゴリズム動作が停止されるまで、消費電流は自動アルゴリズム動作の仕様のままとなります。リセットの開始時点で自動アルゴリズム動作が開始されていない場合、また自動アルゴリズム動作が停止された直後は、 t_{RPH} の残りの間は、 I_{CC7} が消費されます。 t_{RPH} の後は、後続の読み出しや書き込みまでデバイスはスタンバイモードになります。
- INT# と RSTO# 出力の推奨プルアップ抵抗は $5\text{K} \sim 10\text{K}$ オームです。
- $I_{CC}(\text{Typ})$ の値は $t_{AI} = 25^{\circ}\text{C}$ 、 $V_{CC} = V_{CCQ} = 1.8\text{V}$ または 3.0V で測定されます。(これは 85°C と 105°C の時の I_{DPD} に適用しません)。

11.2.1 静電容量特性

1.8Vでの静電容量特性

説明	パラメーター	最小値	最大値	単位
入力静電容量 (CK, CK#, CS#)	CI	1.5	3.0	pF
デルタ入力静電容量 (CK, CK#)	CID		0.25	pF
出力静電容量 (RWDS)	CO	1.5	4.5	pF
I/O ピン静電容量 (DQx)	CIO	1.5	4.5	pF
I/O ピン静電容量デルタ (DQx)	CIOD	~	0.5	pF
INT#, RSTO# ピンの静電容量	COP	~	8.0	pF

- 注:
- これらの値は設計保証であり、サンプルでのみテストされます。
 - ピンの静電容量は、ベクタ ネットワーク アナライザーを用いた静電容量測定の手順 (JEP147) に従って測定されます。V_{CC}、V_{CCQ} を印加し、(試験中のピンを除いて) すべての他のピンは開放にします。DQ ピンを高インピーダンス状態にする必要があります。
 - CK、CK#、RWDS、DQx ピンの静電容量値は同等になり、システム内の信号伝播時間整合を実現する必要があります。アクティブ (LOW) になる CS# と DQ バスに出力されるデータ間の重要なタイミングがないため、CS# の静電容量値は重要ではありません。

3.0Vでの静電容量特性

説明	パラメーター	最小値	最大値	単位
入力静電容量 (CK, CS#)	CI	1.5	3.0	pF
出力静電容量 (RWDS)	CO	1.5	6.5	pF
I/O ピン静電容量 (DQx)	CIO	1.5	6.5	pF
I/O ピン静電容量デルタ (DQx)	CIOD	~	0.5	pF
INT#, RSTO# ピンの静電容量	COP	~	8.0	pF

- 注:
- これらの値は設計保証であり、サンプルでのみテストされます。
 - ピンの静電容量は、ベクタ ネットワーク アナライザーを用いた静電容量測定の手順 (JEP147) に従って測定されます。V_{CC}、V_{CCQ} を印加し、(試験中のピンを除いて) すべての他のピンは開放にします。DQ ピンを高インピーダンス状態にする必要があります。
 - CK、RWDS、DQx ピンの静電容量値は同等になり、システム内の信号伝播時間整合を実現する必要があります。アクティブ (LOW) になる CS# と DQ バスに出力されるデータ間の重要なタイミングがないため、CS# の静電容量値は重要ではありません。

11.3 電源投入時および電源切断時

コア電源 (V_{CC}) が V_{CC} ロックアウト電圧 (V_{LKO}) を下回った場合はメモリは電源切断と見なされます。 V_{CC} が V_{LKO} を下回ると、メモリアレイの全体はプログラムや消去動作から保護されます。これにより、電源変動時でも、メモリの内容が誤って変更されないようにしています。 V_{SS} レベルに至るまで電源変動時は、 V_{CCQ} は V_{CC} 以下を保つ必要があります。

V_{CC} が $V_{CCRESET}$ (V_{RST}) を下回り、その後、 $V_{RST} \sim V_{CC(min)}$ に復帰すると、デバイスはパワーオンリセットインターフェースの状態に入り、EAC はコールドリセット自動アルゴリズムを開始します。

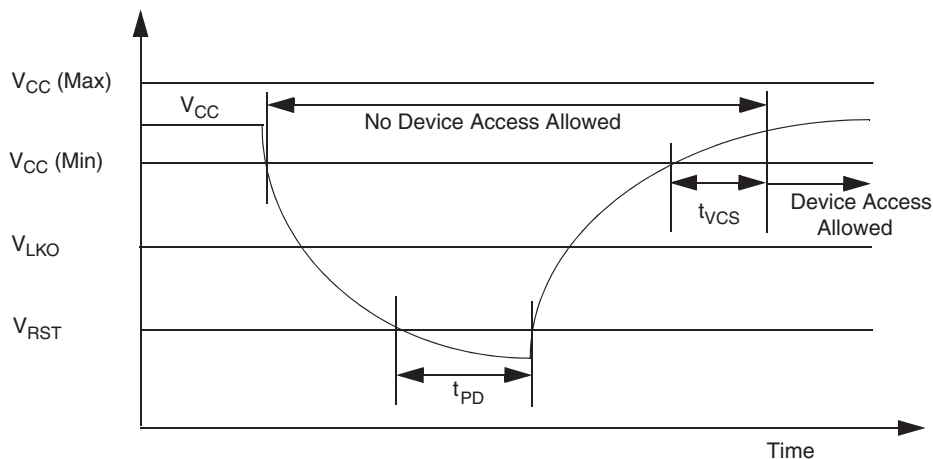
V_{CC} は V_{CCQ} ($V_{CC} \geq V_{CCQ}$) 以上を保持すべきです。

デバイスは、 V_{CC} と V_{CCQ} が両方とも上昇し、最小しきい値 V_{CC} を越える状態を継続した時点から、 t_{VCS} の遅延時間が経過するまで、すべての入力を無視します。 t_{VCS} の間、デバイスはパワーオンリセットの動作を実行しています。

電源切断中または電圧が V_{LKO} を下回っている間、 V_{CC} 電圧は t_{PD} 時間で V_{RST} を下回ります。これにより、 V_{CC} と V_{CCQ} が動作範囲に上昇する時、デバイスは正しく初期化します。66 ページの「[図 11.1. 電源切断または電圧低下](#)」をご参照ください。電圧低下中に、 V_{CC} が V_{LKO} を上回ったままの場合は、デバイスは初期化状態のままとなり、 V_{CC} が $V_{CC(min)}$ を上回った時は正常に動作します。誤った初期化によりデバイスがロックアップした場合は、ソフトウェアリセットによりデバイスを正常に初期化することができます。

V_{CC} と V_{CCQ} 電源を安定させるための電源供給時デカップリングには、標準的な予防措置を講じてください。システム内のそれぞれのデバイスには、パッケージコネクタに近接する適切なコンデンサ (通常、約 $0.1\mu F$) によりデカップリングされた V_{CC} と V_{CCQ} 電源が必要です。

図 11.1 電源切断または電圧低下



1.8V での電源投入/電源切断電圧とタイミング

記号	パラメーター	最小値	最大値	単位
V_{CC}	V_{CC} 電源電圧	1.7	1.95	V
V_{LKO}	V_{CC} の切断電圧。電圧がこれを下回ると再初期化が必要となる	1.5	-	V
V_{RST}	V_{CC} 低電圧。初期化を確実にを行うために必要	0.5	-	V
t_{VCS}	V_{CC} と $V_{CCQ} \geq$ 最小値以上になる時から最初のアクセスまでの時間 RESET# Low ~ High 遷移から最初のアクセスまでの時間 (V_{CC} と $V_{CCQ} \geq (min)$)	-	300	μs
t_{PD}	$V_{CC} \leq V_{RST}$ の期間	10	-	μs

注:

1. V_{CC} ランプレートは非線形である場合があります。

3.0Vでの電源投入/電源切断電圧とタイミング

記号	パラメーター	最小値	最大値	単位
V _{CC}	V _{CC} 電源電圧	2.7	3.6	V
V _{LKO}	V _{CC} の切断電圧。電圧がこれを下回ると再初期化が必要となる	2.4	-	V
V _{RST}	V _{CC} 低電圧。初期化を確実にを行うために必要	0.7	-	V
t _{VCS}	V _{CC} と V _{CCQ} ≥ 最小値以上になる時から最初のアクセスまでの時間 RESET# Low ~ High 遷移から最初のアクセスまでの時間 (V _{CC} と V _{CCQ} ≥ (min))	-	300	μs
t _{PD}	V _{CC} ≤ V _{RST} の期間	10	-	μs

注:

1. V_{CC} ランプ レートは非線形である場合があります。

11.3.1 パワー オン (コールド) リセット (POR)

最初に電力を印加した時に、電源電圧が V_{LKO} を下回っており、その後最小の動作電圧に達した場合は、内部のデバイス構成とコールドリセットのアクティビティが開始されます。動作期間中 (t_{VCS}) やユーザーが拡張する RSTO#Low 時間の間、RESET# と CS# は無視されます。デバイスが POR 状態にある、または RSTO# ピンが LOW になっている間、コマンドシーケンスはブロックされます。この期間中、デバイスは選択できず、コマンドを受け付けず、RSTO# 以外出力をしません。この POR 期間中の RESET# を LOW にすることは任意です。RESET# が POR 中に Low になった場合は、POR 動作が t_{VCS} と t_{RPH} の終わりに完了する時 RESET# はハードウェアリセットのパラメーター t_{RP} および t_{RPH} を満たす必要があります。t_{VCS} 期間中に RESET# が LOW になると、デバイスをハードウェアリセット状態に保つため、t_{VCS} の終わりに LOW のままになる場合があります。t_{VCS} の終わりに RESET# が HIGH の場合は、デバイスはスタンバイ状態に入ります。RSTO# の Low 期間の終わりに CS# を V_{IH} レベルにする必要があります。

コールドリセット中は、デバイスは I_{CC7} 電流を消費します。t_{VCS} 中に CS# が LOW の場合、デバイスは t_{VCS} の間通常 POR 電流よりも多くの電流を消費する場合がありますが、CS# のレベルは、コールドリセット EA には影響しません。

t_{VCS} の終わりまでに POR が正しく完了していない場合は、その後、ハードウェアリセット状態への遷移があると、これに起因してパワーオンリセットインターフェースへの遷移が行われ、コールドリセット自動アルゴリズムが開始されます。これにより、システム電源投入時の電圧のランプアップに起因して、POR が開始されない、あるいは正しく完了しないといったことがあったとしても、デバイスがコールドリセットを完了することは保証されます。

RSTO# はデバイス内で POR が発生している時点を示すために使用されるオープンドレイン出力であり、システムレベルのリセット信号として使用できます。内部 POR の完了後ただちに、ユーザーにより定義されたタイムアウト期間が経過した後、RSTO# 信号は低インピーダンスから高インピーダンスに遷移します。高インピーダンス状態に遷移した後、外部プルアップ抵抗により RSTO# 信号は HIGH レベルに引っ張られて、デバイスは瞬時にアイドル状態になります。RSTO# が LOW の場合、デバイスはいかなるコマンドも取り受けません。

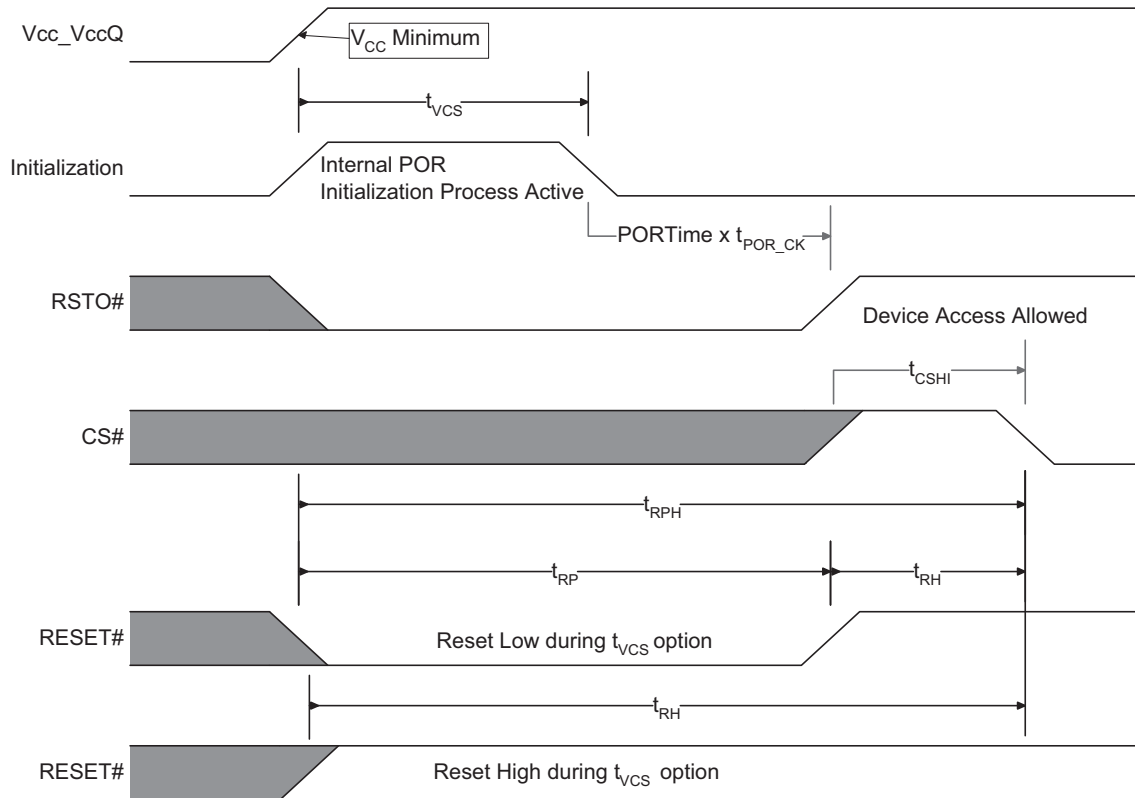
ユーザーが POR (t_{VCS}) 期間を超えて RSTO# の期間を延長したい場合、不揮発性の PORTime レジスタをプログラムする必要があります。このレジスタ (FFFFh) の初期値により RSTO# ピンの期間に 0 を増加できます。t_{VCS} の終わりに、RSTO# 信号は高インピーダンスに復帰します。t_{VCS} を超えて延長された RSTO# パルスを定義するために、16 ビット PORTime レジスタにプログラムされた値は、t_{POR_CK} で乗算されます (67 ページの「ユーザーのコンフィギュレーションに応じる POR 延長」表をご参照ください)。RSTO# アサートまでのプログラムされた延長の長さは「PORTime レジスタ内の値 +1 クロック サイクル」です。PORTime レジスタは OTP であり、プログラムされると後続のプログラミング試行に失敗します。

ユーザーのコンフィギュレーションに応じる POR 延長

パラメーター	記号	最小値	最大値	単位
POR 延長クロック周期	t _{POR_CK}	25	42	μs

RSTO# と INT# 出力の両方は V_{CC} が V_{CC(min)} を下回った場合は未定義となります。V_{CC(min)} に到達すると、INT# 出力は高インピーダンス状態になります。V_{CC(min)} に到達した場合、「t_{VCS}+ 追加のユーザー定義の POR 延長時間」の後 RSTO# 出力は LOW から High インピーダンス状態へ遷移します。

図 11.2 パワーオンリセット信号図



注:

1. V_{CCQ} は、V_{CC} と同じでなければなりません。
2. PORTime は t_{VCS} 時間が経過した後に RSTO# をアサートすることを可能にするために用意され、カスタムによってプログラムされるコンフィギュレーションレジスタです。PORTime は、51 ページの「不揮発性コンフィギュレーションレジスタ」表で定義します。
3. t_{POR_CK} は、RSTO# 信号のパルスを延長するために使用する内部 (オンチップ) クロック周期です。t_{POR_CK} は 67 ページの「ユーザーのコンフィギュレーションに応じる POR 延長」表で説明します。

11.3.2 ハードウェア (ウォーム) リセット

RESET# 入力は、デバイスをハードウェア的にリセットしてスタンバイ状態にします。RESET# が LOW の場合、コマンドシーケンスと読み出し動作は禁止になります。デバイスがリセット状態にある場合、コマンドシーケンスはブロックされます。

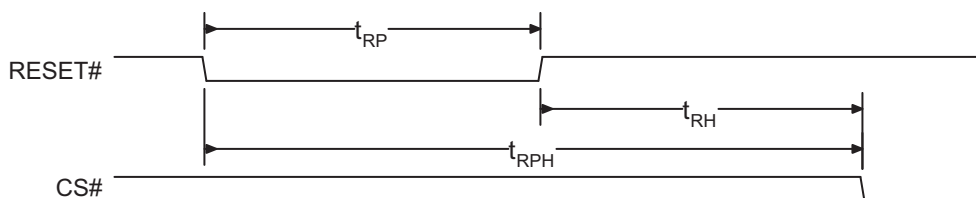
ハードウェア リセット中、デバイスは I_{CC5} 電流を消費します。RESET# が継続的に V_{SS} に保持されると、デバイスは CMOS スタンバイ電流 (I_{CC4}) を消費します。RESET# が V_{IL} に保持されていても V_{SS} になっていないと、スタンバイ電流は大きくなります。

ハードウェア リセットにより、バス コンフィギュレーションは不揮発性レジスタ (NVCR) により定義されます。69 ページの「[図 11.3. ハードウェア リセットのタイミング図](#)」をご参照ください。

デバイスが POR を完了し、スタンバイ状態に入った後は、その後のハードウェア リセット状態への遷移はすべて、ウォームリセット アルゴリズムを起動させます。ウォームリセットはコールドリセットよりもはるかに短時間であり、完了までに要するのは数 μs (t_{RPH}) です。自動ウォームリセット アルゴリズム中は、進行中の組み込みアルゴリズムはすべて停止され、EAC は POR 状態に戻され、不揮発性メモリから EAC アルゴリズムがリロードされることもありません。自動ウォームリセット アルゴリズムが完了した後、RESET# が LOW のままであると、インターフェースはハードウェアリセット状態のままとなります。RESET# が HIGH に復帰すると、インターフェースはスタンバイ状態に遷移します。RESET# が HIGH の場合は、自動ウォームリセット アルゴリズムの最後に、インターフェースは直接スタンバイ状態に遷移します。

t_{VCS} の終わりまでに POR が正しく完了していない場合は、その後、ハードウェア リセット状態への遷移があると、これに起因してパワーオン リセット インターフェースへの遷移が行われ、コールドリセット自動アルゴリズムが開始されます。これにより、システム電源投入時の電圧のランプアップに起因して、POR が開始されない、あるいは正しく完了しないといったことがあったとしても、デバイスがコールド リセットを完了することが保証されます。

図 11.3 ハードウェア リセットのタイミング図



電源投入とリセット パラメーター

パラメーター	説明	限界	時間	単位
t_{VCS}	V_{CC} セットアップ時間から最初のアクセス (1)	Min	300	μs
t_{RPH}	RESET# LOW から CS# LOW までの時間	Min	30	μs
t_{RP}	RESET# パルス幅	Min	200	ns
t_{RH}	RESET# (HIGH) と CS# (LOW) 間の時間	Min	150	ns
t_{PD}	$V_{CC} \leq V_{RST}$ の期間	Min	1	μs
t_{CSHI}	動作間のチップセレクト HIGH 時間	Min	6.0	ns

- 注:
- バストランザクション (読み出しと書き込み) は、電源投入リセット時間 (t_{VCS}) 中は許可されません。
 - タイミングは、 V_{CC} が $V_{CC}(\min) \sim V_{IH}$ (リセットの場合)、および $V_{CC}(\min) \sim V_{IL}$ (CS# ピンの場合) で測定されます。
 - RESET# Low は POR 中では任意です。POR 中に RESET がアサートされた場合は、 t_{RPH} と t_{VCS} の後者は CS# が LOW になった時に特定されます。 t_{VCS} が満たされた後 RESET# が LOW のままになっている場合、 t_{RPH} は t_{VCS} の終わりに測定されます。CS# が LOW になる前に t_{RH} の間 HIGH であることも必要です。
 - V_{CC} ランプレートは非線形である場合があります。
 - $t_{RP} + t_{RH}$ は、 t_{RPH} 以上である必要があります。

ハードウェア リセットを利用して DPD モードを終了することもできます。RESET# の入力を ($t_{RP}(\min)$ の間) LOW に駆動すると、デバイスは DPD モードを終了します。デバイスはアイドル状態に復帰する際に t_{DPDOUT} が掛かります。DPD モードを終了する時、デバイスは、パワーオン リセット後と同様な設定を持っています。63 ページの「[10.3.2. ディープ パワー ダウン](#)」を参照してください。

12. タイミング仕様

HyperBus インターフェースのタイミング仕様の概要は、HyperBus の仕様をご参照ください。以下の節はタイミング仕様の HyperFlash デバイ스에準拠した側面を説明します。

12.1 AC 特性

HyperFlash 固有 1.8V 読み出しタイミング

パラメーター	記号	166MHz		単位
		Min	Max	
読み出し初期アクセス時間	t_{ACC}	—	96	ns
チップセレクトアクティブから RWDS 有効 (LOW) までの時間	t_{DSV}	—	8	ns

注：
 1. 抜き取りテストであり、100% テストはされていません。

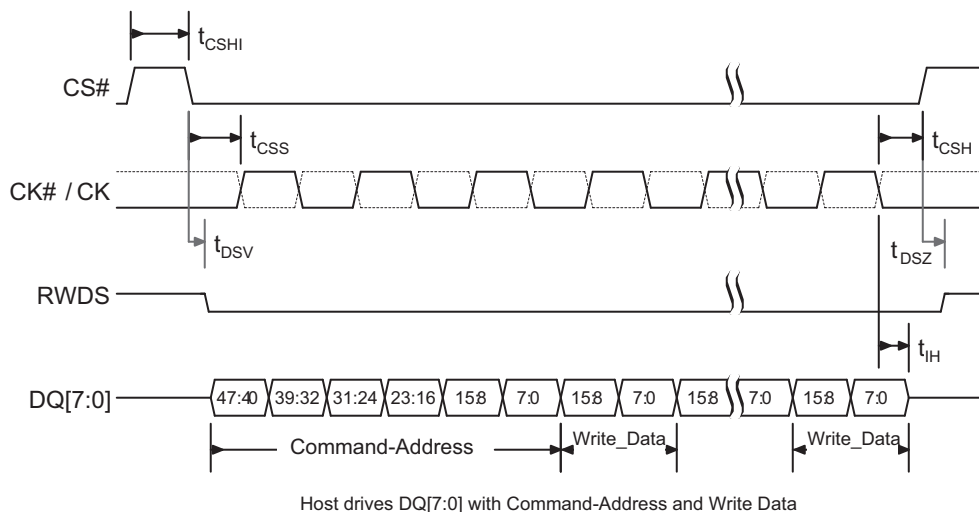
HyperFlash 固有 3.0V 読み出しタイミング

パラメーター	記号	100MHz		単位
		Min	Max	
読み出し初期アクセス時間	t_{ACC}	—	96	ns

注：
 1. 抜き取りテストであり、100% テストはされていません。
 HyperFlash 固有の書き込みタイミングはありません。

12.2 マルチワードバーストデータロードによるワードプログラミング

図 12.1 ワードプログラム コマンド中にマルチワードをロードしている間のバースト書き込みのタイミング図



- 注：
1. トランザクションは CK が LOW、CK# が HIGH 状態で開始する必要があります。CS# は新しいトランザクションが開始する前に HIGH に復帰しなければなりません。
 2. 書き込み中に CS# が Low の場合、HyperFlash メモリが RWDS を LOW に駆動します。
 3. ASO 状態ではバースト書き込み動作は許可されません。
 4. ワードプログラム コマンドではマルチワードをロードしている場合にのみバースト書き込み動作が可能になります。
 5. バースト書き込み動作は線形であり、バースト書き込みのラップはありません。
 6. CK# は 1.8V デバイスでのみ使用されます。3V デバイスはシングルエンドクロック入力を使用します。

ワードプログラム コマンド中にマルチワードをロードしている間のバースト書き込みのタイミング図

パラメーター	記号	50MHz (2)		単位
		Min	最大値	
バースト書き込みの動作周波数			50	MHz
チップセレクトセットアップから次のCK立ち上がりエッジまでの時間	t_{CSS}	3	-	ns
チップセレクトアクティブからRWDS有効 (LOW) までの時間	t_{DSV}	-	8	ns
入力セットアップ時間	t_{IS}	1.0	-	ns
入力ホールド時間	t_{IH}	1.0	-	ns
CK立ち下がりエッジ後のチップセレクトのホールド時間	t_{CSH}	0	-	ns
チップセレクト非アクティブからRWDS High-Z までの時間	t_{DSZ}	-	6	ns
動作間のチップセレクトHIGH時間	t_{CSHI}	10.0	-	ns

注:

1. 抜き取りテストであり、100% テストはされていません。
2. 50MHz タイミングは、ワードプログラム コマンド中にバースト書き込みを使用する場合にのみ必要です。

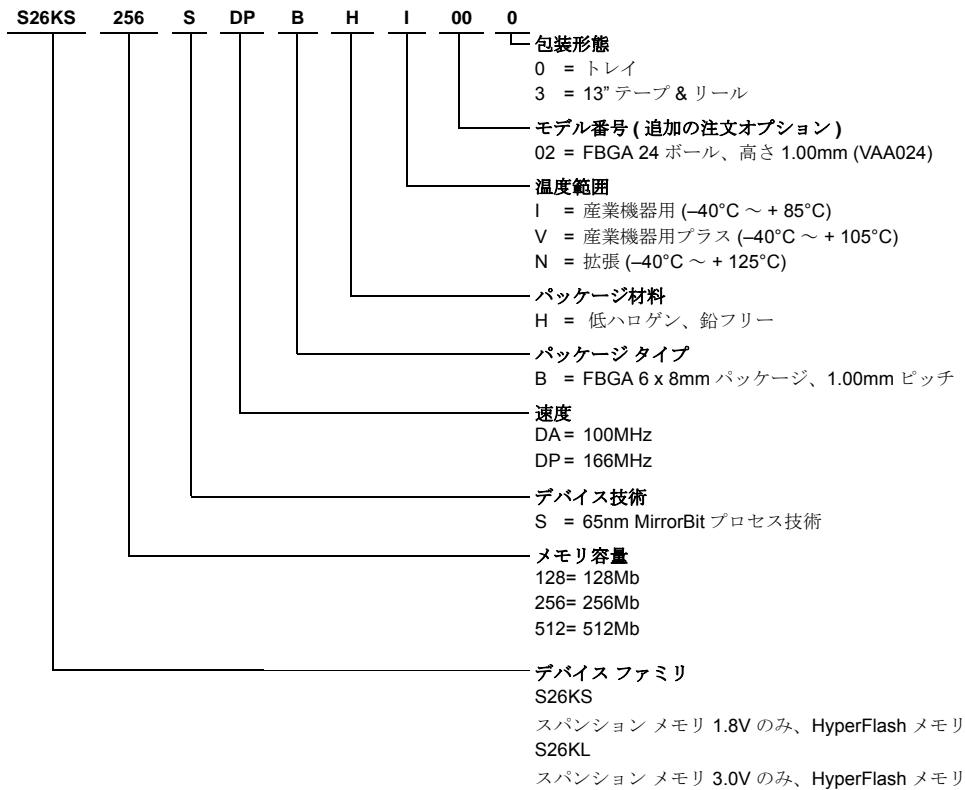
13. 物理インターフェース

フットプリントと 6 x 8 x 1mm (VAA024) 物理パッケージ図は、HyperBus 仕様をご参照ください。

14. 注文情報

14.1 注文製品番号

注文製品番号は下記の有効な組み合わせで構成されます。



14.2 有効な組み合わせ

有効な組み合わせ表は、大量に利用可能になるコンフィギュレーションの一覧です。新しい組み合わせがリリースされると、表が更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せについては、担当営業までお問い合わせください。

有効な組み合わせ

デバイス番号	スピード	パッケージと材料	温度範囲	モデル番号	包装形態	注文部品番号 (x = パッケージタイプ)	パッケージ マーキング
S26KL512S	DA	BH	I、V	02	0、3	S26KL512SDABHI02x S26KL512SDABHV02x	6KL512SDAHI02 6KL512SDAHV02
S26KL256S	DA	BH	I、V	02	0、3	S26KL256SDABHI02x S26KL256SDABHV02x	6KL256SDAHI02 6KL256SDAHV02
S26KL128S	DA	BH	I、V	02	0、3	S26KL128SDABHI02x S26KL128SDABHV02x	6KL128SDAHI02 6KL128SDAHV02
S26KS512S	DP	BH	I、V	02	0、3	S26KS512SDPBHI02x S26KS512SDPBHV02x	6KS512SDPHI02 6KS512SDPHV02
S26KS256S	DP	BH	I、V	02	0、3	S26KS256SDPBHI02x S26KS256SDPBHV02x	6KS256SDPHI02 6KS256SDPHV02
S26KS128S	DP	BH	I、V	02	0、3	S26KS128SDPBHI02x S26KS128SDPBHV02x	6KS128SDPHI02 6KS128SDPHV02

注：

1. FBGA パッケージ マーキングでは、パッケージ タイプおよびパッキング タイプを示す先頭にある S2 文字が抜けています。

15. 改訂履歴

文書名 : S26KL512S / S26KS512S, S26KL256S / S26KS256S, S26KL128S / S26KS128S, 512M ビット (64M バイト)、256M
ビット (32M バイト)、128M ビット (16M バイト) 1.8V/3.0V HyperFlash™ ファミリ
文書番号 : 001-99466

版	ECN 番号	変更者	発行日	変更内容
**	4898999	HZEN	09/28/2015	これは英語版 001-99198 Rev. *C を翻訳した日本語版 001-99466 Rev. ** です。
*A	4963431	BWHA	10/14/2015	Advance から Final にステータスを変更。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、サイプレスのロケーションのページをご覧ください。

製品

車載用..... cypress.com/go/automotive
クロック&バッファ..... cypress.com/go/clocks
インターフェース..... cypress.com/go/interface
照明&電力制御..... cypress.com/go/powerpsoc
メモリ..... cypress.com/go/memory
PSoC..... cypress.com/go/psoc
タッチセンシング..... cypress.com/go/touch
USBコントローラー..... cypress.com/go/USB
ワイヤレス/RF..... cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカルサポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード(ソフトウェアおよび/またはファームウェア)はサイプレス セミコンダクタ社(以下「サイプレス」)が所有し、全世界の特許権保護(米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび/またはカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。