

プログラマブル システムオンチップ (PSoC[®])

概要

PSoC[®] 4 は、ARM[®] Cortex™-M0 CPU を内蔵したプログラマブル組み込みシステム コントローラー ファミリ用の、拡張可能かつ再設定可能なプラットフォーム アーキテクチャです。プログラム可能かつ再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成しています。PSoC 4000 製品ファミリは、PSoC 4 プラットフォーム アーキテクチャの最小メンバーです。これは、標準的な通信とタイミング ペリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシング システム (CapSense)、および汎用アナログの組み合わせです。新しいアプリケーションや設計ニーズの面では、PSoC 4000 製品は PSoC 4 プラットフォームのメンバーとの完全な上位互換性があります。

特長 32 ビット MCU サブシステム

- 16MHz ARM Cortex-M0 CPU
- リード アクセラレータ (Read Accelerator) を備えた 16KB までのフラッシュ
- 最大 2KB までの SRAM

プログラミング可能なアナログ

- 汎用または静電容量センシング アプリケーション用の 2 個の電流 DAC (IDAC)
- 内部リファレンスのある 1 個の低消費電力コンパレータ

低消費電力 1.71V ~ 5.5V の動作

- 割り込みと I²C アドレス検出によるウェイクアップ機能を備えたディープスリープ モード

静電容量センシング

- サイプレス CapSense シグマデルタ (CSD) はクラス最高の信号対ノイズ比 (SNR) および耐水性を提供
- サイプレスが提供するソフトウェア コンポーネントは静電容量センシングの設計を簡易化
- 5pF ~ 45pF のセンサー範囲での自動ハードウェア チューニング (SmartSense™)

シリアル通信

- ディープスリープ モード中にアドレス マッチングを行い、一致になるとウェイクアップを生成する能力を備えたマルチマスター I²C ブロック

タイミングおよびパルス幅の変調

- 1 個の 16 ビット タイマー/カウンター/パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、および疑似乱数モード
- モーター駆動やその他の信頼性の高いデジタル ロジック アプリケーション用のキル信号のコンパレータ ベースのトリガー

最大 20 のプログラミング可能な GPIO ピン

- 28 ピン SSOP、24 ピン QFN、16 ピン SOIC、16 ピン QFN、16 ボール WLCSP、8 ピン SOIC パッケージ
- ポート 0、1、2 の GPIO ピンは CapSense になり得る、または他の機能を備えている
- 駆動モード、駆動強度、スルーレートは設定可能

PSoC Creator 設計環境

- 統合開発環境 (IDE) が回路図設計の入力とビルドを提供 (アナログとデジタル自動配線も備えている)
- すべての固定機能およびプログラミング可能なペリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント

業界標準のツールとの互換性

- 回路図入力の後、開発は ARM ベースの業界標準の開発ツールで行うことが可能

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。リソースの総合リストについては、知識ベース記事「[KBA86521, How to Design with PSoC 3, PSoC 4, and PSoC 5LP](#)」をご参照ください。以下は PSoC 4 の要約です。

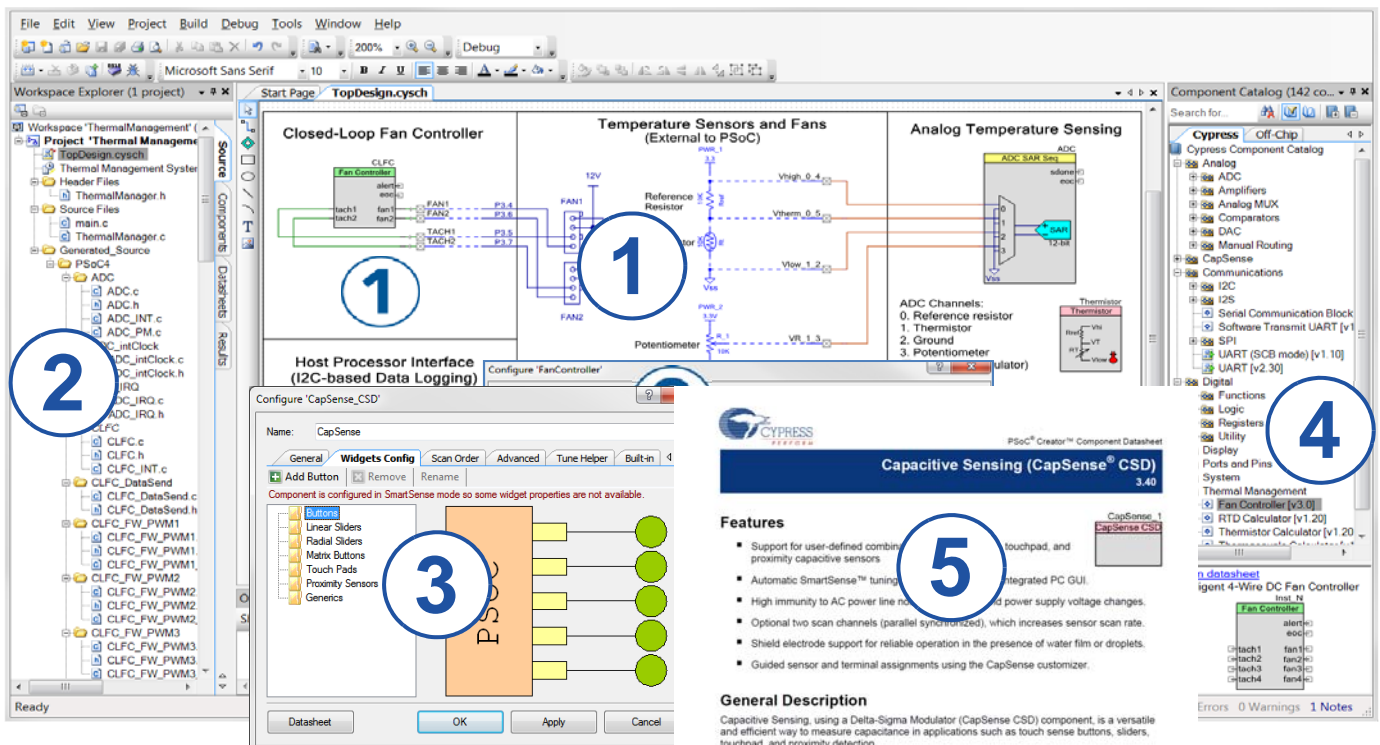
- 概要 : PSoC ポートフォリオ、PSoC ロードマップ
- 製品セレクタ : PSoC 1、PSoC 3、PSoC 4、PSoC 5LP
また、PSoC Creator はデバイス選択ツールを含んでいます。
- アプリケーション ノート : サイプレスは、基本レベルから上級レベルまでの様々なトピックに触れる大量の PSoC アプリケーション ノートを提供しています。以下は、PSoC 4 入門用の推奨アプリケーション ノートです。
 - AN79953: PSoC 4 の入門
 - AN88619: PSoC 4 ハードウェア設計上の注意事項
 - AN86439: PSoC 4 GPIO ピンの使用
 - AN57821: 混合信号回路基板レイアウト
 - AN81623: デジタル デザインのベストプラクティス
 - AN73854: ブートローダ入門
 - AN89610: ARM Cortex コード最適化
- テクニカルリファレンスマニュアル (TRM) には 2 種類あります。
 - **アーキテクチャ TRM** は各 PSoC 4 機能ブロックを詳細に説明します。
 - **レジスタ TRM** は各 PSoC 4 レジスタを詳細に説明します。
- 開発キット :
 - CY8CKIT-040 (PSoC 4000 Pioneer Kit) はデバッグ機能を備えた使いやすい安価な開発プラットフォームです。このキットは、Arduino™ 準拠シールドおよび Digilent® Pmod™ ドーターカード専用コネクタを搭載しています。
 - MiniProg3 デバイスはフラッシュのプログラミングとデバッグ用のインターフェースを提供しています。

PSoC Creator

PSoC Creator は無償の Windows ベースの統合設計環境 (IDE) です。このキットにより、PSoC 3、PSoC 4、および PSoC 5LP ベースのシステムのハードウェアとファームウェアの同時設計が可能です。100 以上の事前検証済みで量産使用が可能な PSoC コンポーネントをサポートしているクラシックで使い慣れた回路図キャプチャを使ってデザインを作成します。[コポーネント データシート](#)をご参照ください。PSoC Creator により、以下のことが可能です。

1. メイン デザイン ワークスペースで、コンポーネント アイコンをドラッグ アンド ドロップしてハードウェア システム デザインをビルド
2. PSoC Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを相互設計
3. コンフィギュレーション ツールを使ってコンポーネントを設定
4. 100 以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを参照

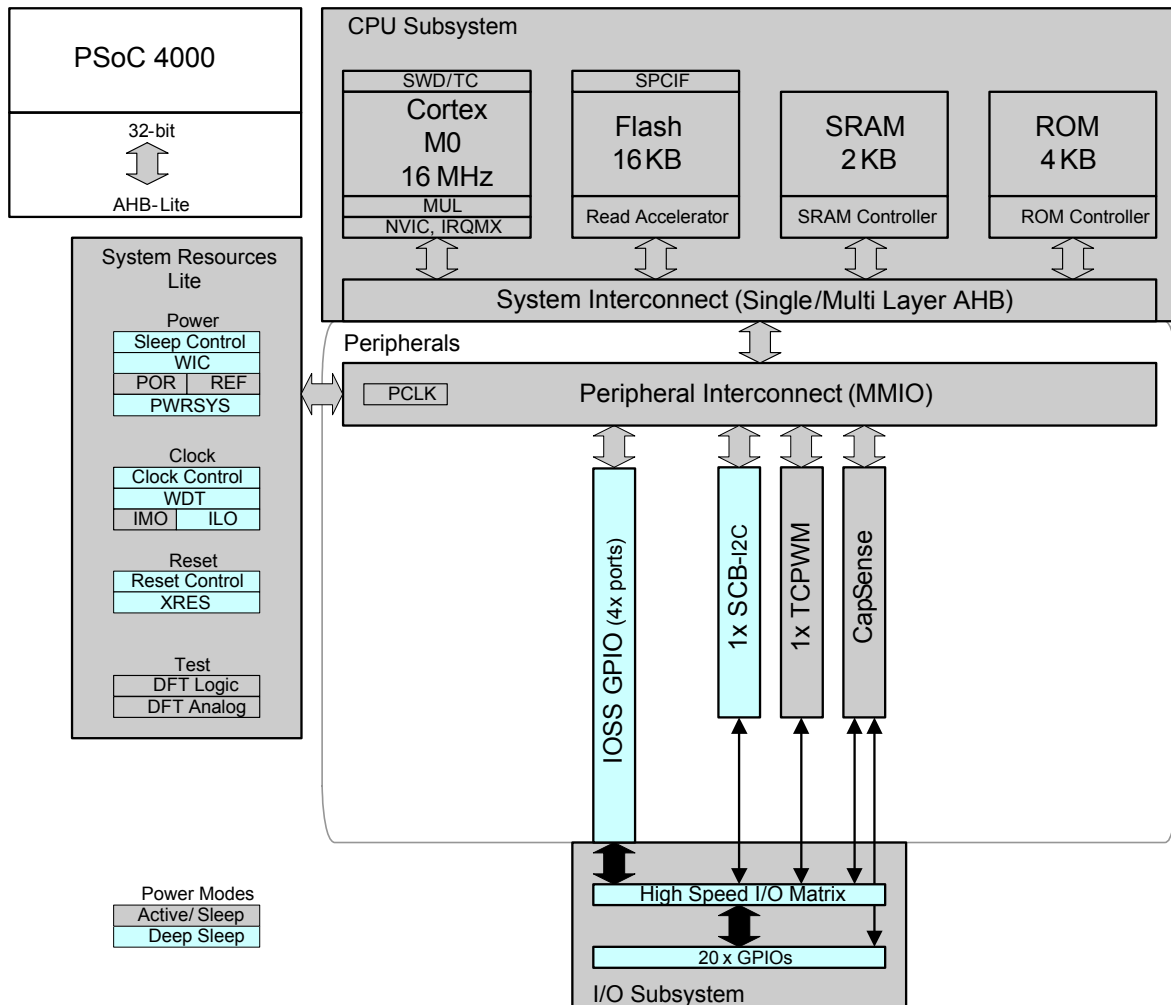
図 1. PSoC Creator での CapSense サンプル プロジェクト



目次

機能の説明	5	アナログ ペリフェラル	17
CPU およびメモリ サブシステム.....	5	デジタル ペリフェラル	19
システム リソース.....	5	メモリ.....	20
アナログ ブロック.....	6	システム リソース.....	20
固定機能デジタル.....	6	注文情報	23
GPIO	6	製品番号の命名規則	23
特殊機能ペリフェラル	6	パッケージ	25
ピン配置	7	パッケージ図.....	26
電源	12	略語	30
非安定化外部電源	12	本書の表記法	33
安定化外部電源	12	測定単位.....	33
開発サポート	13	変更履歴	34
ドキュメント	13	セールス、ソリューションおよび法律情報	35
オンライン	13	ワールドワイド販売と設計サポート	35
ツール.....	13	製品	35
電氣的仕様	14	PSoC [®] ソリューション.....	35
絶対最大定格	14	サイプレス開発者コミュニティ	35
デバイス レベルの仕様	14	テクニカル サポート	35

図 2. ブロック図



PSoC 4000 デバイスは、ハードウェアとファームウェアの両方のプログラム、テスト、デバッグ処理、配線の幅広い範囲に対応しています。

ARM シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートしています。

完全なデバッグ オン チップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで完全なデバイスのデバッグ処理が可能になります。専用のインターフェースやデバッグポッド、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、プログラミング用の標準的接続だけです。

PSoC Creator IDE は PSoC 4000 デバイス用の完全に統合されたプログラミングおよびデバッグのサポートを提供します。SWD インターフェースは業界標準のサードパーティ製ツールと完全互換です。PSoC 4000 ファミリは、マルチチップ アプリケーション ソリューションまたはマイクロコントローラに適用不可能なセキュリティ レベルを提供します。このファミリは次の利点を持っています。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護

- お客様独自の機能がプログラマブル オンチップ ブロックで実装可能

デバッグ回路は初期設定では有効にされており、ファームウェアでのみ無効にすることができます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去しフラッシュ保護もクリアしてデバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティ システムを打倒しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテスト インターフェースは無効にされます。そのため、デバイスセキュリティ機能が有効にされた PSoC4000 は、誤解析に起因して返されないことがあります。これは PSoC 4000 でユーザーが行えるトレードオフです。

機能の説明

CPU およびメモリ サブシステム

CPU

PSoC 4000 の Cortex-M0 CPU は、広範なクロック ゲーティングを備えた低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットであり、CPU が Thumb-2 命令セットのサブセットを実行します。これにより、バイナリ コードは完全上位互換になり、Cortex-M3 や M4 などの高性能プロセッサに使用できます。これは、8 つの割り込み入力を備えたネスト型ベクタ割り込みコントローラー (NVIC) ブロックとウェイクアップ割り込みコントローラー (WIC) を含みます。WIC はディープスリープモードからプロセッサを復帰させることができます。これにより、チップがディープスリープモードになっているときにメインプロセッサへの電源を切ることができます。また CPU サブシステムは、割り込みを生成できる、SYSTICK と呼ばれる 24 ビットタイマーを含みます。

その他、JTAG の 2 線式のデバッグ インターフェースであるシリアルワイヤ デバッグ (SWD) インターフェースもあります。PSoC 4000 に使用するデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PSoC 4000 デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために CPU に緊密に接続された、フラッシュ アクセラレータ付きのフラッシュ モジュールを持っています。低消費電力のフラッシュ ブロックは 16MHz でゼロウェイトステート (WS) アクセス時間を達成するように設計されます。

SRAM

16MHz で実行可能なゼロウェイトステート (待ち状態なし) のアクセスを備えた 2KB SRAM が提供されます。

SROM

ブートおよびコンフィギュレーション ルーチンを含んでいる監視 ROM が提供されます。

システム リソース

電源システム

電力システムは 12 ページの電源の節で詳しく説明されます。これは、電圧レベルがそれぞれのモードの必要に応じることを保証し、電圧レベルが適切な機能の必要に応じるまでモードへの移行を遅延させる (例えば、パワーオンリセット (POR) 時)、またはリセットを生成します (例えば、電圧低下検出時)。PSoC 4000 は、1.8V±5% (外部安定化) または 1.8V ~ 5.5V (内部安定化) の外部電源電圧で動作し、3 つの異なる電力モードがあり、これらのモード間の遷移が電源システムにより管理されます。PSoC 4000 はアクティブモードおよびスリープとディープスリープ低消費電力モードに対応しています。

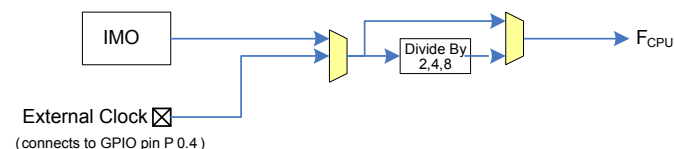
アクティブモードでは、すべてのサブシステムは動作できます。スリープモードでは、CPU サブシステム (CPU、フラッシュ、SRAM) はクロックがゲートオフになりますが、すべてのペリフェラルと割り込みはウェイクアップイベントの時に瞬時ウェイクアップ機能によりアクティブになります。ディープスリープモードでは、高速クロックおよび対応する回路がオフにされます。このモードからの復帰は 35µs かかります。

クロック システム

PSoC 4000 クロックシステムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロックソース間で切り替えることを担当します。また、クロックシステムはメタステーブル状態が発生しないように保証します。

PSoC 4000 のクロックシステムは、内蔵主発振器 (IMO)、内蔵低周波数発振器 (ILO)、および外部クロック用の予備ピンから構成されます。

図 3. PSoC 4000 MCU のクロッキングアーキテクチャ



F_{CPU} 信号は、アナログとデジタルペリフェラル用に同期クロックを生成するために分周することができます。PSoC 4000 は、4 個のクロック分周器を備えており、それぞれが 16 ビットで分周できます。16 ビット分周機能は、微周波数値を柔軟に生成することを可能にし、PSoC Creator で完全にサポートされています。

IMO クロック ソース

IMO は PSoC 4000 の内部クロック供給の主なソースです。これはテスト段階中に、指定された精度を得るためにトリムされます。IMO のデフォルト周波数は 24MHz で、4MHz のステップで 24 から 48MHz に調整できます。サイプレスが提供する校正設定では、IMO の許容誤差は ±2% (24MHz、32MHz) です。

ILO クロック ソース

ILO は、超低消費電力の 40kHz 発振器であり、ディープスリープモードでウォッチドッグタイマー (WDT) とペリフェラルの動作にクロックを生成するために主に使用されます。ILO 制御のカウンターは、精度を改善するために IMO に校正することができます。

ウォッチドッグタイマー

ウォッチドッグタイマーは、ILO をクロックソースとして動作するクロックブロックに実装されます。これにより、ウォッチドッグがディープスリープモードでも動作でき、設定されたタイムアウトが発生する前にウォッチドッグが処理されなかった場合にリセットが生成されます。ウォッチドッグリセットは、ファームウェアが読み出し可能なリセット原因 (Reset Cause) レジスタに記録されます。

リセット

PSoC 4000 は、ソフトウェアリセットを含む様々なソースからリセットできます。リセットイベントは非同期であり、チップを既存の状態に復帰させることを保証します。リセットの原因は、ソフトウェアがリセットの原因を判断できるようにする、リセット中にスティッキーであるレジスタに記録されます。24 ピンパッケージでは、XRES ピンは外部リセット用に予約されます。16 ピンと 8 ピンパッケージでは、内部 POR が提供されます。XRES ピンには、内部プルアップ抵抗が接続されています。リセットはアクティブ LOW 信号です。

電圧リファレンス

PSoC 4000 リファレンスシステムは、すべての必要となるリファレンスを生成します。1.2V 電圧リファレンスはコンパレータ用に提供されます。IDAC は ±5% 電圧リファレンスを参照します。

アナログブロック

低消費電力コンパレータ

PSoC 4000 は、内蔵電圧リファレンスを使用する低消費電力コンパレータを備えています。最大 16 ピンのいずれかをコンパレータ入力として使用でき、コンパレータ出力をピンに引き出せません。選択したコンパレータ入力はコンパレータの負の入力に接続します。コンパレータの正の入力は常に 1.2V 電圧リファレンスに接続しています。このコンパレータは CapSense の目的にも使用でき、CapSense の動作中には他の目的には使用不可能です。

電流 DAC

PSoC 4000 は、チップ上の最大 16 ピンのいずれかを駆動できる 2 個の IDAC を備えています。これらの IDAC はプログラミング可能な電流範囲を持っています。

アナログ多重化バス

PSoC 4000 は、中央から独立してチップの周辺を回る 2 個のバスを備えています。これらのバス (amux バスと呼ばれている) は、チップの内部リソース (IDAC、コンパレータ) がポート 0、1、2 のいずれかのピンに接続できるようにする、ファームウェアでプログラム可能なアナログスイッチに接続されています。

固定機能デジタル

タイマー/カウンター/PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーがプログラム可能な周期長の 16 ビット カウンターからなります。キャプチャレジスタは、I/O イベントなどのイベントの時にカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止し、または自動的にリロードします。比較レジスタは、PWM デューティ比出力として使用される比較値信号を生成します。ブロックは、真出力と相補出力 (それら間のオフセットがプログラミング可能) も提供しており、これらをデッドバンドがプログラミング可能な相補 PWM 出力として使用することができます。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モーター駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに止める必要がある時、キル入力を使用されます。

シリアル通信ブロック (SCB)

PSoC 4000 は、マルチマスター I²C インターフェースを実装するシリアル通信ブロックを備えています。

I²C モード : ハードウェア I²C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスターのアービトラーションが可能) を実装します。このブロックは、最大 400kbps (高速モード) で動作可能で、CPU 用の割り込みオーバヘッドとレイテンシを削減するためのフレキシブルなバッファリング オプションがあります。また、PSoC 4000 のメモリでメールボックス アドレス範囲を作って、メモリ アレイに対する読み書きの I²C 通信を効果的に削減する EZI²C にも対応しています。また、ブロックは送受信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出す一定の時間を増加することで、時間通りに CPU が読み出すデータを取得しないことに起因したクロック ストレッチの必要性を大幅に低減することができます。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義された通りに、I²C 標準モードとファストモード デバイスと互換性があります。I²C バス I/O は、オープンドレイン モードにある GPIO を使用して実装されます。

PSoC 4000 は、以下の点では I²C 仕様に完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや、I²C システムの残りの部分から独立して電源を投入することができません。
- ファストモードの最小立ち下がり時間は高速ストロングモードでは満たされません。低速ストロングモードはバス負荷によってこの仕様を満たすことがあります。

GPIO

PSoC 4000 は最大 20 の GPIO を持っています。GPIO ブロックは以下のものを実装します。

■ 8 種類の駆動モード

- アナログ入力モード (入力と出力バッファが無効)
- 入力のみ
- 弱プルアップ、強プルダウン
- 強プルアップ、弱プルダウン
- オープンドレイン、強プルダウン
- オープンドレイン、強プルアップ
- 強プルアップ、強プルダウン
- 弱プルアップ、弱プルダウン

■ 入力閾値選択 (CMOS あるいは LVTTL)

■ 駆動強度モード以外に、入力と出力バッファのイネーブル/ディスエーブルの個別制御

■ EMI を改善するために dV/dt 関連のノイズ制御用の選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 2 とポート 3 はより少ないビット幅です)。電源投入とリセットの時、入力への電流を止めない、および/または電源投入時に過電流を発生させないために、ブロックは無効状態に移行させます。高速 I/O マトリックスとして知られている多重化ネットワークは、1 本の I/O ピンに接続可能な複数の信号間を多重化するのに使用されます。

データ出力とピン ステート レジスタは、それぞれピン上で駆動される値とそれらのピンのステートを格納します。

各 I/O ピンは有効になった場合に割り込みを生成でき、各 I/O ポートはそれに対応する割り込み要求 (IRQ) と割り込みサービスルーチン (ISR) ベクタがあります (PSoC 4000 では、ベクタ数は 4 です)。

28 ピンおよび 24 ピン パッケージには 20 本の GPIO があります。16 ピン SOIC には 13 本の GPIO があります。16 ピン QFN および 16 ボール WLCSP には 12 本の GPIO があります。8 ピン SOIC には 5 本の GPIO があります。

特殊機能ペリフェラル

CapSense

CapSense は PSoC 4000 で、アナログスイッチに接続したアナログマルチプレクサバスを介して最大 16 ピンに接続できる CSD ブロックによりサポートされます。従って、CapSense 機能はソフトウェアで制御されて、システム内のいかなる使用可能なピン かピン グループにも提供することができます。ユーザーの便宜のために、PSoC Creator コンポーネントは CapSense ブロックに提供されています。

シールド電圧は、耐水機能を提供するために他のマルチプレクサバス上で駆動することができます。耐水性は、シールド電極を検知電極と同位相で駆動して、シールド容量が検知された入力を減衰させることを防ぐことで、備えられています。近接検知も実装することができます。

CapSense ブロックは、2 個の IDAC を備えています。これらは、CapSense を使用しない (両方の IDAC とも使用可能) 場合、または CapSense が耐水性を備えずに使用する (どちらか一方の IDAC が使用可能) 場合、一般用途に使用することができます。

ピン配置

すべてのポート ピンは GPIO に対応しています。ポート 0、1、2 は CSD CapSense とアナログ多重化バスの接続に対応しています。TCPWM 機能と代替機能は以下のように 5 種類の PSoC 4000 パッケージでポート ピンに多重化されています。

表 1. ピン機能

28 ピン SSOP		24 ピン QFN		16 ピン QFN		16 ピン SOIC		8 ピン SOIC		TCPWM 信号	代替機能
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称		
20	VSS										
21	P0.0/TRIN0	1	P0.0/TRIN0							TRIN0: トリガー入力 0	
22	P0.1/TRIN1/CMPO_0	2	P0.1/TRIN1/CMPO_0	1	P0.1/TRIN1/CMPO_0	3	P0.1/TRIN1/CMPO_0			TRIN1: トリガー入力 1	CMPO_0: 検知コンパレータ出力
23	P0.2/TRIN2	3	P0.2/TRIN2	2	P0.2/TRIN2	4	P0.2/TRIN2			TRIN2: トリガー入力 2	
24	P0.3/TRIN3	4	P0.3/TRIN3							TRIN3: トリガー入力 3	
25	P0.4/TRIN4/CMPO_0/EXT_CLK	5	P0.4/TRIN4/CMPO_0/EXT_CLK	3	P0.4/TRIN4/CMPO_0/EXT_CLK	5	P0.4/TRIN4/CMPO_0/EXT_CLK	2	P0.4/TRIN4/CMPO_0/EXT_CLK	TRIN4: トリガー入力 4	CMPO_0: 検知コンパレータ出力、外部クロック、CMOD コンデンサ
26	VCC	6	VCC	4	VCC	6	VCC	3	VCC		
27	VDD	7	VDD	6	VDD	7	VDD	4	VDD		
28	VSS	8	VSS	7	VSS	8	VSS	5	VSS		
1	P0.5	9	P0.5	5	VDDIO	9	P0.5				
2	P0.6	10	P0.6	8	P0.6	10	P0.6				
3	P0.7	11	P0.7								
4	P1.0	12	P1.0								
5	P1.1/OUT0	13	P1.1/OUT0	9	P1.1/OUT0	11	P1.1/OUT0	6	P1.1/OUT0	OUT0: PWM 出力 0	
6	P1.2/SCL	14	P1.2/SCL	10	P1.2/SCL	12	P1.2/SCL				I2C クロック
7	P1.3/SDA	15	P1.3/SDA	11	P1.3/SDA	13	P1.3/SDA				I2C データ
8	P1.4/UND0	16	P1.4/UND0							UND0: アンダーフロー時の出力	
9	P1.5/OVF0	17	P1.5/OVF0							OVF0: オーバーフロー時の出力	
10	P1.6/OVF0/UND0/nOUT0/CMPO_0	18	P1.6/OVF0/UND0/nOUT0/CMPO_0	12	P1.6/OVF0/UND0/nOUT0/CMPO_0	14	P1.6/OVF0/UND0/nOUT0/CMPO_0	7	P1.6/OVF0/UND0/nOUT0/CMPO_0	nOUT0: 上記の OUT0、UND0、OVF0 の相補信号	CMPO_0: 検知コンパレータ出力、内部リセット機能 ^[1]

注:

1. POR 中には負荷を介してグラウンドに接続しないでください (出力である必要があります)。

表 1. ピン機能 (続き)

28 ピン SSOP		24 ピン QFN		16 ピン QFN		16 ピン SOIC		8 ピン SOIC		TCPWM 信号	代替機能
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称		
11	VSS										
12	未接続 (NC) ^[2]										
13	P1.7/MATCH/EXT_CLK	19	P1.7/MATCH/EXT_CLK	13	P1.7/MATCH/EXT_CLK	15	P1.7/MATCH/EXT_CLK			MATCH: マッチ信号出力	外部クロック
14	P2.0	20	P2.0			16	P2.0				
15	VSS										
16	P3.0/SDA/SWD_IO	21	P3.0/SDA/SWD_IO	14	P3.0/SDA/SWD_IO	1	P3.0/SDA/SWD_IO	8	P3.0/SDA/SWD_IO		I2C データ、SWD I/O
17	P3.1/SCL/SWD_CLK	22	P3.1/SCL/SWD_CLK	15	P3.1/SCL/SWD_CLK	2	P3.1/SCL/SWD_CLK	1	P3.1/SCL/SWD_CLK		I2C クロック、SWD クロック
18	P3.2	23	P3.2	16	P3.2					OUT0: PWM 出力 0	
19	XRES	24	XRES								XRES: 外部リセット

ピン機能の説明は以下の通りです。

VDD: アナログとデジタル セクション用の電源。

VDDIO: このピンは使用可能な時、個別の電圧ドメインを提供します (詳細は、[電源](#)の節をご参照ください)。

VSS: グランド ピン。

VCCD: 安定化デジタル電源 (1.8V ±5%)。

ピン 0、1、2 のすべてのピンは、AMUXBUS A か B に接続した CSD 検知ピンまたは CSD シールド ピンとして使用できます。これらはまた、[表 1](#) に示された代替機能以外に、ファームウェアで駆動できる GPIO としても使用できます。

ポート 3 のピンは、上記の代替機能以外に GPIO としても使用可能です。

次のパッケージが提供されています : 28 ピン SSOP、24 ピン QFN、16 ピン QFN、16 ピン SOIC、8 ピン SOIC。

注 :

2. このピンを使用しない場合は開放にしてください。

図 4. 28 ピン SSOP のピン配置

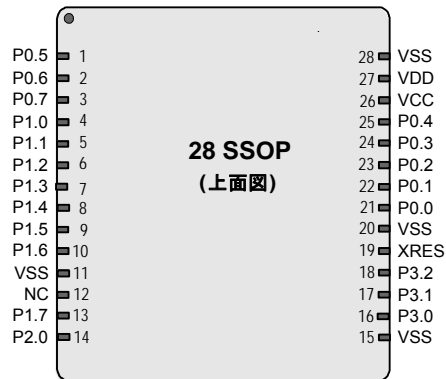


図 5. 24 ピン QFN のピン配置

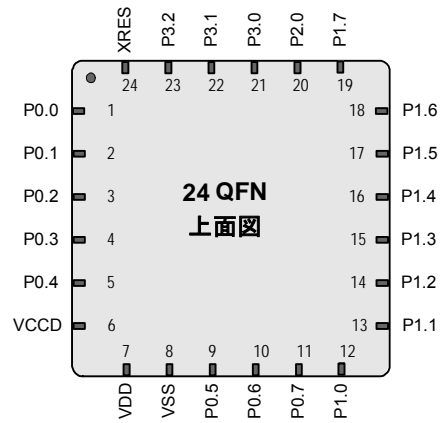


図 6. 16 ピン QFN のピン配置

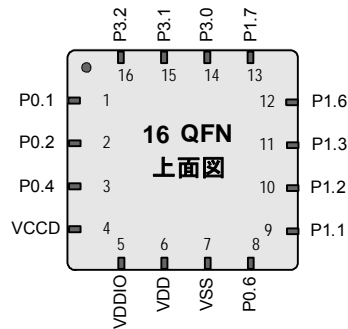


図 7. 16 ピン SOIC のピン配置

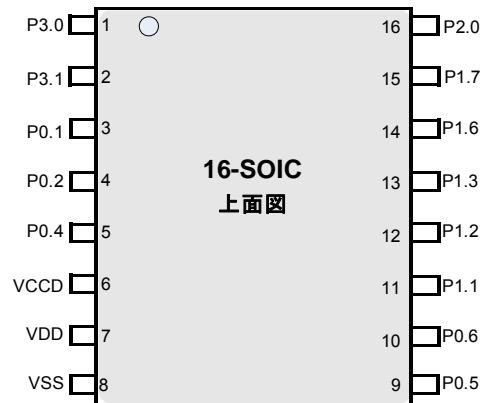
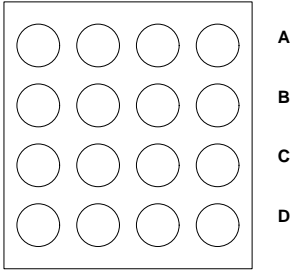
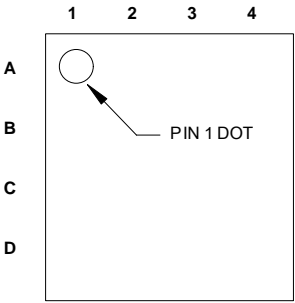


図 8. 8 ピン SOIC のピン配置



表 2. 16 ボール WLCSP ピンの説明と配置図

ピン	名称	TCPWM 信号	代替機能	ピン図
B4	P3.2	OUT0:PWMOUT0	-	<p>下面図</p>  <p>上面図</p> 
C3	P0.2/TRIN2	TRIN2: トリガー入力 2	-	
C4	P0.4/TRIN4/CMPO_0/ EXT_CLK	TRIN4: トリガー入力 4	CMPO_0: 検知コンパレータ出力、外部クロック、CMOD コンデンサ	
D4	VCCD	-	-	
D3	VDD	-	-	
D2	VSS	-	-	
C2	VDDIO	-	-	
D1	P0.6	-	-	
C1	P1.1/OUT0	OUT0:PWMOUT0	-	
B1	P1.2/SCL	-	I ² C クロック	
A1	P1.3/SDA	-	I ² C データ	
A2	P1.6/OVF0/UND0/nO UT0/CMPO_0	nOUT0: 上記の OUT0、UND0、 OVF0 の相補信号	CMPO_0: 検知コンパレータ出力、内部リセット機能 ^[3]	
B2	P1.7/MATCH/ EXT_CLK	MATCH: マッチ信号出力	外部クロック	
A3	P2.0	-	-	
B3	P3.0/SDA/SWD_IO	-	I ² C データ、 SWD I/O	
A4	P3.1/SCL/SWD_CLK	-	I ² C クロック、 SWD クロック	

注:

3. POR 中には負荷を介してグラウンドに接続しないでください (出力である必要があります)。

電源

以下の電源システム図 (図 9 と 図 10) は、PSoC 4000 用に実装された電源ピン セットを示します。システムには、デジタル回路用のアクティブ モードにあるレギュレータがあります。アナログレギュレータはありません。アナログ回路は V_{DD} 入力から直接電源供給されます。ディープスリープ モード用の個別レギュレータがあります。電源電圧範囲は $1.8V \pm 5\%$ (外部安定化)、またはすべての機能と回路が動作する $1.8V \sim 5.5V$ (外部非安定化；内部安定化) です。

16 ピン QFN パッケージで使用可能な V_{DDIO} ピンは、P3.0、P3.1、P3.2 ピンに個別の電圧ドメインを提供します。P3.0 と P3.1 が I^2C ピンになり得るため、チップは異なる電圧で動作する I^2C システム ($V_{DDIO} \leq V_{DD}$ の時) と通信することができます。例えば、 V_{DD} は $3.3V$ であり、 V_{DDIO} は $1.8V$ です。

PSoC 4000 ファミリは、非安定化外部電源と安定化外部電源という 2 種類の電源供給動作に対応しています。

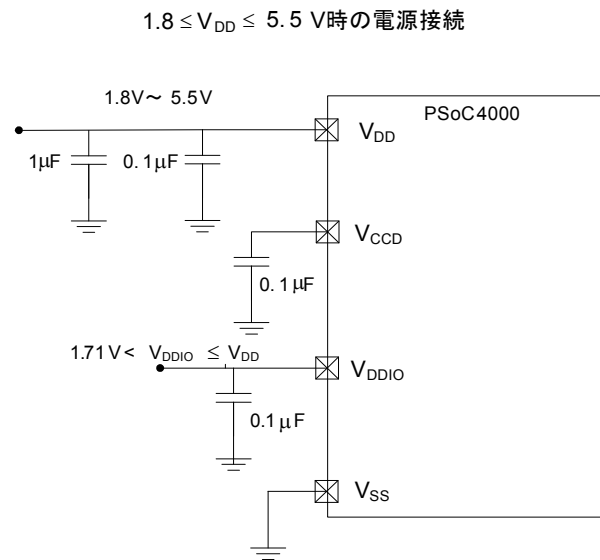
非安定化外部電源

このモードでは、PSoC 4000 は $1.8V \sim 5.5V$ の任意の外部電源から電源供給されます。この範囲は、バッテリー駆動動作にも設計されています。例えば、チップは、 $3.5V$ から始まってから $1.8V$ に低減するバッテリー システムから電源供給されます。このモードでは、PSoC 4000 の内部レギュレータは内部ロジックに電源を供給し、PSoC 4000 の V_{CCD} 出力は外部コンデンサ ($0.1\mu F$ ；X5R セラミックまたはこれより良質のもの) を介してグラウンドにバイパスする必要があります。

バイパス コンデンサは、 V_{DD} とグラウンド間に接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、 $1\mu F$ レンジのコンデンサとそれより小さいコンデンサ (例えば、 $0.1\mu F$) を互いに平行に配置して使用します。これらが単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために設計の際にはプリント基板レイアウト、リード インダクタンス、寄生バイパス コンデンサをシミュレートする必要があります。

以下は、バイパス方式の例です (V_{DDIO} は 16QFN パッケージで使用可能です)。

図 9. 16 ピン QFN のバイパス方式例 - 非安定化外部電源

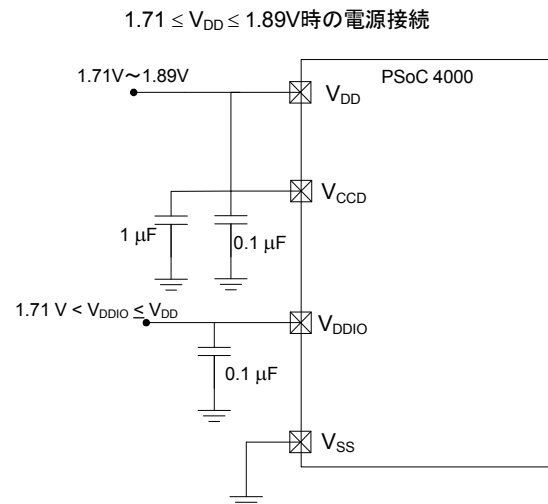


安定化外部電源

このモードでは、PSoC4000 は $1.71V \sim 1.89V$ の外部電源から電源供給されます。この範囲は電源リップルを含む必要があることにご注意ください。このモードで、 V_{DD} と V_{CCD} ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効にされます。このモードでは、 V_{DD} (V_{CCD}) はフラッシュプログラミングを含むどの条件でも $1.89V$ を超えてはいけないことにご注意ください。

以下は、バイパス方式の例です (V_{DDIO} は 16QFN パッケージで使用可能です)。

図 10. 16 ピン QFN のバイパス方式例 - 安定化外部電源



開発サポート

PSoC 4000 ファミリには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。詳細については、www.cypress.com/go/psoc4 をご覧ください。

ドキュメント

ドキュメント一式が PSoC 4000 ファミリをサポートし、ユーザーは、疑問点に対する答えを素早く見つけることができます。重要なドキュメントの幾つかが本節にリストアップされています。

ソフトウェア ユーザー ガイド：PSoC Creator の操作方法の手引書。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルド プロセスの詳細、PSoC Creator を用いたソース制御の使い方、その他が記載されています。

コンポーネント データシート：PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成することができます。コンポーネント データ シートには、ある特定のコンポーネントの選択および使用に必要な情報が、機能説明、API ドキュメント、サンプル コード、AC/DC 仕様を含んですべて記載されています。

アプリケーション ノート：PSoC アプリケーション ノートには、PSoC の特定のアプリケーションについて詳細な説明が記載されています。例として、ブラシレス DC モーターの制御やオンチップ フィルタリングがあります。アプリケーション ノート

には、多くの場合、アプリケーション ノートのドキュメントに加えてサンプルプロジェクトが含まれています。

テクニカル リファレンス マニュアル：テクニカル リファレンス マニュアル (TRM) には、すべての PSoC レジスタの詳細な説明など、PSoC デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は、www.cypress.com/psoc4 のドキュメントのセクションにあります。

オンライン

印刷された資料のほかに、サイプレス PSoC フォーラムによって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた PSoC 4000 ファミリは、開発ツール エコシステムの一部です。革新的で使いやすい PSoC Creator IDE、サポートされるサードパーティのコンパイラ、プログラマ、デバッガ、および開発キットの最新情報については、サイプレスのウェブサイト www.cypress.com/go/psoccreator をご覧ください。

電氣的仕様

絶対最大定格

表 3. 絶対最大定格^[4]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V _{DD_ABS}	V _{SS} を基準としたデジタル電源電圧	-0.5	-	6	V	
SID2	V _{CCD_ABS}	V _{SS} を基準とした直接デジタル コア電圧入力	-0.5	-	1.95	V	
SID3	V _{GPIO_ABS}	GPIO 電圧	-0.5	-	V _{DD} + 0.5	V	
SID4	I _{GPIO_ABS}	GPIO 毎の最大電流	-25	-	25	mA	
SID5	I _{GPIO_injection}	GPIO 注入電流、V _{IH} > V _{DD} の場合は Max、V _{IL} < V _{SS} の場合は Min	-0.5	-	0.5	mA	ピン毎の注入された電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-	V	
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	

デバイス レベルの仕様

すべての仕様は、特に注記した場合を除いて、-40°C ≤ T_A ≤ 85°C および T_J ≤ 100°C の条件で有効です。仕様は注記した場合を除いて 1.71V ~ 5.5V において有効です。

表 4. DC 仕様

標準値は 25°C で、V_{DD} = 3.3V 時に測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID53	V _{DD}	電源供給入力電圧	1.8	-	5.5	V	レギュレータが有効
SID255	V _{DD}	電源供給入力電圧 (V _{CCD} = V _{DD})	1.71	-	1.89	V	内部的に安定化されない電源
SID54	V _{DDIO}	V _{DDIO} ドメインの電源	1.71	-	V _{DD}	V	
SID55	C _{EFC}	外部レギュレータ電圧バイパス	-	0.1	-	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源供給バイパス コンデンサ	-	1	-	μF	X5R セラミックまたはこれより良質のもの

アクティブ モード、V_{DD} = 1.8V ~ 5.5V

SID9	I _{DD5}	フラッシュから実行 ; CPU 速度が 6MHz	-	2.0	2.85	mA	
SID12	I _{DD8}	フラッシュから実行 ; CPU 速度が 12MHz	-	3.2	3.75	mA	
SID16	I _{DD11}	フラッシュから実行 ; CPU 速度が 16MHz	-	4.0	4.5	mA	

スリープ モード、V_{DD} = 1.71V ~ 5.5V

SID25	I _{DD20}	I ² C ウェイクアップ ; WDT が有効。CPU 速度が 6MHz	-	1.1	-	mA	
SID25A	I _{DD20A}	I ² C ウェイクアップ ; WDT が有効。CPU 速度が 12MHz	-	1.4	-	mA	

ディープスリープ モード、V_{DD} = 1.8V ~ 3.6V (レギュレータが有効)

SID31	I _{DD26}	I ² C ウェイクアップ ; WDT が有効	-	2.5	8.2	μA	
-------	-------------------	------------------------------------	---	-----	-----	----	--

注：
4. 表 1 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長期間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様通りに動作しない可能性があります。

表 4. DC 仕様 (続き)

標準値は 25°C で、 $V_{DD} = 3.3V$ 時に測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
ディープスリープモード、 $V_{DD} = 3.6V \sim 5.5V$ (レギュレータが有効)							
SID34	I_{DD29}	I ² C ウェイクアップ ; WDT が有効	-	2.5	12	μA	
ディープスリープモード、 $V_{DD} = V_{CCD} = 1.71V \sim 1.89V$ (レギュレータがバイパスされる)							
SID37	I_{DD32}	I ² C ウェイクアップ ; WDT が有効	-	2.5	9.2	μA	
XRES 電流							
SID307	I_{DD_XR}	XRES がアサートされている時の供給電流	-	2	5	mA	

表 5. AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID48	F_{CPU}	CPU 周波数	DC	-	16	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 ^[5]	T_{SLEEP}	スリープモードからの復帰時間	-	0	-	μs	
SID50 ^[5]	$T_{DEEPSLEEP}$	ディープスリープモードからの復帰時間	-	35	-	μs	

GPIO

表 6. GPIO の DC 仕様 (16 ピン QFN パッケージの V_{DDIO} ピン用の V_{DDIO} を参照)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID57	$V_{IH}^{[6]}$	入力電圧の HIGH 閾値	$0.7 \times V_{DD}$	-	-	V	CMOS 入力
SID58	V_{IL}	入力電圧の LOW 閾値	-	-	$0.3 \times V_{DD}$	V	CMOS 入力
SID241	$V_{IH}^{[6]}$	LVTTL 入力、 $V_{DD} < 2.7V$	$0.7 \times V_{DD}$	-	-	V	
SID242	V_{IL}	LVTTL 入力、 $V_{DD} < 2.7V$	-	-	$0.3 \times V_{DD}$	V	
SID243	$V_{IH}^{[6]}$	LVTTL 入力、 $V_{DD} \geq 2.7V$	2.0	-	-	V	
SID244	V_{IL}	LVTTL 入力、 $V_{DD} \geq 2.7V$	-	-	0.8	V	
SID59	V_{OH}	出力 HIGH 電圧	$V_{DD} - 0.6$	-	-	V	$V_{DD} = 3V$ 時に $I_{OH} = 4mA$
SID60	V_{OH}	出力 HIGH 電圧	$V_{DD} - 0.5$	-	-	V	$V_{DD} = 1.8V$ 時に $I_{OH} = 1mA$
SID61	V_{OL}	出力 LOW 電圧	-	-	0.6	V	$V_{DD} = 1.8V$ 時に $I_{OL} = 4mA$
SID62	V_{OL}	出力 LOW 電圧	-	-	0.6	V	$V_{DD} = 3V$ 時に $I_{OL} = 10mA$
SID62A	V_{OL}	出力 LOW 電圧	-	-	0.4	V	$V_{DD} = 3V$ 時に $I_{OL} = 3mA$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	kΩ	
SID65	I_{IL}	入力リーク電流 (絶対値)	-	-	2	nA	25°C、 $V_{DD} = 3.0V$
SID66	C_{IN}	入力容量	-	3	7	pF	
SID67 ^[7]	V_{HYSTTL}	入力ヒステリシス LVTTL	15	40	-	mV	$V_{DD} \geq 2.7V$
SID68 ^[7]	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DD}$	-	-	mV	$V_{DD} < 4.5V$

注:

5. 特性評価で保証されています。
6. V_{IH} は $V_{DD} + 0.2V$ を超えてはいけません。

表 6. GPIO の DC 仕様 (16 ピン QFN パッケージの V_{DDIO} ピン用の V_{DDIO} を参照) (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID68A ^[7]	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	–	–	mV	$V_{DD} > 4.5V$
SID69 ^[7]	I_{DIODE}	保護ダイオードを通して V_{DD} / V_{SS} に流れる電流	–	–	100	μA	
SID69A ^[7]	I_{TOT_GPIO}	チップのソースまたはシンク電流の合計最大値	–	–	85	mA	

表 7. GPIO の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T_{RISEF}	高速ストロングモードでの立ち上がり時間	2	–	12	ns	$V_{DD} = 3.3V$, $C_{load} = 25pF$
SID71	T_{FALLF}	高速ストロングモードでの立ち下がり時間	2	–	12	ns	$V_{DD} = 3.3V$, $C_{load} = 25pF$
SID72	T_{RISES}	低速ストロングモードでの立ち上がり時間	10	–	60	–	$V_{DD} = 3.3V$, $C_{load} = 25pF$
SID73	T_{FALLS}	低速ストロングモードでの立ち下がり時間	10	–	60	–	$V_{DD} = 3.3V$, $C_{load} = 25pF$
SID74	$F_{GPIOOUT1}$	GPIO の F_{OUT} ; $3.3V \leq V_{DD} \leq 5.5V$ 。 高速ストロングモード	–	–	16	MHz	90/10%、負荷 25pF、デュー ティ比 60/40
SID75	$F_{GPIOOUT2}$	GPIO の F_{OUT} ; $1.71V \leq V_{DD} \leq 3.3V$ 。 高速ストロングモード	–	–	16	MHz	90/10%、負荷 25pF、デュー ティ比 60/40
SID76	$F_{GPIOOUT3}$	GPIO の F_{OUT} ; $3.3V \leq V_{DD} \leq 5.5V$ 。 低速ストロングモード	–	–	7	MHz	90/10%、負荷 25pF、デュー ティ比 60/40
SID245	$F_{GPIOOUT4}$	GPIO F_{OUT} ; $1.71V \leq V_{DD} \leq 3.3V$ 。 低速ストロングモード	–	–	3.5	MHz	90/10%、負荷 25pF、デュー ティ比 60/40
SID246	F_{GPIOIN}	GPIO の入力動作周波数; $1.71V \leq V_{DD} \leq 5.5V$	–	–	16	MHz	V_{IO} の 90/10%

注:
7. 特性評価で保証されています。

XRES

表 8. XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V _{IH}	入力電圧の HIGH 閾値	0.7 × V _{DD}	–	–	V	CMOS 入力
SID78	V _{IL}	入力電圧の LOW 閾値	–	–	0.3 × V _{DD}	V	CMOS 入力
SID79	R _{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID80	C _{IN}	入力容量	–	3	7	pF	
SID81 ^[8]	V _{HYSXRES}	入力ヒステリシス電圧	–	0.05 * V _{DD}	–	mV	V _{DD} > 4.5V 時の標準ヒステリシス電圧が 200mV

表 9. XRES の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID83 ^[8]	T _{RESETWIDTH}	リセットパルス幅	5	–	–	μs	
BID#194 ^[8]	T _{RESETWAKE}	リセット解除時からのウェイクアップ時間	–	–	3	ms	

アナログ ペリフェラル

コンパレータ

表 10. コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID330 ^[8]	I _{COMP1}	高帯域幅モードでのブロック電流	–	–	110	μA	
SID331 ^[8]	I _{COMP2}	低消費電力モードでのブロック電流	–	–	85	μA	
SID332 ^[8]	V _{OFFSET1}	高帯域幅モードでのオフセット電圧	–	10	30	mV	
SID333 ^[8]	V _{OFFSET2}	低消費電力モードでのオフセット電圧	–	10	30	mV	
SID334 ^[8]	Z _{COMP}	コンパレータの DC 入力インピーダンス	35	–	–	MΩ	
SID338 ^[8]	V _{INP_COMP}	コンパレータ入力範囲	0	–	3.6	V	最大入力電圧は 3.6V か V _{DD} のどちらか低いほう
SID339	V _{REF_COMP}	コンパレータの内部リファレンス電圧	1.188	1.2	1.212	V	

注:

8. 特性評価で保証されています。

表 11. コンパレータの AC 仕様 (特性評価上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID336 ^[8]	T _{COMP1}	高帯域幅モードでの応答時間 ; 50mV オーバードライブ	-	-	90	ns	
SID337 ^[8]	T _{COMP2}	低消費電力モードでの応答時間 ; 50mV オーバードライブ	-	-	110	ns	

CSD

表 12. CSD および IDAC ブロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
CSD および IDAC 仕様							
SYS.PER#3	VDD_RIPPLE	10MHz での DC 電源の最大許容 リップル	-	-	±50	mV	VDD > 2V (リップルあり)、 T _A = 25°C、感度 = 0.1pF
SYS.PER#16	VDD_RIPPLE_1.8	10MHz での DC 電源の最大許容 リップル	-	-	±25	mV	VDD > 1.75V (リップルあ り)、T _A = 25°C、寄生容量 (C _p) < 20pF、感度 ≥ 0.4pF
SID.CSD#15	VREFHI	リファレンスバッファ出力	1.1	1.2	1.3	V	
SID.CSD#16	IDAC1IDD	IDAC1 (8ビット) ブロック電流	-	-	1125	µA	
SID.CSD#17	IDAC2IDD	IDAC2 (7ビット) ブロック電流	-	-	1125	µA	
SID308	V _{CSD}	動作電圧の範囲	1.71	-	5.5	V	1.8V±5% または 1.8V ~ 5.5V
SID308A	VCOMPIDAC	IDAC の電圧コンプライアンス 範囲	0.8	-	V _{DD} -0.8	V	
SID309	IDAC1 _{DNL}	8ビット分解能用の DNL	-1	-	1	LSB	
SID310	IDAC1 _{INL}	8ビット分解能用の INL	-3	-	3	LSB	
SID311	IDAC2 _{DNL}	7ビット分解能用の DNL	-1	-	1	LSB	
SID312	IDAC2 _{INL}	7ビット分解能用の INL	-3	-	3	LSB	
SID313	SNR	信号対ノイズ比 (特性評価上保証)	5	-	-	比率	静電容量範囲 = 9pF ~ 35pF、 感度 = 0.1pF
SID314	IDAC1 _{CRT1}	高電圧範囲での IDAC1 (8ビット) の出力電流	-	612	-	µA	
SID314A	IDAC1 _{CRT2}	低電圧範囲での IDAC1 (8ビット) の出力電流	-	306	-	µA	
SID315	IDAC2 _{CRT1}	高電圧範囲での IDAC2 (7ビット) の出力電流	-	304.8	-	µA	
SID315A	IDAC2 _{CRT2}	低電圧範囲での IDAC2 (7ビット) の出力電流	-	152.4	-	µA	
SID320	IDAC _{OFFSET}	すべてのゼロ入力	-	-	±1	LSB	
SID321	IDAC _{GAIN}	フルスケール エラーからオフ セット エラーを差し引いた後の 値	-	-	±10	%	
SID322	IDAC _{MISMATCH}	IDAC 同士間のミスマッチ	-	-	7	LSB	
SID323	IDAC _{SET8}	8ビット IDAC の 0.5 LSB に達す るまでの整定時間	-	-	10	µs	フルスケール遷移。外部負荷 なし
SID324	IDAC _{SET7}	7ビット IDAC の 0.5 LSB に達す るまでの整定時間	-	-	10	µs	フルスケール遷移。外部負 荷なし
SID325	CMOD	モジュレータの外部コンデンサ	-	2.2	-	nF	5V 定格、X7R または NP0 コンデンサ

デジタル ペリフェラル

タイマー／カウンタ／パルス幅変調器 (TCPWM)

表 13. TCPWM 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	8MHz でのブロック消費電流	–	–	145	μA	すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	16MHz でのブロック消費電流	–	–	160	μA	すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	動作周波数	–	–	F _c	MHz	F _c max = CLK_SYS。 Max = 16MHz
SID.TCPWM.4	TPWM _{ENEXT}	入力トリガーのパルス幅	2/F _c	–	–	ns	すべてのトリガー イベント ^[9]
SID.TCPWM.5	TPWM _{EXT}	出力トリガーのパルス幅	2/F _c	–	–	ns	オーバーフロー、アンダーフ ローおよび CC (カウンタ = 比較値) 出力の 最小パルス幅
SID.TCPWM.5A	TC _{RES}	カウンタの分解能	1/F _c	–	–	ns	逐次カウント間の最小時間
SID.TCPWM.5B	PWM _{RES}	PWM 分解能	1/F _c	–	–	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	Q _{RES}	直交位相入力分解能	1/F _c	–	–	ns	直交位相入力同士間の最小パ ルス幅

I²C

表 14. 固定 I²C の DC 仕様^[10]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID149	I _{I2C1}	100kHz でのブロック消費電流	–	–	25	μA	
SID150	I _{I2C2}	400kHz でのブロック消費電流	–	–	135	μA	
SID.PWR#5	ISBI2C	I ² C がディープスリープ モードで有効 の場合	–	–	2.5	μA	

表 15. 固定 I²C の AC 仕様^[10]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID153	F _{I2C1}	ビット レート	–	–	400	Kbps	

注:

9. 選択した動作モードによって、トリガー イベントはストップ、スタート、リロード、カウント、キャプチャ、またはキルのいずれかです。
10. 特性評価で保証されています。

メモリ

表 16. フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	–	5.5	V	

表 17. フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID174	T _{ROWWRITE} ^[11]	行 (ブロック) 書き込み時間 (消去 + 書き込み)	–	–	20	ms	行 (ブロック) = 64 バイト
SID175	T _{ROWERASE} ^[11]	行消去時間	–	–	13	ms	
SID176	T _{ROWPROGRAM} ^[11]	消去後の行プログラム時間	–	–	7	ms	
SID178	T _{BULKERASE} ^[11]	バルク消去時間 (16KB)	–	–	15	ms	
SID180 ^[12]	T _{DEVPROG} ^[11]	デバイス プログラム合計時間	–	–	7.5	s	
SID181 ^[12]	F _{END}	フラッシュ アクセス可能回数	100K	–	–	サイクル	
SID182 ^[12]	F _{RET}	フラッシュのデータ保持期間。 T _A ≤ 55°C、プログラム/消去サ イクル = 10 万回	20	–	–	年	
SID182A ^[12]		フラッシュのデータ保持期間。 T _A ≤ 85°C、プログラム/消去サ イクル = 1 万回	10	–	–	年	

システム リソース

パワーオン リセット (POR)

表 18. パワーオン リセット (PRES)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID.CLK#6	SR_POWER_UP	電源電圧スルー レート	1	–	67	V/ms	電源投入時
SID185 ^[12]	V _{RISEIPOR}	立ち上がりトリップ電圧	0.80	–	1.5	V	
SID186 ^[12]	V _{FALLIPOR}	立ち下がりトリップ電圧	0.70	–	1.4	V	

表 19. V_{CCD} の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190 ^[12]	V _{FALLPPOR}	アクティブ モードとスリープ モードでの BOD トリップ電圧	1.48	–	1.62	V	
SID192 ^[12]	V _{FALLDPSLP}	ディープスリープ モードでの BOD トリップ電圧	1.11	–	1.5	V	

注:

11. フラッシュ メモリに書き込むには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュ メモリの動作は中断され、正常に完了したことを保証されません。リセット ソースは XRES ピン、ソフトウェア リセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤って活性化されないことを確認してください。

12. 特性評価で保証されています。

SWD インターフェース

表 20. SWD インターフェースの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID213	F_SWDCLK1	$3.3V \leq V_{DD} \leq 5.5V$	-	-	14	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID214	F_SWDCLK2	$1.71V \leq V_{DD} \leq 3.3V$	-	-	7	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID215 ^[13]	T_SWDI_SETUP	$T = 1/f \text{ SWDCLK}$	$0.25 \cdot T$	-	-	ns	
SID216 ^[13]	T_SWDI_HOLD	$T = 1/f \text{ SWDCLK}$	$0.25 \cdot T$	-	-	ns	
SID217 ^[13]	T_SWDO_VALID	$T = 1/f \text{ SWDCLK}$	-	-	$0.5 \cdot T$	ns	
SID217A ^[13]	T_SWDO_HOLD	$T = 1/f \text{ SWDCLK}$	1	-	-	ns	

内部主発振器

表 21. IMO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I _{IMO1}	48MHz での IMO 動作電流	-	-	250	μA	
SID219	I _{IMO2}	24MHz での IMO 動作電流	-	-	180	μA	

表 22. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID223	F _{IMOTOL1}	24MHz、32MHz での周波数変動 (トリム済み)	-	-	±2	%	$2V \leq V_{DD} \leq 5.5V$, $-25^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$
SID223A	F _{IMOTOLVCCD}	24MHz、32MHz での周波数変動 (トリム済み)	-	-	±4	%	すべての他の条件
SID226	T _{STARTIMO}	IMO 起動時間	-	-	7	μs	
SID228	T _{JITRMSIMO2}	24MHz での RMS ジッタ	-	145	-	ps	

内部低速発振器

表 23. ILO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231 ^[13]	I _{ILO1}	ILO 動作電流	-	0.3	1.05	μA	
SID233 ^[13]	I _{ILOLEAK}	ILO リーク電流	-	2	15	nA	

表 24. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234 ^[13]	T _{STARTILO1}	ILO 起動時間	-	-	2	ms	
SID236 ^[13]	T _{ILODUTY}	ILO のデューティ比	40	50	60	%	
SID237	F _{ILOTRIM1}	ILO 周波数範囲	20	40	80	kHz	

注:
13. 特性評価で保証されています。

表 25. 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID305 ^[14]	ExtClkFreq	外部クロック入力周波数	0	–	16	MHz	
SID306 ^[14]	ExtClkDuty	デューティ比 ; $V_{DD/2}$ で測定	45	–	55	%	

表 26. ブロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID262 ^[14]	T _{CLKSWITCH}	システム クロック ソースの切り替え時間	3	–	4	周期	

注:
14. 特性評価で保証されています。

注文情報

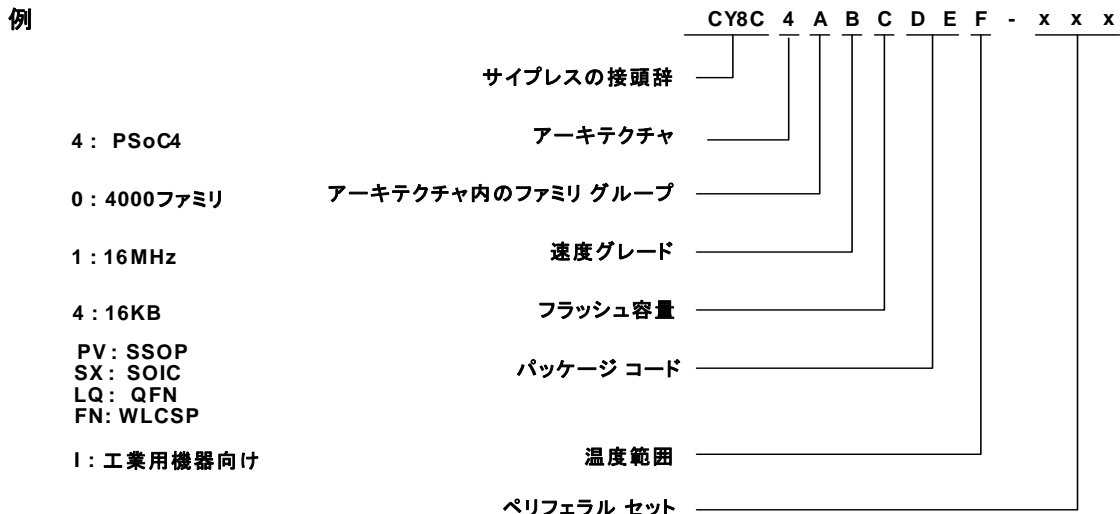
PSoC 4000 の製品番号と特長は下表の通りです。すべてのパッケージはテープ & リールで提供されています。

カテゴリ	製品番号	特長									パッケージ					
		CPUの最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	CapSense	7ビット IDAC	8ビット IDAC	コンパレータ	TCPWM ブロック	I2C	16-WLCSP	8-SOIC	16-SOIC	16-QFN	24-QFN	28-SSOP
CY8C4013	CY8C4013SXI-400	16	8	2	-	-	-	-	1	1	-	✓	-	-	-	-
	CY8C4013SXI-410	16	8	2	-	1	1	1	1	1	-	✓	-	-	-	-
	CY8C4013SXI-411	16	8	2	-	1	1	1	1	1	-	-	✓	-	-	-
	CY8C4013LQI-411	16	8	2	-	1	1	1	1	1	-	-	-	✓	-	-
CY8C4014	CY8C4014SXI-420	16	16	2	✓	1	1	1	1	1	-	✓	-	-	-	-
	CY8C4014SXI-411	16	16	2	-	1	1	1	1	1	-	-	✓	-	-	-
	CY8C4014SXI-421	16	16	2	✓	1	1	1	1	1	-	-	✓	-	-	-
	CY8C4014LQI-421	16	16	2	✓	1	1	1	1	1	-	-	-	✓	-	-
	CY8C4014LQI-412	16	16	2	-	1	1	1	1	1	-	-	-	-	✓	-
	CY8C4014LQI-422	16	16	2	✓	1	1	1	1	1	-	-	-	-	✓	-
	CY8C4014PVI-412	16	16	2	-	1	1	1	1	1	-	-	-	-	-	✓
	CY8C4014PVI-422	16	16	2	✓	1	1	1	1	1	-	-	-	-	-	✓
	CY8C4014FNI-421	16	16	2	✓	1	1	1	1	1	✓	-	-	-	-	-
その他	CY8C4014LQI-SLT1	16	16	2	✓	1	1	1	1	1	-	-	-	✓	-	-
	CY8C4014LQI-SLT2	16	16	2	✓	1	1	1	1	1	-	-	-	-	✓	-

製品番号の命名規則

PSoC 4 デバイスは下表に示す製品番号の命名規則に従っています。文字列は、特に記述がない限り、すべて1文字の英数字 (0 ~ 9、A ~ Z) です。

製品番号は、CY8C4ABCDEF-XYZ の形式であり、フィールドは以下のように定義されています。



フィールド値は下表に示されています。

フィールド	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSoC 4
A	ファミリ	0	4000 ファミリ
B	CPU 速度	1	16MHz
		4	48MHz
C	フラッシュ容量	3	8KB
		4	16KB
		5	32KB
		6	64KB
		7	128KB
DE	パッケージコード	SX	SOIC
		LQ	QFN
		PV	SSOP
		FN	WLCSP
F	温度範囲	I	産業用
XYZ	属性コード	000 ~ 999	特定のファミリ用に設定されたコード

パッケージ

表 27. パッケージの一覧

仕様 ID#	パッケージ	説明
BID#47A	28 ピン SSOP	5 × 10 × 1.65mm 構成の 28 ピン SSOP パッケージ (ピッチが 0.65mm)
BID#26	24 ピン QFN	4 × 4 × 0.6mm 構成の 24 ピン QFN パッケージ (ピッチが 0.5mm)
BID#33	16 ピン QFN	3 × 3 × 0.6mm 構成の 16 ピン QFN パッケージ (ピッチが 0.5mm)
BID#40	16 ピン SOIC	16 ピン (150Mil) SOIC
BID#47	8 ピン SOIC	8 ピン (150Mil) SOIC
BID#147A	16 ボール WLCSP	1.45 × 1.56 × 0.4mm 構成の 16 ボール

表 28. パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T _A	動作周囲温度		-40	25	85	°C
T _J	動作接合部温度		-40	-	100	°C
T _{JA}	パッケージ θ _{JA} (28 ピン SSOP)		-	66.6	-	°C/W
T _{JC}	パッケージ θ _{JC} (28 ピン SSOP)		-	34	-	°C/W
T _{JA}	パッケージ θ _{JA} (24 ピン QFN)		-	38	-	°C/W
T _{JC}	パッケージ θ _{JC} (24 ピン QFN)		-	5.6	-	°C/W
T _{JA}	パッケージ θ _{JA} (16 ピン QFN)		-	49.6	-	°C/W
T _{JC}	パッケージ θ _{JC} (16 ピン QFN)		-	5.9	-	°C/W
T _{JA}	パッケージ θ _{JA} (16 ピン SOIC)		-	142	-	°C/W
T _{JC}	パッケージ θ _{JC} (16 ピン SOIC)		-	49.8	-	°C/W
T _{JA}	パッケージ θ _{JA} (16 ボール WLCSP)		-	90	-	°C/W
T _{JC}	パッケージ θ _{JC} (16 ボール WLCSP)		-	0.9	-	°C/W
T _{JA}	パッケージ θ _{JA} (8 ピン SOIC)		-	198	-	°C/W
T _{JC}	パッケージ θ _{JC} (8 ピン SOIC)		-	56.9	-	°C/W

表 29. はんだリフローピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

表 30. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-020

パッケージ	MSL
すべて	MSL 3

パッケージ図

図 11. 28 ピン SSOP パッケージ図

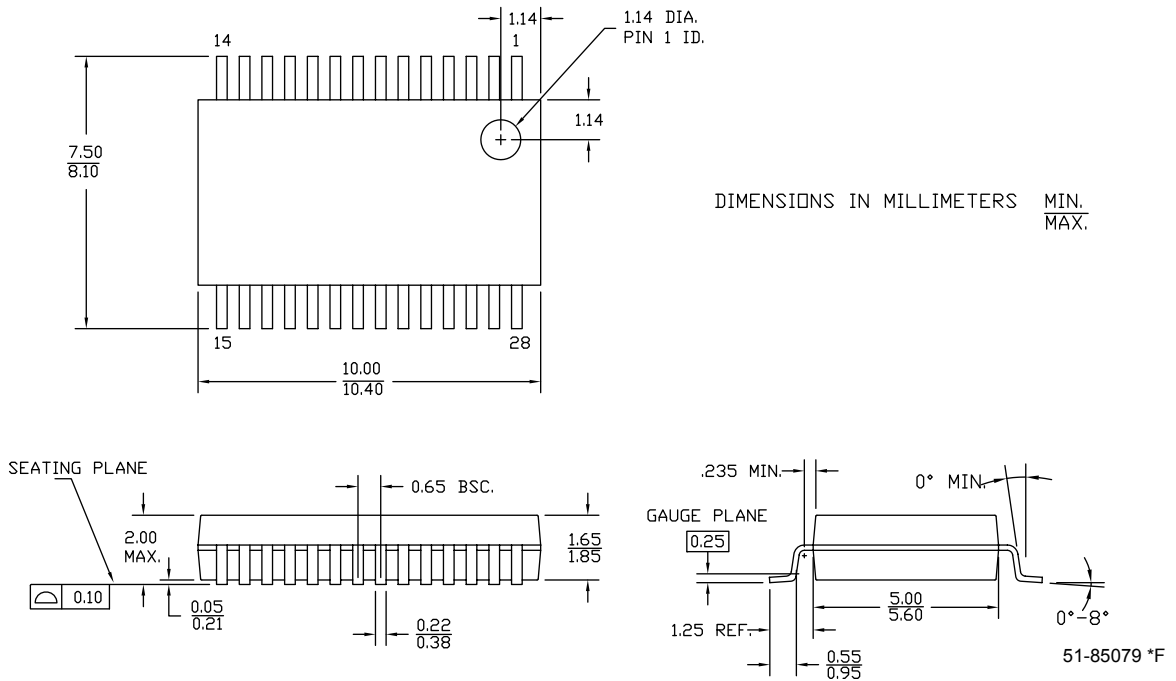
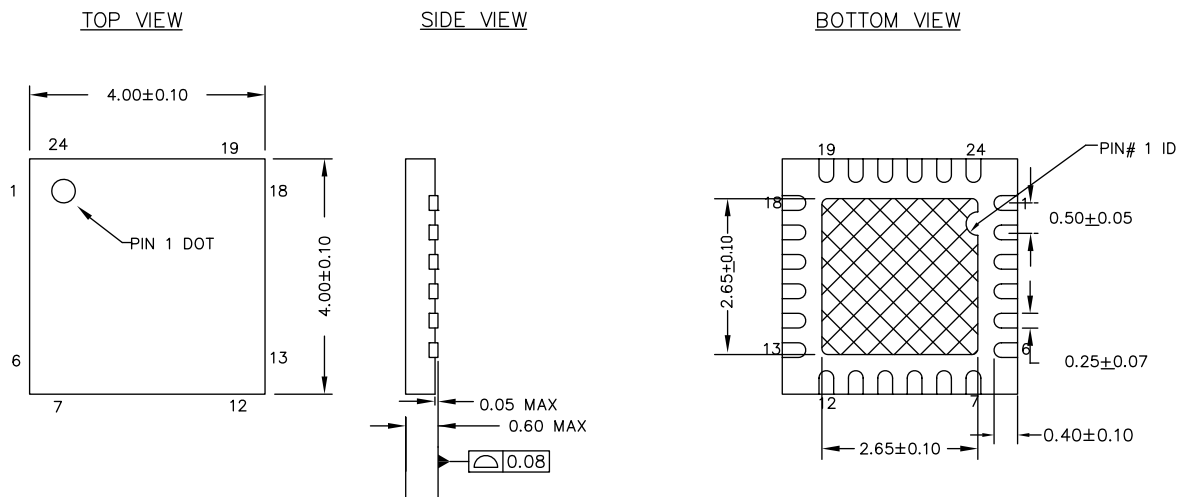



図 12. 24 ピン QFN EPAD (Sawn) パッケージ図



NOTES :

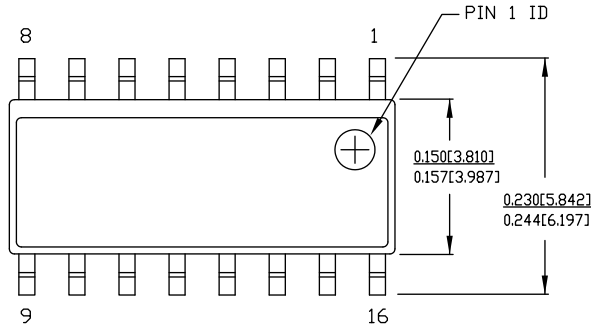
1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *F

注:

15. QFN パッケージ図の寸法の単位はミリメートルです。

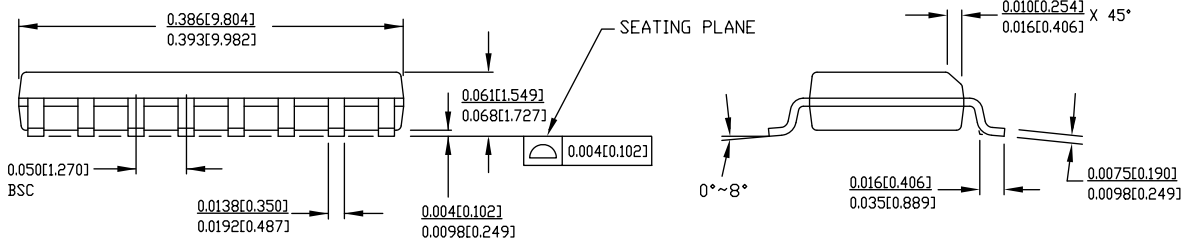
図 14. 16ピン (150mil) SOIC パッケージ図



NOTE:

1. DIMENSIONS IN INCHES[MM] **MAX.**
2. REFERENCE JEDEC MS-012
3. PACKAGE WEIGHT : refer to PMDD spec. 001-04308

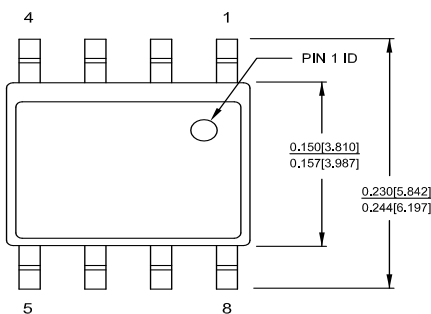
PART #	
S16.15	STANDARD PKG.
SZ16.15	LEAD FREE PKG.



51-85068 *E

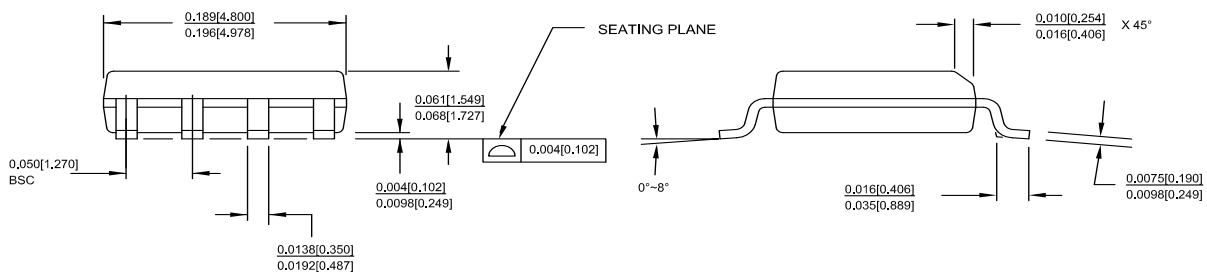
図 15. 8ピン (150mil) SOIC パッケージ図

8 Lead (150 Mil) SOIC - S08



1. DIMENSIONS IN INCHES[MM] **MIN.**
MAX.
2. PIN 1 ID IS OPTIONAL,
ROUND ON SINGLE LEADFRAME
RECTANGULAR ON MATRIX LEADFRAME
3. REFERENCE JEDEC MS-012
4. PACKAGE WEIGHT 0.07gms

PART #	
S08.15	STANDARD PKG
SZ08.15	LEAD FREE PKG
SW8.15	LEAD FREE PKG



51-85066 *H

注:

16. QFN パッケージ図の寸法の単位はインチ [ミリメートル] です。

略語

表 31. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA (アドバンスド マイクロコントローラバス アーキテクチャ) 高性能バス; ARM データ転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサバス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
ARM [®]	advanced RISC machine (高度な RISC マシン); CPU アーキテクチャ的一种
ATM	automatic thump mode (自動サンプリング モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラ エリア ネットワーク); 通信プロトコル的一种
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査); エラーチェック プロトコル的一种
DAC	digital-to-analog converter (デジタル - アナログ変換器); IDAC、VDAC をご参照ください
DFB	digital filter block (デジタル フィルターブロック)
DIO	digital input/output (デジタル入出力); アナログなし、デジタル機能のみを持つ GPIO。GPIO をご参照ください
DMIPS	Dhrystone million instructions per second (ドラストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス); TD をご参照ください
DNL	differential nonlinearity (微分非直線性); INL をご参照ください
DNU	do not use (使用しないでください)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データウォッチポイントとトレース)

表 31. 本書で使用する略語 (続き)

略語	説明
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答); IIR をご参照ください
FPB	flash patch and breakpoint (フラッシュパッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力); PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割り込み); LVI、LVD をご参照ください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC); DAC、VDAC をご参照ください
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートド サーキット); 通信プロトコル的一种
IIR	infinite impulse response (無限インパルス応答); FIR をご参照ください
ILO	internal low-speed oscillator (内部低速発振器); IMO をご参照ください
IMO	internal main oscillator (内部主発振器); ILO をご参照ください
INL	integral nonlinearity (積分非直線性); DNL をご参照ください
I/O	input/output (入出力); GPIO、DIO、SIO、USBIO をご参照ください
IPOR	initial power-on reset (初期パワーオン リセット)
IPSR	interrupt program status register (割り込みプログラム ステータス レジスタ)

表 31. 本書で使用する略語 (続き)

略語	説明
IRQ	interrupt request (割り込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インターコ ネクト ネットワーク); 通信プロトコルの一種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出); LVI をご参照 ください
LVI	low-voltage interrupt (低電圧割り込み); HVI を ご参照ください
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ-トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスター入力スレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割り込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割り込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ); WOL をご 参照ください
オペアンプ	operational amplifier (演算増幅器)
PAL	programmable array logic (プログラマブルアレ イロジック); PLD をご参照ください
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブルゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割り込み制御ユニット)
PLA	programmable logic array (プログラマブルロジックアレイ)
PLD	programmable logic device (プログラマブルロ ジックデバイス); PAL をご参照ください
PLL	phase-locked loop (位相同期回路)
PMDD	package material declaration data sheet (パッケージ材質宣言データシート)
POR	power-on reset (パワーオンリセット)

表 31. 本書で使用する略語 (続き)

略語	説明
PRES	precise power-on reset、高精度パワーオンリ セット
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータレジスタ)
PSoC [®]	Programmable System-on-Chip [™] (プログラマブルシステムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダムアクセスメモリ)
RISC	reduced-instruction-set computing (縮小命令セットコンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイムクロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチトキャパシタ/連続時間)
SCL	I ² C serial clock (I2C シリアルクロック)
SDA	I ² C serial data (I2C シリアルデータ)
S/H	sample and hold (サンプル/ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	special input/output (特殊入出力); 高度機能 GPIO。GPIO をご参照ください
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアルペリフェラ ルインターフェース); 通信プロトコルの一種
SR	slew rate (スルーレート)
SRAM	static random access memory (スタティックランダムアクセスメモリ)
SRES	software reset (ソフトウェアリセット)
SWD	serial wire debug (シリアルワイヤデバッグ); テストプロトコルの一種
SWV	single-wire viewer (シングルワイヤービューアー)

表 31. 本書で使用する略語 (続き)

略語	説明
TD	transaction descriptor (トランザクション ディスクリプタ); DMA をご参照ください
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (技術リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎用非同期トランスミッタ レシーバ); 通信プロトコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力); USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC); DAC、IDAC をご参照ください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めないラッチ); NVL をご参照ください
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

本書の表記法

測定単位

表 32. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラッド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラッド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

変更履歴

文書名 : PSoC [®] 4: PSoC 4000 ファミリ データシート プログラマブル システムオンチップ (PSoC [®])				
文書番号 : 001-92208				
版	ECN	変更者	発行日	変更内容
**	4371640	HZEN	05/06/2014	これは英語版 001-89638 Rev *A を翻訳した日本語版 001-92208Rev. ** です。
*A	4928457	HZEN	09/23/2015	これは英語版 001-89638 Rev. *E を翻訳した日本語版 001-92208 Rev. *A です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/RF	cypress.com/go/wireless

PSoC[®] ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2013-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。