ANALOG DEVICES

电路笔记
CN-0412

Circuits from the Lab® Reference Designs

Circuits from the Lab®参考设计是经过测试的参考设计，有助于加速设计，同时简化系统集成，帮助并解决当今模拟、混合信号和 RF 设计挑战。如需更多信息和/或技术支持，请访问 www.analog.com/cn/CN0412。

连接/参考器件	
ADRV9361-Z7035	2 Rx、2 Tx RF 系统化模块
ADRV1CRR-BOB	用于 ADRV9361-Z7035 的分线载板
ADIS16460	惯性测量单元

ADRV-PACKRF 便携式无线电设计

评估和设计支持

电路评估板

PackRF 无线电模块(ADRV-PACKRF)

设计和集成文件

原理图、布局文件、物料清单、软件、机械图

电路功能与优势

ADRV-PACKRF 套件为软件开发人员、系统架构师、算法开发人员和产品团队提供了一套射频(RF)平台，平台支持宽调谐范围（70 MHz 至 6 GHz）和宽带宽（200 kHz 至 56 MHz）。开源硬件设备语言(HDL)和 Linux 软件可以将平台与 MATLAB®、Simulink®或 GNU Radio 连接起来，将算法部署到内置的现场可编程门阵列(FPGA)中。无线电模块可加速从初始评估和概念到原型、再到现场部署的开发过程。

该无线电模块附带完整的单载波调制解调器参考设计。调制解调器是一种恒常发射的频分双工(FDD)系统，具有 1 个发射通道（上行链路）和 1 个接收通道（下行链路），支持两个节点之间实现双向点对点链路。使用此套件中提供的网络摄像头，可以在两个节点之间演示无线视频传输。

无线电位于一个铝制外壳内，外壳支持连接电源、以太网、USB、OLED 显示屏、音频和 micro SD 卡。天线连接到设备背面的 SMA，用于发射(Tx)、接收(Rx)、Tx 监测和全球定位卫星(GPS)输入/输出。

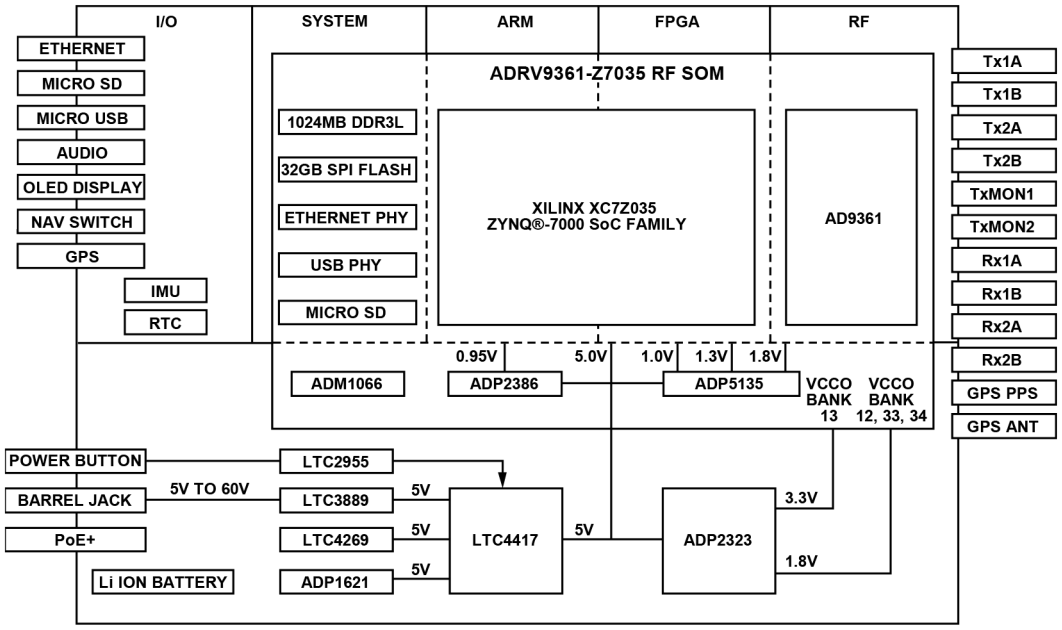


图 1. 便携式无线电参考设计框图

Rev. 0

Circuits from the Lab® reference designs from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 **www.analog.com/cn**
Fax: 781.461.3113 **© 2019 Analog Devices, Inc. All rights reserved.**

便携式无线电参考设计

便携式无线电参考设计结合了 ADRV9361-Z7035 RF 系统化模块(SOM)、定制载板、自动生成的 HDL、定制 Linux 内核及用户空间软件。这种组合为硬件、软件和 HDL 提供了一个开源的端到端参考设计，形成一个可以建立 Linux TCP/IP 连接的完整数据链。

该项目还包括一个单载波 QPSK 调制解调器设计的 MATLAB 浮点仿真、Simulink 浮点模型和的 HDL 定点模型。它还能与其他 SDR 设备集成，包括 PlutoSDR、FMCOMMS2/3/4 和 ADRV-PACKRF，以支持实际测试。

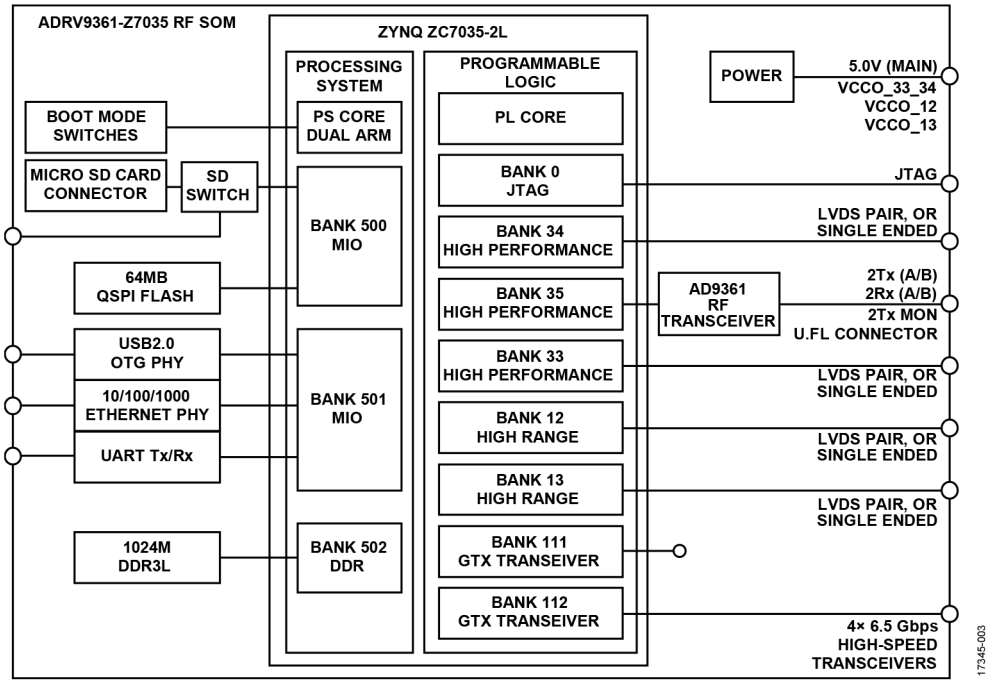
所有设计都可以相互进行无线通信，并且可以通过一个通用测试工具进行验证。这些设计共同展示了从仿真到硬件部署的真正开发周期。在脱离了 MATLAB 或 Simulink 的情况下，我们也可以通过 ADI 公司的板级支持包(BSP)创建了一个专用/定制参考设计，并利用 ADRV-PACKRF 套件演示视频传输。

ADRV9361-Z7035 RF SOM

ADRV9361-Z7035 RF 系统化模块(SOM)提供标准化 FPGA 加收发器平台，以简化无线系统设计和原型制作。该 SOM 使最终用户无需实现和验证 FPGA 与转换器之间的复杂连接、DDR3L、USB 2.0 OTG 物理层以及 10/100/1000 以太网物理层。因此，用户可以专注于 SOM 上的信号处理，设计需要其他硬件的承载卡。

17345-002

图 2. ADRV9361-Z7035 系统化模块



17345-003

图 3. ADRV9361-Z7035 系统化模块框图

ADRV-PACKRF承载卡

ADRV-PACKRF 内的定制承载卡支持用户连接手持式无线电应用所需的其他硬件外设，比如传感器、电源、实时时钟和其他模拟功能。

多个连接器直接安装在承载卡上，并从 ADRV-PACKRF 的面板引出，如以太网、micro SD、DC 管式插孔、micro USB 和音频。

承载卡上的其他接口可连接 OLED、导航开关、IMU、ON/OFF 按钮和电池。这些模块通过各种电缆连接到承载卡。

SOM 通过四个 100 针连接器连接到承载卡。盒子面板上的 SMA 通过一系列 UFL 转 SMA 电缆直接连接到 RF 收发器。

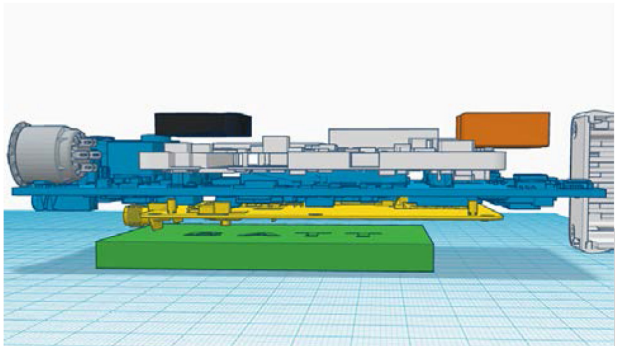


图 4. ADRV-PACKRF 3D 机械装配图

电源

承载卡负责为包含 ADRV-PACKRF 在内的一切器件供电。该系统可以由三种输入电源可供选择：

- 以太网供电(PoE)
- 外部直流电源
- 备用电池

每个输入源产生一个 5 V 电压轨，能够为所有下游电路提供 5 A 电流。ADP2323 是一款双通道同步降压型稳压器，除了为 ADRV9361-Z7035 供电外，还能产生 3.3 V 和 1.8 V 电源为 ADRV-PACKRF 承载卡上的外设供电。图 5 详细显示了整个系统的电源分配。

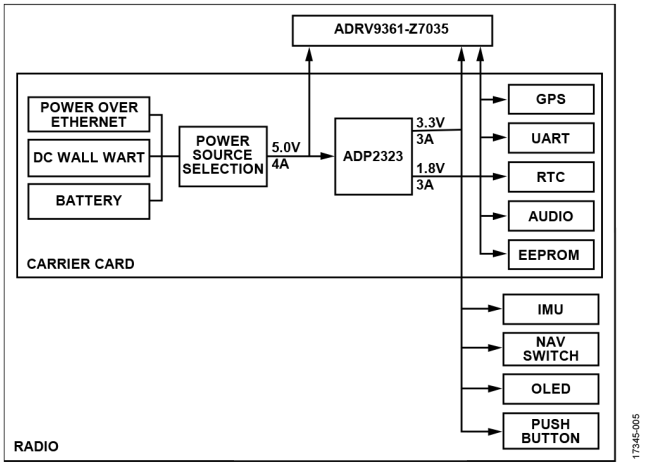


图 5. ADRV-PACKRF 电源分配

系统主电源默认为 PoE（如存在），然后是外部直流电源，最后才依赖备用电池。如果检测到 PoE 或外部直流电源，则会为备用电池充电以防断电。

以太网供电

ADRV-PACKRF 符合 IEEE 802.3at-2009 Type 2 以太网供电(PoE+)标准，或 Class 4。不要与原来的 IEEE 802.3af-2003 PoE 标准混淆，后者定义了 Class 0 到 Class 3，为受电设备(PD)提供最高 12.95 W 的功率。更新的 IEEE 802.3at-2009 PoE+ 标准（PoE+或 PoE plus）可为 Type 2、Class 4 设备提供最高 25.5 W 的功率。

表 1. 以太网供电级别定义

级别(Class)	类型(Type)	PSE 功率	PD 功率
0	1 (802.3af)	15.4 W	0.44 W 至 12.95 W
1	1 (802.3af)	4.0 W	0.44 W 至 3.84 W
2	1 (802.3af)	7.0 W	3.84 W 至 6.49 W
3	1 (802.3af)	15.4 W	6.49 W 至 12.95 W
4	2 (802.3at)	30 W	12.95 W 至 25.5 W

带有集成同步反激控制器的 LTC4269-1 受电设备(PD)可为 ADRV-PACKRF 提供 5 V 电源轨。它能处理所有必要的握手操作，只有在连接到 Type 2 (25.5 W)或更高功率的供电设备(PSE)以接收电源时才会自行使能。

在操作中，涓流充电电阻 R_{TR} 连接到 V_{IN}，提供一个典型值在 1 mA 左右的小电流对 C_{TR} 充电。最初，LTC4269-1 处于关闭状态，仅汲取启动电流。当 C_{TR} 达到 V_{CC} 导通阈值电压时，LTC4269-1 突然导通并汲取正常电源电流。开关动作开始，转换器开始向输出输送电源。输出电压最初为低电平，反激电压也为低电平；因此，C_{TR} 提供 LTC4269-1 的大部分电流（只有一小部分来自 R_{TR}）。V_{CC} 电压继续下降，直到一段时间（通常为数十毫秒）后，输出电压接近期望值。然后，反激绕组提供 LTC4269-1 电源电流，V_{CC} 电压保持稳定。

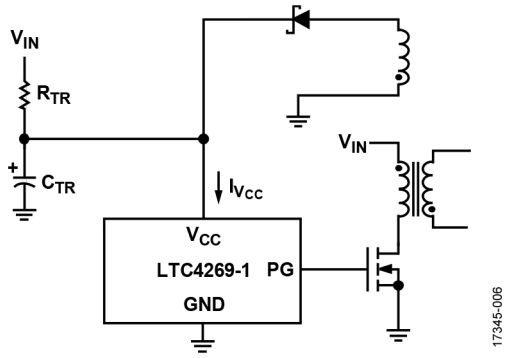


图 6. 以太网供电应用电路

如果 C_{TR} 过小，V_{CC} 在稳定前就会达到 V_{CC} 关断阈值，LTC4269-1 将关断。然后，V_{CC} 节点开始通过 R_{TR} 回充，达到导通阈值时，器件再次导通。根据电路具体情况，这可能导致器件在实现正常运行之前发生多次启动-关闭循环，或者在 V_{CC} 节点处发生永久启动-关闭振荡。

应使 C_{TR} 足够大，以避免发生上述启动-关闭振荡行为。经验测试是确定 C_{TR} 最简单的方法；对于 ADRV-PACKRF，47 µF 电容值是足够的。

外部直流电源

外部直流电源输入为 5.5 mm 管式插孔，支持 LTC3899 的宽输入电压范围（4.5 V 至 60 V），使得无线电可以由多种外部电源供电，包括：

- AC/DC 适配器
- 汽车点烟器适配器

并非所有管式插孔都相同。ADRV-PACKRF 需要一个中心为正的导体，内径为 2.1 mm，外径为 5.5 mm。仔细检查要求：大多数 AC/DC 适配器的中心都是正极，但有些适配器也会存在中心为负/外管为正的极性。

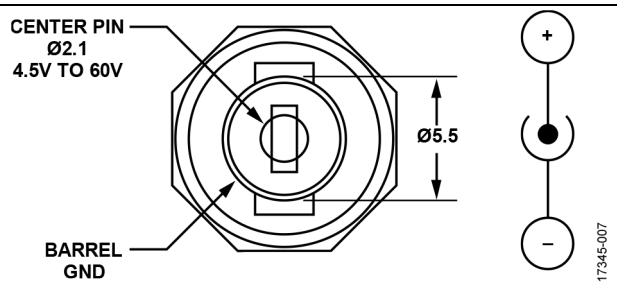


图 7. 外部直流电源管式插孔尺寸

汽车电源适配器通常有 5.5 mm 直径的管式插孔，因此适合用作电源。然而，此类电源的一个主要挑战是较新式节能车辆要求电动机冷启动。为达到更高的燃油经济性指标，许多新型汽车都含有自动启停系统，遇到红灯或交通拥堵时发动机会关闭。当发动机重启时，起动电机冷启动电池以使发动机开始工作。为安全起见，电源管理系统在这些启停事件期间不能降低输出电压，在 10 ms 至 100 ms 的时间内可能会看到超低电压（约 3 V）。

负载突降是一个类似的问题。对于标称 12 V 车辆，当电池或其他某种相当大的负载意外断开时，汽车交流发电机产生的电压浪涌可能暂时高达 60 V。连接到汽车电源的所有电子设备都需要承受此类电压。

备用电池

ADRV-PACKRF 内含一个由可充电 3200 mAH 锂离子电池构成的备用电池。ADP1621 升压 DC-DC 控制器可调节电池电压（典型值为 3.7 V）以产生应急电源。备用电池只能在有限的时间内为系统供电。FPGA 上的重负载会将备用电池工作时间减少到 1 小时以下，但该时间完全取决于系统利用率和耗电量。

电池内置保护电路，可检测过充电、过度消耗、短路、过温等情况，以保护电池（和系统）免受损坏。电池可通过另外两种输入电源中充电，本电路笔记稍后会详细介绍。

电池充电

电池充电由 ADP5061 监控，用户可以设置和修改某些关键变量，包括但不限于以下内容：

- 涓流和快速充电电流水平
- 涓流和快速充电电压阈值
- 输入限流值
- 看门狗时间周期
- 弱电池阈值检测
- 电池温度

设置和修改这些关键变量，确保电池安全稳妥地充电。

当电池电量不足时，系统会对电池充电，但需要将 PoE 或交流/直流适配器插入无线电以提供电源。这些电压不需要经过电源选择器 LTC4417。LTC4415 二极管会对这些电压进行“或”运算，为电池充电器 IC ADP5061 提供专用电源。

LTC4417 电源选择器输出电压(5 V)不用于为电池充电 IC 供电，因为如果这样设计需要开机才能为电池充电。

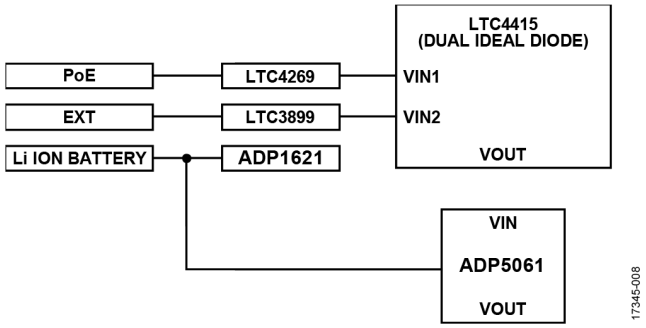


图 8. 简化电池充电环路

电池充电维护

保持电池电量对所有电子产品都很重要。必须避免所有形式的电流过度消耗。当电池不产生 5.0 V 电压时，有一条通过二极管的从+V_Batt 到+5V_Batt 的路径。这意味着该网络上的任何负载（包括电阻分压器和 IC 二极管）都会消耗电池电量。在电流路径中放置一个高额定电流的晶体管，便可通过控制信号驱动栅极，以及断开电流路径与负载的连接。当开关关闭时，电池的负载最小。

电源选择

输入电源由 LTC4417 Power Path™控制器验证并确定使用优先级。电源按照 PoE (V1)、外部直流电源(V2)和备用电池(V3)的物理连接进行排列。

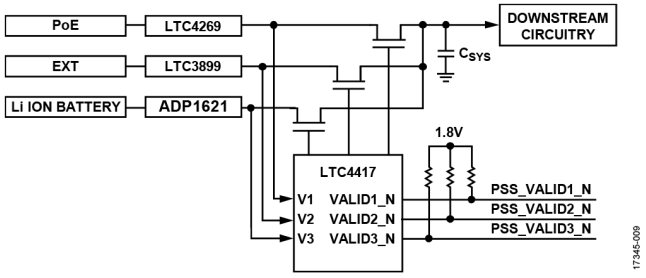


图 9. ADRV-PACKRF 载板电源选择模块

独立验证每个输入电压，将其与欠压(UV)和过压(OV)阈值进行比较。电压必须在窗口内维持 256 ms，否则将被认为无效，定时器会复位。

有效信号是高压开漏输出，当相应的 V1、V2、V3 在 OV/UV 窗口内并维持 256 ms 时，输出会变为低电平。当 V1、V2 或 V3 超过阈值窗口时，引脚被释放。这些引脚与 FPGA 连接，系统级软件可以（通过简单的逻辑表）确定正在使用哪个电源，并根据哪个电源处于活动状态来管理其自身状态。

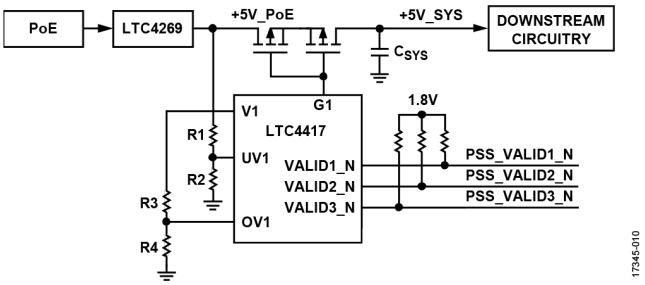


图 10. 简化阈值图

LTC4417 将 UV1 和 OV1 的输入与 1.0 V 进行比较。UV1 信号低于 1.0 V 表示发生欠压事件。OV1 信号升至 1.0 V 以上表示发生过压事件。电阻用于对输入电压进行分压，以与阈值进行比较。

所有三个电源都是实时验证，彼此独立的。当一个输入电源得到验证后，LTC4417 上的相应有效信号会被驱动到低电平。

每个通道都有一对背靠背 MOSFET，以防止电流从一个电源反向馈送到另一个电源。

确定使用什么电压来验证电池时必须小心。使用电池输出(+V_BATT)不能很好地验证电池输入。如果向上转换的电压得到了妥善的调节，它不会提供任何指示。同时+V_BATT (3.2 V)和 GND 之间还放置了一个大约 30 kΩ 的电阻。这会产生 100 μA 的负载，当器件关闭并持续消耗电池电量时，无法禁用此负载。

输入电源之间的热插拔

ADRV-PACKRF 能够处理热插拔事件。工作期间可以插入或拔出任何电源，系统会保持通电状态（备用电池须有足够的电量）。所有验证和优先级排序仍由 LTC4417 处理。

当在输入电源之间切换时，LTC4417 输出端的大电容组为系统供电。电容组(C)的大小由一个经典公式确定：

$$C = I\frac{dT}{dV}$$

其中：

C 是在输入电源之间切换时为无线电供电所需的电容量。

I 是无线电在工作期间消耗的电流（最大值）。

dT 是电容组必须提供电流的时间量。

dV 是无线电消耗功率引起的电容电压的下降。

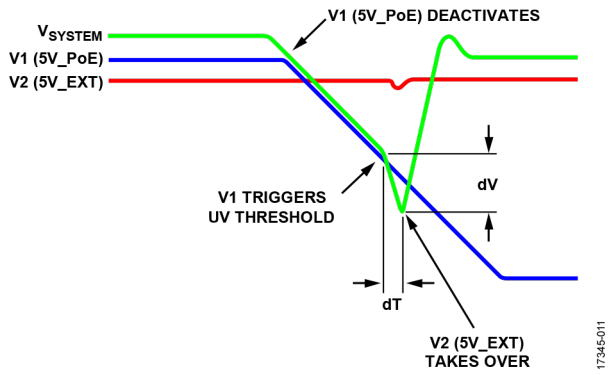


图 11. 热插拔电源电平示例

数据手册建议 dT_{MAX} 为 20 µs。用于计算的 dT 为 75 µs，目的是在热插拔期间提供相当可观的裕量。消耗的最大电流量(I)为 4 A。

dV 的确定很复杂。门槛是 ADRV9361-Z7035 输入电压范围（4.5 V 至 5.5 V）。ADRV9361-Z7035 上的 ADM1166 电源时序控制器通过遵守 XCZ7035 数据手册中明确的上电和断电规范来保护 FPGA。如果电压降至 4.5 V 以下，时序控制器就会关闭系统。须将裕量包括在内以支持电源之间的切换，所以需要权衡。裕量不足(50 mV)会大大减少电容组保持 4.5 V 以上电压的时间。需要增加相应的电容。

$$C = I\frac{dT}{dV} = 4 \times \frac{75\ \mu s}{0.05\ V} = 6\ mF$$

增加电容对电源稳定性有负面影响，而且会占用 PCB 上过多的物理面积。不能假设电流低于最大值，因为无线电必须在所有条件下运行。

同样，裕量过多(400 mV)也会造成很多问题。这虽然降低了电容要求(750 µF)，但也拉紧了 UV 和 OV 阈值，使得输入电源上的任何初始精度误差（线路或负载调整率）都会导致 UV 阈值误报，而且还会中断 RF SOM 的操作。

选择的电压约为 200 mV：

$$C = I\frac{dT}{dV} = 4 \times \frac{75\mu s}{0.2\ V} = 1.5\,mF$$

这里含有一些空焊盘，以便在温度改变、电压降额或有其他变化的情况下能够改变净电容。

计算UV阈值

输入电源电压降至 4.7 V 以下会触发 UV 阈值。LTC4417 输入比较器的输入范围为 0.985 V 至 1.015 V（输入误差为 1.5%）。处理 UV 阈值时，使用此范围的低端(0.985 V)可确保其支持所有器件的运行。

$$V_{OUT} = \frac{V_{IN}}{R_1 + R_2} \times R_2$$

为 R1 和 R2 选择的值分别为 16.9 kΩ 和 4.53 kΩ。所有 UV 电阻均为 0.1%容差。使用标准电阻值会导致电压裕量略微增加至约 230 mV。

计算OV阈值

输入电源电压升至 5.3 V 以上会触发 LTC4417 的 OV 阈值。过压阈值与欠压阈值具有相同的输入范围（0.985 V 至 1.015 V）。处理 OV 阈值时，使用此范围的高端可确保其支持所有器件的运行。

$$V_{OUT} = \frac{V_{IN}}{R_1 + R_2} \times R_2$$

为 R1 和 R2 选择的值分别为 24.3 kΩ 和 5.49 kΩ。所有 OV 电阻均为 0.1%容差。使用标准电阻值会导致电压裕量略微增加至约 230 mV。

掉电

PCB 上有如此大的电容组对热插拔期间维持系统运行很有帮助。然而，它也带来了意料之外的负面影响。由于电容组无法足够快地放电到地，所以系统无法快速关闭和重启（大约几秒）。

这就需要一个晶体管，其由 SYSTEM_ENABLE 信号（图 12）驱动，用来缩短该电容的放电时间。

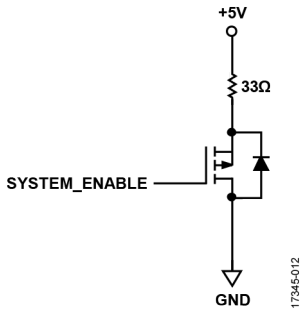


图 12. 掉电电路解决方案

按钮控制器

LTC2955 按钮控制器负责处理与 ADRV-PACKRF 上电或关断相关的使能、中断或终止信号。一个小型三输入电源复用器允许任何输入电源为使能电路供电，并保证该模块始终有电。

即使 PoE 和壁式电源适配器断开连接，电池电压也会给使能电路供电，并支持器件进行适当的开关机循环。此电路消耗的功率对电池充电的影响极小。

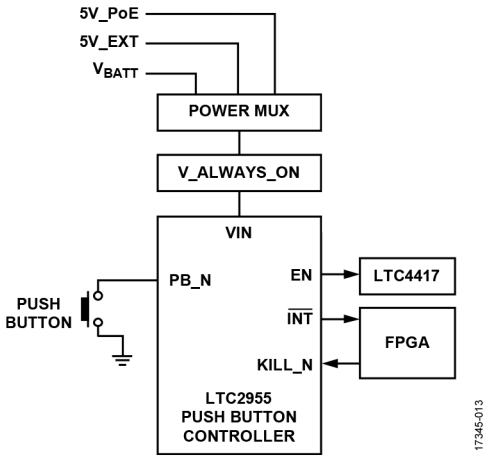


图 13. 按钮控制器框图

OLED显示屏和导航开关

每个 ADRV-PACKRF 都有一个全彩色 1.69 英寸 OLED 显示屏和一个带滚轮和中心选择器的 2 轴机械开关。显示和导航开关连接到 FPGA，用来控制菜单导航、变量读取以及 ADRV-PACKRF 特性的设置和修改（例如：GPS 坐标、IP 地址、TX 和 RX LO 频率、电池状态等）。

IMU

ADIS16460 是一款完整的惯性测量单元(IMU)，内置一个三轴陀螺仪和一个三轴加速度计。IMU 在工厂中针对灵敏度、偏置和对齐进行了预校准。陀螺仪的测量范围为±100°/秒，运动中偏置稳定度为 8°/小时（典型值），X 轴角向随机游动为 0.12°/√小时（典型值）。加速度计具有±5 g 的动态范围。

GPS

Quectel L76-M33 IC 是一款小型(10.1 mm x 9.7 mm) GNSS 模块。该 IC 有 33 个跟踪通道和 99 个采集通道，可以跟踪任何 GPS 或 GLONASS 信号。L76-M33 具备低功耗、抗干扰和高灵敏度（−165 dBm 跟踪、−148 dBm 采集）特性，支持创建快速、精确的 GPS 系统。

图 14. ADRV-PACKRF 上显示 GPS 坐标的 OLED

RTC

ADRV-PACKRF 包含一个 I²C 实时时钟(RTC)及带备用电池的 SRAM。如果系统断电，RTC 即由电池电压供电，所以它总是能够精确地记录时间。

RTC 与 ADM1166 共用一个 I²C 地址，后者是 RF SOM 上的一个器件。因此，系统含有一个 I2C 地址转换器，用来对每个器件分别寻址。RTC 的地址从 0x68 变为 0x69。下表列出了载板或 RF SOM 上所有器件的 I²C 地址。

通过与按钮控制器(LTC2955)互动，RTC 的中断信号可用来使能或禁用系统。这样，经过特定的可编程 ΔT 之后可以开启或关闭系统。

音频

ADAU1761 立体声音频编解码器与配件检测开关相结合，支持使用任何开放式移动终端平台(OMTP)或蜂窝电信行业协会(CTIA)耳机标准。借助标准检测和插孔插入检测，系统可以在设备插入盒子时识别并适应其标准，为用户提供干净可用的音频。

表 2. OMTP AV 连接器接口

引脚	描述
1	地
2	麦克风
3	右侧耳机
4	左侧耳机

表 3. AHJ AV 连接器接口

引脚	描述
1	麦克风
2	地
3	右侧耳机
4	左侧耳机

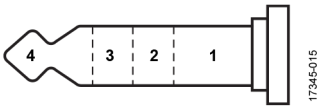


图 15. 连接器接口引脚图

插入后，系统检测麦克风音频标准，麦克风连接（应用麦克风偏置）并将地连接到耳机地。

机械设计

ADRV-PACKRF 要解决机械方面的若干挑战。

- 元件放置
- 外壳面板
- 3D 建模、设计和装配

PCB 边缘连接器和 ADRV9361-Z7035 之间的元件放置非常紧密。连接器、禁区、隔离、电感和二极管需要大量 PCB 面积。重新定位任何连接器最终都要求重新布置 PCB 的整个前部。

设计糟糕的面板会造成极差的用户体验。主要困难是连接器靠得太近，因而难以单独插拔一条电缆。重要的是要考虑人的手指有各种形状和大小，必须能够进入设计的特定部分而不会无意中触及其他部分。

面板设计也影响了 PCB 的高密度元件区域。就像为了提供更好的用户体验而将连接器在面板上移来移去一样，PCB 的上述部分大多数也是这么做。

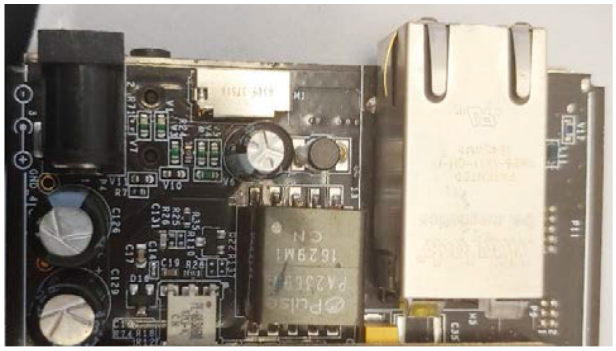


图 16. 载板上的高密度元件放置

3D 打印工具对该系统的设计非常有益。第一个 3D 打印项目是原型 PCB 的比例模型，用于验证物理约束。项目的早期阶段完成了大部分 3D 建模和垂直元件碰撞检查。

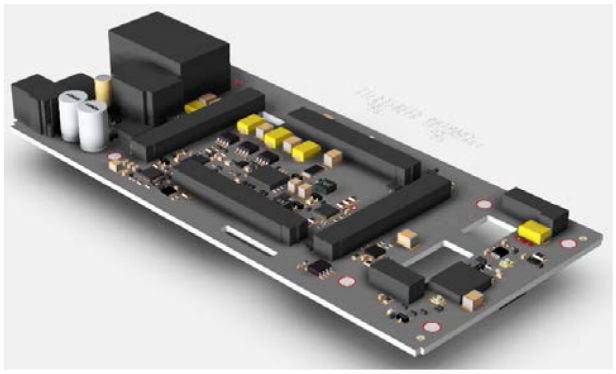


图 17. ADRV-PACKRF 载板的 3D 渲染

图 18. ADRV-PACKRF 的最终外壳

当为了验证变更而更新设计时，面板修订版是 3D 打印的。连接器位置略有变化，这看起来并不重要，但最终却非常重要。因此，3D 建模可以快速验证潜在的代价高昂的错误。

最大的装配挑战是将 UFL 电缆固定在盒子内部。一旦机箱关闭，电缆部分或完全断开的可能性是无法接受的。一个 3D 打印的小型塑料支架对实现牢固的 UFL 连接器解决方案起到重要作用。连接由塑料中的各个沟道固定，并使用 PCB 的安装孔通过螺丝压住。图 19 显示了电缆与 PCB 的连接是如何固定到位的，即使需要推拉和布置电缆，也不会影响这种固定。

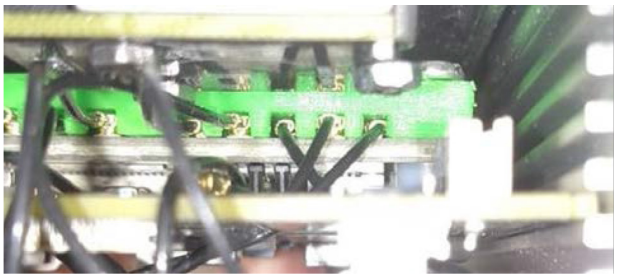


图 19. 用于 UFL 转 SMA 电缆连接器的 3D 打印支架

系统软件架构

ADRV-PACKRF 的软件由 ADI 公司作为开源参考设计提供的，可用于各种应用。系统源代码由几个部分组成，这些部分共同用来控制板载器件，并提供与外部工具的连接以支持开发。以下部分要么用于构建 ADRV-PACKRF 固件，要么可以从主机 PC 通过网络连接远程使用：

- FPGA HDL 代码
- Linux 内核/器件驱动
- U-boot 引导程序
- 图形用户界面(GUI)
- 调制解调器应用设计
- IIO 示波器
- 第三方仿真和开发工具
  - MATLAB、Simulink、GNU Radio

ADRV-PACKRF 可以将数据直接流传输到标准框架，如 MATLAB、Simulink 和 GNU Radio 等，从而支持快速设计数字信号处理(DSP)原型和开发。此外，ADI 公司还提供完整的开源应用 IIO 示波器，可用于简化板载 AD9361 收发器的调试和评估。此应用基于工业输入/输出(IIO) Linux 内核框架和支持 libIIO 用户库。用户既可以远程控制不同的板载硬件，也可以在设备上控制。为 ADRV-PACKRF 提供的标准内核是经过定制的，支持系统提供的其他硬件，包括 IIO 框架之外的硬件，例如板载 GPS 接收器、OLED 屏幕、点击式转盘界面等。为优化设计减少 PS 资源该平台，可以使用 Xilinx®软件开发套件(XSDK)设计裸机驱动程序。

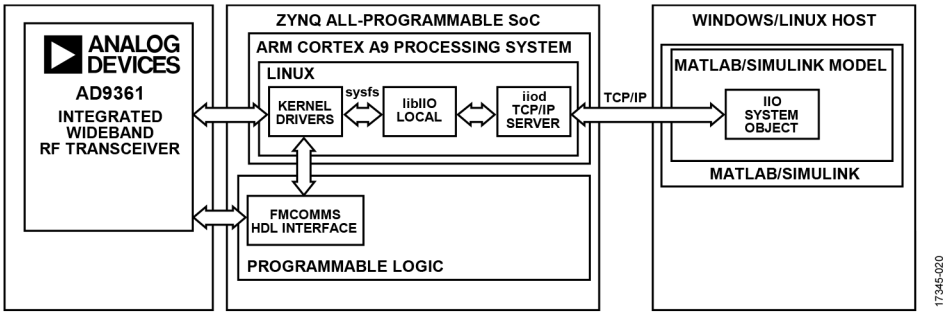


图 20. Linux 软件框图

FPGA/HDL设计

我们为 ADRV9361-Z7035 提供了一套标准硬件设备语言(HDL)参考设计，其专为安装 ADRV9361-Z7035 的载板而设计。通过 HDL Coder 可以使此参考设计以 HDL 为目标，从 MATLAB 和 Simulink 进行快速原型开发。

从低压差分信号(LVDS)传输到双倍数据速率(DDR)存储器存储的整个 Rx/Tx 数据路径都是通过不同 IP 内核以 HDL 实现，支持重新配置和移植到最终设计。

AD9361 IP 内核实现了 LVDS 双端口全双工接口，允许使用 AD9361 时钟和数据延迟以及 ZC7035 IO 延迟元件进行校准和验证。如果需要，该 IP 支持直接数字频率合成(DDS)信号生成、直流偏移校正和 I/Q 校正。

该 IP 内核包含时分双工(TDD)逻辑，可用于驱动器件的 ENABLE/TXNRX 控制引脚，在 TDD 模式下实现比仅使用软件控制更快的切换速度。

该项目的设计是高度模块化的，便于移植到不同的载板，而所有用来驱动 ADRV9361-Z7035 硬件的 IP 内核保持不变。

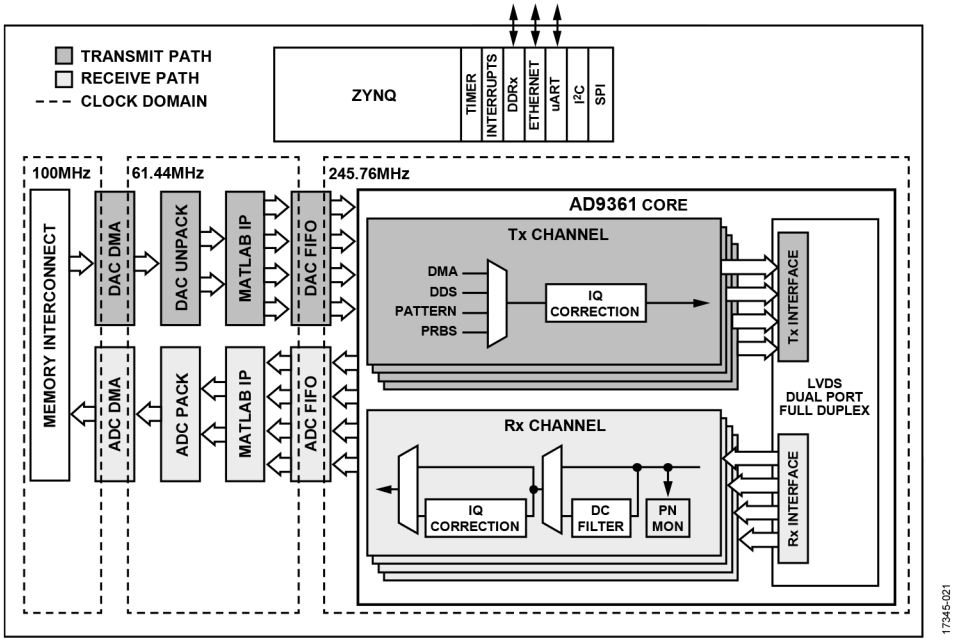


图 21. HDL 框图

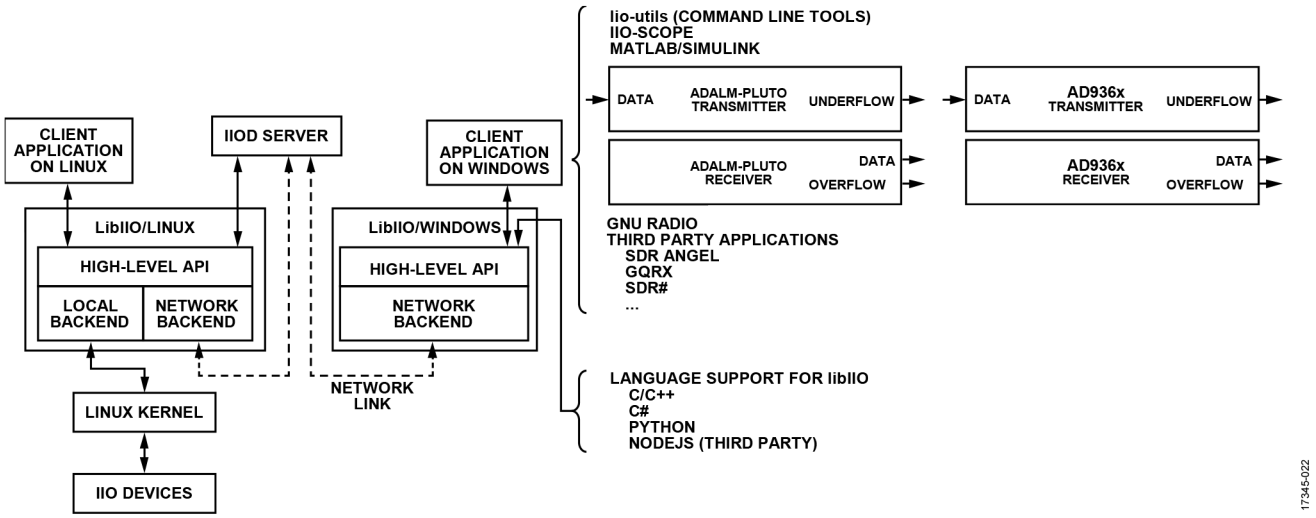


图 22. LibIIO 简化框图

Linux子系统—LibIIO

LibIIO 用于连接 Linux 工业输入/输出(IIO)子系统。Linux IIO 子系统为 ADI 器件（比如模数转换器 ADC 或数模转换器 DAC）提供支持。这些器件包括但不限于 ADC、加速度计、陀螺仪、IMU、电容数字转换器(CDC)、压力传感器、彩色/光线/接近传感器、温度传感器、磁力计、DAC、直接数字频率合成(DDS)、锁相环(PLL)、可变增益放大器(VGA)、可编程增益放大器(PGA)和 RF 收发器。

LibIIO 可以在嵌入式 Linux 目标设备上使用，或者也可以用来从 Linux、Windows®或 MAC 主机通过 USB、以太网或串行端口远程连接到该目标设备。LibIIO 通过抽象隐藏了 IIO 内核 ABI 的低级细节，因此侧重于易用性。该跨平台系统库还提供 C、C++、C#或 Python 等高级语言绑定，允许应用开发人员使用其偏爱的编程语言。

收发器器件驱动程序堆栈

axi_ad9361 IP 内核是本项目中使用的 HDL/FPGA 传输层内核。它处理 Rx/Tx 和 ADC/DAC 传输方向。该单个物理 IP 核在逻辑上被分离，然后由两个独立的 IIO 驱动程序处理，每个驱动程序对应一个传输数据方向。第三个控制驱动程序配置和控制 AD9361 内部寄存器；此部分通过 SPI 总线实例化，称为 PHY (ad9361-phy)驱动程序。PHY 驱动程序控制典型的收发器无线电功能，例如 LO 频率、基带滤波器、速率、增益控制、Tx 衰减等。

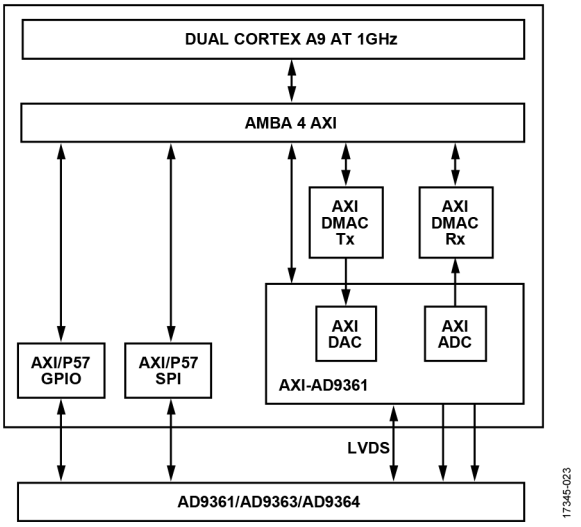


图 23. AD9361 总线接口框图

AXI-ADC HDL 驱动程序控制数据接收方向。数据接收驱动程序(AXI-ADC)的器件探测功能将会延迟到 SPI 控制 PHY 驱动程序完全实例化为止，该功能用于控制 AXI-HDL 内核寄存器和 DMA (AXI_DMAC)。这种分离是必要的，因为 AXI-ADC 和 SPI PHY 部分是通过不同总线实例化，但共享同一数据结构，这样 PHY 驱动程序便可控制和查询 AXI 寄存器的参数，如格式转换、数字接口时序验证、调谐等。或者，PHY 驱动程序也可以独立于 AXI-ADC 接收驱动程序和底层 HDL 设计使用。此外，AXI-ADC 驱动程序可以选择从板载 GPS 器件接收 1 pps 信号，并计算同步时钟源与 AD9361 产生的基带速率之间的偏移，从而实现精确的频率偏移校正。

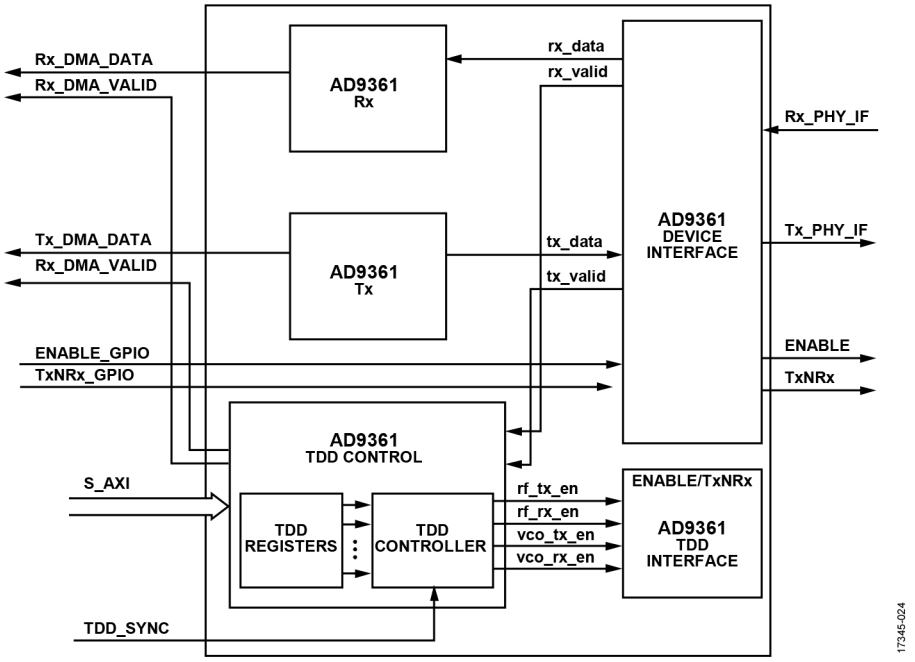


图 24. AD9361 Linux 驱动程序的 Rx/Tx 流控制

发射方向上使用 AXI-DAC-DDS HDL 驱动程序。与接收驱动程序一样，此驱动程序也独立于物理接口层，因此可以与 CMOS 或 LVDS 型接口一起使用。在本设计中，该驱动程序以独立模式使用。但是，设计使用了 Linux 公共时钟框架(CCF)，以便该驱动程序知道所连接的转换器 PHY 器件的采样频率。

该传输层驱动程序还实现了每通道多相双音 DDS 内核以及基于 DMA 的波形缓冲机制。缓冲器可以用任意数据填充，然后循环重复或数据流的方式使用。

图 24 中的框图显示了 axi_ad9361 IP 内核及其内部集成的 TDD 控制器模块。如果控制器已使能，则所有流入或流出 AD9361 的数据均由此模块控制。此模块使用的器件驱动程序称为 AXI TDD HDL 驱动程序。有关本电路笔记中讨论的所有软件组件的信息，请参见 ADI 公司维基百科上的相应页面。

软件控制的组件

还有其他一些 Linux 器件驱动程序用于控制 ADRV-PACKRF 的功能。这些驱动程序全都作为标准库提供，并且包含在无线电平台的定制 Linux 镜像中。

表 4. Linux 控制的软件组件

ADRV-PACKRF 功能	Linux 驱动程序框架
OLED 显示屏	帧缓冲器件
旋转轮	输入器件
导航按钮	输入器件
电源开关	输入器件
LED	LED 类
ADAU1761	ALSA SoC 子系统
ADP5061、LTC2942	电源子系统
AD9361、ADIS16460	IIO 子系统

ADRV-PACKRF GUI

ADRV-PACKRF的图形用户界面(GUI)提供了一种简单的脚本式方法来实现菜单、控件和外部应用程序的启动。

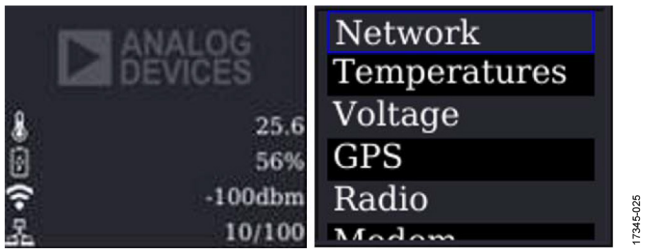


图 25. OLED GUI 和菜单图片

软件应用

使用 ADRV-PACKRF 可以实现许多不同的应用，包括通信、仪器仪表、雷达等。该器件具有高度可编程性，可以根据应用需要加载不同的 HDL 和软件，然后针对其他应用交换或重新配置 HDL 和软件。默认情况下，ADRV-PACKRF 以基本设计交付，允许直接访问和控制板载收发器及原始 I/Q 数据流。此数据可以流传输回到 IIO-Scope 或其他受支持的第三方工具。作为对此标准设计的补充，ADRV-PACKRF 也提供一个点对点链路调制解调器设计。此设计可以通过更换附带的 SD 卡来加载，然后由最终用户加以定制。有关可用软件应用的更多信息，请参阅 CN-0412 用户指南。

数字调制解调器参考设计

围绕 ADRV9361-Z7035 构建的一个常见产品是便携式通信链路，其部署在无蜂窝基础设施或用户可能希望保持离网状态的区域中。在此类应用中，为使无线电之间能够通信，必须对发射和接收的数据流进行信号处理以同步无线电，从而实现有效通信。AD9361 收发器不提供链路级同步，因为同步与波形有关。ADRV9361-Z7035 可用于实现指定波形的必要算法。

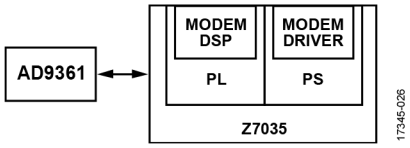


图 26. ADRV9361-Z7035 上的调制解调器布局

ADRV-PACKRF 包含一个开源单载波调制解调器设计，演示了如何实现数字通信链路。该调制解调器参考设计(MRD)分散在 ADRV9361-Z7035 的可编程逻辑(PL)和处理系统(PS)上。这种划分支持确定性高速数字信号处理(DSP)和灵活的控制与监测。

MRD 使用频分双工(FDD)媒体访问控制(MAC)层，允许两个无线电之间连续发射和接收，如图 27 所示，其中无线电 A 具有上行链路频率 1 和下行链路频率 2。无线电 B 的配置相反。

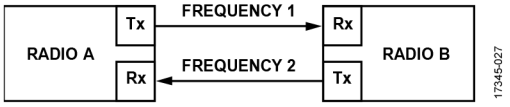


图 27. FDD 数据链路

ADRV9361-Z7035 的 PL 中的接收器信号处理提供了必要的自适应算法来维持两个无线电之间的链路，并将来自收发器的数字编码转换为成组的比特信息。该接收器信号链如图 28 所示。

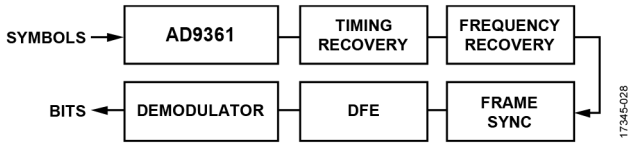


图 28. 调制解调器接收器信号链

该接收器链通过决策反馈均衡器(DFE)处理无线电之间 ±25 ppm 的可能偏移以及无线信道中的衰落。当使能前向纠错(FEC)时，MRD 可以维持 5 Mbps 的数据速率。为实现该速率，使用 5 MHz 信道，收发器合成带宽为 20 MHz，码率为 1/2，采用 QPSK 调制。

调制解调器设置在运行着 Linux 的 PS 用户空间中，作为标准网络接口。这是利用 Linux 内核提供的 TUN/TAP 框架实现的，支持无缝应用级交互。

网络支持

TUN/TAP 为简单的点对点或以太网设备提供网络数据包接收与发送。TUN/TAP 不是从物理介质接收数据包，而是从用户空间程序接收数据包；不是通过物理介质发送数据包，而是将其写入用户空间程序。

电路评估与测试

通过图 29 所示的设置，用户可以利用数据链和 USB 网络摄像头开展简单的实验。

图 29. ADRV-PACKRF 完整套件和内容

设备要求

PackRF 无线电模块(ADRV-PACKRF)套件中包含了如下必需的设备：

- 2 个便携式参考无线电
- 2 个直流电源
- 1 根 micro USB OTG 电缆
- 1 个 C270 高清 USB 网络摄像头
- 2 个 micro SD 卡

开始使用

本部分介绍如何设置测试和配置以重复本电路笔记所述的演示和结果。有关如何逐步完成参考设计设置的更详细信息，请参阅 CN-0412 用户指南。

在无线电 1 上执行以下步骤：

1. 将 USB 网络摄像头插入 USB OTG 电缆。
2. 将 USB OTG 电缆插入面板上的 micro USB 连接器。
3. 使用以太网电缆通过以太网端口将无线电 1 与无线电 2 连接起来。

在无线电 1 和无线电 2 上执行以下步骤：

1. 将所提供的 micro SD 卡插入插槽。
2. 将 SMA 天线连接到 TX1A 和 RX1A。
3. 插上电源。
4. 按下电源按钮。

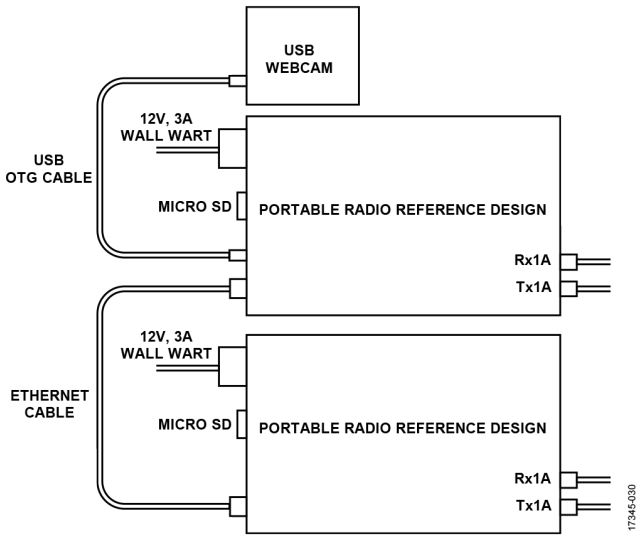


图 30. ADRV-PACKRF 网络摄像头测试示意图

在无线电 1（已连接网络摄像头）上，

1. 从 OLED 屏幕打开 **Network**（网络）菜单。
2. 将 **IP Address**（IP 地址）设置为 192.168.0.101。
3. 将 **Peer IP Address**(对等 IP 地址)设置为 192.168.0.102。
4. 返回主菜单。
5. 打开 **Modem**（调制解调器）菜单。
6. 将 **IP Address**（IP 地址）设置为 192.168.23.1。
7. 将 **Peer IP Address**(对等 IP 地址)设置为 192.168.23.2。

在无线电 2（未连接网络摄像头）上，

1. 从 OLED 屏幕打开 **Network**（网络）菜单。
2. 将 **IP Address**（IP 地址）设置为 192.168.0.102。
3. 将 **Peer IP Address**(对等 IP 地址)设置为 192.168.0.101。
4. 返回主菜单。
5. 打开 **Modem**（调制解调器）菜单。
6. 将 **IP Address**（IP 地址）设置为 192.168.23.2。
7. 将 **Peer IP Address**(对等 IP 地址)设置为 192.168.23.1。

在无线电 1（已连接网络摄像头）上，从主菜单运行 **Autoconfig**（自动配置），让此操作全部完成。

在无线电 2（未连接网络摄像头）上，转到 OLED 屏幕，从主菜单中单击 **Recv Video**（接收视频）。

在无线电 1（已连接网络摄像头）上，转到 OLED 屏幕，从主菜单中单击 **Send Video**（发送视频）。

有关设置的更多信息和完整详情，请参阅 CN-0412 用户指南。

了解更多

ADRV9361-Z7035评估板

CN-0412设计支持：
www.analog.com/CN0412-DesignSupport

CN-0412用户指南

Linux软件驱动程序（技术支持论坛）

FPGA 参考设计（技术支持论坛）

数据手册和评估板

ADRV1CRR-BOB数据手册

ADRV1CRR-FMC数据手册

LTC4417数据手册

LTC2955数据手册

ADP5061数据手册

ADIS16460数据手册

LTC4415数据手册

LTC4269-1数据手册

LTC3899数据手册

ADP1621数据手册

ADP2323 降压型稳压器数据手册

修订历史

2019 年 7 月—修订版 0：初始版

I^2C 指最初由 Philips Semiconductors（现为 NXP Semiconductors）开发的一种通信协议。

(Continued from first page) Circuits from the Lab reference designs are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab reference designs in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab reference designs. Information furnished by Analog Devices is believed to be accurate and reliable. However, Circuits from the Lab reference designs are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab reference designs at any time without notice but is under no obligation to do so.

©2019 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
CN17345sc-0-7/19(0)

ANALOG DEVICES

www.analog.com/cn